

**UBND TỈNH LÂM ĐỒNG
TRƯỜNG CAO ĐẲNG ĐÀ LẠT**

GIÁO TRÌNH

MÔ ĐUN: KỸ THUẬT XUNG - SỐ

NGÀNH/NGHỀ: ĐIỆN CÔNG NGHIỆP

TRÌNH ĐỘ: Cao đẳng .

Lâm Đồng, năm 2017.

TUYÊN BỐ BẢN QUYỀN

Tài liệu này thuộc loại sách giáo trình nên các nguồn thông tin có thể được phép dùng nguyên bản hoặc trích dùng cho các mục đích về đào tạo và tham khảo.

Mọi mục đích khác mang tính lệch lạc hoặc sử dụng với mục đích kinh doanh thiếu lành mạnh sẽ bị nghiêm cấm.

LỜI GIỚI THIỆU

Để thực hiện biên soạn giáo trình đào tạo nghề Điện công nghiệp ở trình độ Cao Đẳng Nghề và Trung Cấp Nghề, giáo trình Đo Lường Điện là một trong những giáo trình môn học đào tạo chuyên ngành được biên soạn theo nội dung chương trình khung được Bộ Lao động Thương binh Xã hội và Tổng cục Dạy Nghề phê duyệt, Trường Cao Đẳng Nghề Đà Lạt ban hành. Nội dung biên soạn ngắn gọn, dễ hiểu, tích hợp kiến thức và kỹ năng chặt chẽ với nhau, theo trình tự hợp lý và hợp logic.

Khi biên soạn, nhóm biên soạn đã cố gắng cập nhật những kiến thức mới có liên quan đến nội dung chương trình đào tạo và phù hợp với mục tiêu đào tạo, nội dung lý thuyết và thực hành được biên soạn gắn với nhu cầu thực tế trong sản xuất đồng thời có tính thực tiễn cao. Nội dung giáo trình được biên soạn với dung lượng thời gian đào tạo 60 giờ gồm có:

Phần 1: Kỹ thuật xung

Bài MĐ28-01: Các khái niệm cơ bản.

Bài MĐ28-02: Mạch dao động đa hài.

Bài MĐ28-03: Mạch hạn chế biên độ và ghim áp.

Phần 2: Kỹ thuật số

Bài MĐ28-01: Đại cương.

Bài MĐ28-02: FLIP – FLOP.

Bài MĐ28-03: Mạch đếm và thanh ghi.

Bài MĐ28-04: Mạch logic MSI.

Bài MĐ28-05: Họ vi mạch TTL – CMOS.

Bài MĐ28-06: Bộ nhớ.

Bài MĐ28-07: Kỹ thuật ADC – DAC.

Trong quá trình sử dụng giáo trình, tùy theo yêu cầu cũng như khoa học và công nghệ phát triển có thể điều chỉnh thời gian và bổ sung những kiến thức mới cho phù hợp. Trong giáo trình, chúng tôi có đề ra nội dung thực tập của từng bài để người học cũng cố và áp dụng kiến thức phù hợp với kỹ năng.

Tuy nhiên, tùy theo điều kiện cơ sở vật chất và trang thiết bị hàng năm, Trường và Khoa có thể sử dụng linh hoạt cho phù hợp. Mặc dù đã cố gắng tổ chức biên soạn để đáp ứng được mục tiêu đào tạo nhưng không tránh được những khiếm khuyết, rất mong nhận được sự đóng góp ý kiến của các thầy, cô giáo và bạn đọc – học viên để nhóm biên soạn sẽ hiệu chỉnh hoàn thiện hơn. Các ý kiến đóng góp xin gửi về Trường Cao đẳng nghề Đà Lạt – Khoa Điện – Điện tử. Chân thành cảm ơn.

Đà Lạt, ngày 05 tháng 07 năm 2017

Tham gia biên soạn

- 1. Chủ biên :Ths. Nguyễn Mạnh Cường.*
- 2. GV : Đặng Lê Lam Sơn .*
- 3. GV Trịnh Hải Thanh Bình .*
- 4. GV Bùi Quang Sơn*

MÔ ĐUN KỸ THUẬT XUNG – SỐ

STT	Tên chương, mục	Thời gian (giờ)			
		Tổng số	Lý thuyết	Thực hành, thí nghiệm, thảo luận, bài tập	Kiểm tra
1	Bài 1 : Kỹ thuật Xung : 1- Các khái niệm cơ bản . -1.1 : Định nghĩa xung điện, tham số và dãy xung -1.2 : Tác dụng của R,C đối với các xung cơ bản-mạch vi phân. -1.3 : Tác dụng của R,C đối với các xung cơ bản-Mạch tích phân.	2	1 1		
2	Bài 2 : Mạch dao động 2-Mạch dao động đa hài 2.1 : Mạch đa hài không ổn-transistor 2.2 : Mạch đa hài không ổn-IC 555 - Kiểm tra Kỹ thuật Xung	9		4 4	1
3	Bài 3 : Kỹ thuật số 3.1 : Tổng quan về mạch tương tự và mạch số 3.2 : Hệ thống số và mã số 3.3 : Các cổng logic cơ bản 3.4 : Biểu thức logic và mạch điện 3.5 Giới thiệu IC logic	4	2 2		
4	Bài 4 : Vi mạch số logic. 4.1 Vi mạch TTL – CMOS 4.2 Giao tiếp giữa mạch logic và tải công suất	6	2	4	
5	Bài 5 : Flip-Flop 5.1 Flip-Flop RS 5.2 Flip-Flop J-K 5.3 Flip-Flop với ngõ vào Preset và Clear	5	1	3	1
6	Bài 6 : Mã hóa 6-Mạch mã hóa 6.1 Mạch mã hóa 6.2 Mạch giải mã 6.3 Mở rộng số ngõ vào - ngõ ra cho mạch tổ hợp	10	2	4 4	
7	Bài 7 : Mạch đếm . 7-Khái niệm mạch đếm . 7.1Giới thiệu IC đếm	7	2		

	7.2 Mạch đếm lên. 7.3 Mạch đếm xuống.			2 2	1
8	Bài 8 : Bộ nhớ- ADC – DAC 8.1 Kỹ thuật nhớ. 8.2 Mạch chuyển đổi số - tương tự (DAC) 8.3 Mạch chuyển đổi tương tự - số (ADC)	2	1 1		
	Cộng	45	15	27	3

Mã Môđun: MĐ 28

Vị trí, tính chất, ý nghĩa và vai trò của môđun::

Mô đun được tự chọn và bố trí dạy sau khi học xong các môn cơ bản như linh kiện điện tử, đo lường điện tử, điện tử tương tự, điện tử cơ bản..

Kỹ thuật xung-số là môn học cơ sở của ngành Điện – Điện tử và có vị trí khá quan trọng trong toàn bộ chương trình học của sinh viên và học sinh, nhằm cung cấp các kiến thức liên quan đến các phương pháp cơ bản để tạo tín hiệu xung và biến đổi dạng tín hiệu xung, các phương pháp tính toán thiết kế và các công cụ toán học hỗ trợ trong việc biến đổi, hình thành các dạng xung mong muốn...

Công nghệ kỹ thuật số đã và đang đóng vai trò quan trọng trong cuộc cách mạng khoa học kỹ thuật và công nghệ. Ngày nay, công nghệ số được ứng dụng rộng rãi và có mặt hầu hết trong các thiết bị dân dụng đến thiết bị công nghiệp, đặc biệt trong các lĩnh vực thông tin liên lạc, phát thanh,... và kỹ thuật số đã và đang được thay thế dần kỹ thuật tương tự

Tính chất của môn học: Là mô đun kỹ thuật tự chọn .

Mục tiêu của Mô đun:

Sau khi học xong mô đun này học viên có năng lực :

1. Về kiến thức:

- Phát biểu được các khái niệm cơ bản về xung điện, các thông số cơ bản của xung điện, ý nghĩa của xung điện trong kỹ thuật điện tử.
- Trình bày được cấu tạo, nguyên lý các mạch số thông dụng như: Mạch đếm, mạch đóng ngắt, mạch chuyển đổi, mạch điều khiển.
- Trình bày được cấu tạo các mạch dao động tạo xung và mạch xử lý dạng xung.
- Phát biểu được khái niệm về kỹ thuật số, các cổng logic cơ bản. Kí hiệu, nguyên lý hoạt động, bảng sự thật của các cổng logic.

2. Về kỹ năng:

- Lắp ráp, kiểm tra được các mạch tạo xung và xử lý dạng xung.
- Lắp ráp, kiểm tra được các mạch số cơ bản trên panel và trong thực tế.

3. Về năng lực tự chủ và trách nhiệm:

- Rèn luyện cho học sinh thái độ nghiêm túc, tỉ mỉ, chính xác trong học tập và trong thực hiện công việc.

Nội dung mô đun:

MỤC LỤC

	TRANG
TUYÊN BỐ BẢN QUYỀN	2
LỜI GIỚI THIỆU	3
MỤC LỤC	6
Phần 1: kỹ thuật xung	8
Bài 1: KỸ THUẬT XUNG	10
Định nghĩa xung điện, các tham số và dãy xung	10
Tác dụng của R-C đối với xung cơ bản	31
Tác dụng của R-C đối với xung cơ bản	34
Khảo sát dạng xung (đo, đọc các thông số cơ bản)	53
Bài 2: MẠCH DAO ĐỘNG	53
Mạch dao động đa hài không đơn ổn	65
Mạch dao động đa hài đơn	69
Mạch dao động đa hài lưỡng ổn	71
Mạch Schmitt- trigger	118
Bài 2bis: MẠCH HẠN CHẾ BIÊN ĐỘ VÀ GHIM ĐIỆN ÁP	118
Mạch hạn biên	130
Mạch ghim áp	170
Phần 2: Kỹ thuật số	170
Bài 3: KỸ THUẬT SỐ	170
Hệ thống số và mã số	172
Các cổng logic cơ bản	184
Biểu thức Logic và mạch điện	191
Đại số Boole và định lý Demorgan	197
Đơn giản biểu thức logic	200
Giới thiệu một số IC số cơ bản	212
Bài 4: VI MẠCH SỐ TTL- CMOS	223
Cấu trúc và thông số cơ bản của TTL	223
Cấu trúc và thông số cơ bản của CMOS	225
Giao tiếp TTL và CMOS	227
Giao tiếp giữa mạch logic và tải công suất	230
Tính toán, lắp ráp một số mạch ứng dụng cơ bản	231
Bài 5: FLIP – FLOP	232
Flip flop RS	233
Flip flop RS tác động theo xung lệnh	254
Flip flop JK	253
Flip flop T	253
Flip flop D	263
Flip flop MS (master- slaver)	265
Flip flop với ngõ vào preset và clear	
Tính toán, lắp ráp một số mạch ứng dụng cơ bản	
Tính toán, lắp ráp một số mạch ứng dụng cơ bản	269
Bài 6: MÃ HÓA VI MẠCH SỐ LOGIC MSI	279
Mạch mã hóa (Encoder)	279
Mạch giải mã (Decoder)	284
Mạch ghép kênh	298

Mạch tách kênh	300
Giới thiệu một số IC mã hóa và giải mã thông dụng	303
Tính toán, lắp ráp một số mạch ứng dụng cơ bản	312
	315
Bài 7 MẠCH ĐẾM VÀ THANH GHI	315
Mạch đếm	333
Thanh ghi	345
Giới thiệu một số IC đếm và thanh ghi thông dụng	346
	351
	354
Bài 8A: BỘ NHỚ	357
ROM	366
RAM	369
Mở rộng dung lượng bộ nhớ	372
Giới thiệu IC	380
Bài 8B: KỸ THUẬT ADC – DAC	380
Mạch chuyển đổi số sang tương tự (DAC)	389
Mạch chuyển đổi tương tự sang số (ADC)	
Giới thiệu IC	399
TÀI LIỆU THAM KHẢO	

Phần 1: KỸ THUẬT XUNG

BÀI 1

CÁC KHÁI NIỆM CƠ BẢN

Mã Bài: MĐ28-1

Giới thiệu

Các tín hiệu điện có biên độ thay đổi theo thời gian được chia ra làm hai loại cơ bản là tín hiệu liên tục và tín hiệu gián đoạn. Tín hiệu liên tục còn được gọi là tín hiệu tuyến tính hay tương tự, tín hiệu gián đoạn còn gọi là tín hiệu xung số.

Tín hiệu sóng sin được xem như là tín hiệu tiêu biểu cho loại tín hiệu liên tục, ta có thể tính được biên độ của nó ở từng thời điểm. Ngược lại tín hiệu sóng vuông được xem là tín hiệu tiêu biểu cho loại tín hiệu gián đoạn và biên độ của nó chỉ có hai giá trị là mức cao và mức thấp, thời gian để chuyển từ mức biên độ thấp lên cao và ngược lại rất ngắn và được xem như tức thời.

Một chế độ mà các thiết bị điện tử thường làm việc hiện nay đó là chế độ xung.

Mục tiêu:

- Trình bày được các khái niệm về xung điện, dãy xung
- Giải thích được sự tác động của các linh kiện thụ động đến dạng xung
- Rèn luyện tính tư duy, tác phong công nghiệp

Nội dung

1. Định nghĩa xung điện, các tham số và dãy xung

- Mục tiêu: Trình bày và phân tích các dạng tín hiệu, các hàm, các thông số của xung cơ bản.

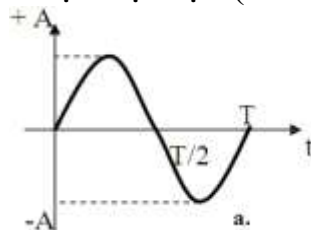
1.1. Định nghĩa

- Xung là tín hiệu tạo nên do sự thay đổi mức của điện áp hay dòng điện trong một khoảng thời gian rất ngắn, có thể so sánh với thời gian quá độ của mạch điện mà chúng tác động. Thời gian quá độ là thời gian để một hệ vật lý chuyển từ trạng thái vật lý này sang trạng thái vật lý khác.

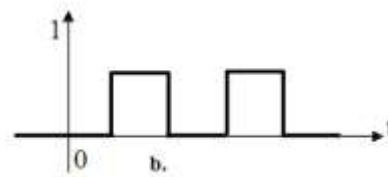
- Các tín hiệu xung được sử dụng rất rộng rãi trong các mạch điện tử: truyền thông, công nghệ thông tin, vô tuyến, hữu tuyến...

❖ Một số dạng xung cơ bản

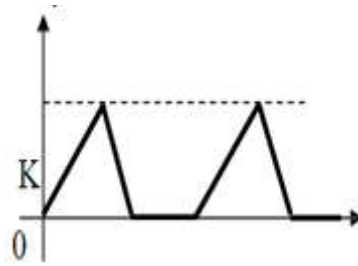
- Một số tín hiệu liên tục (xem hình 1.1)



Hình 1.1a. Tín hiệu $\sin A \sin \omega t$

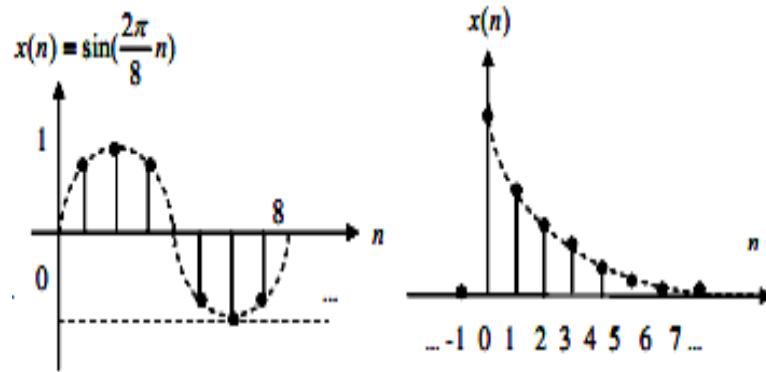


Hình 1.1b. Tín hiệu xung vuông



Hình 1.1c. Tín hiệu xung tam giác

- Một số tín hiệu rời rạc (hình 1.2).



Hình 1.2. Tín hiệu sin rời rạc - hàm mũ rời rạc

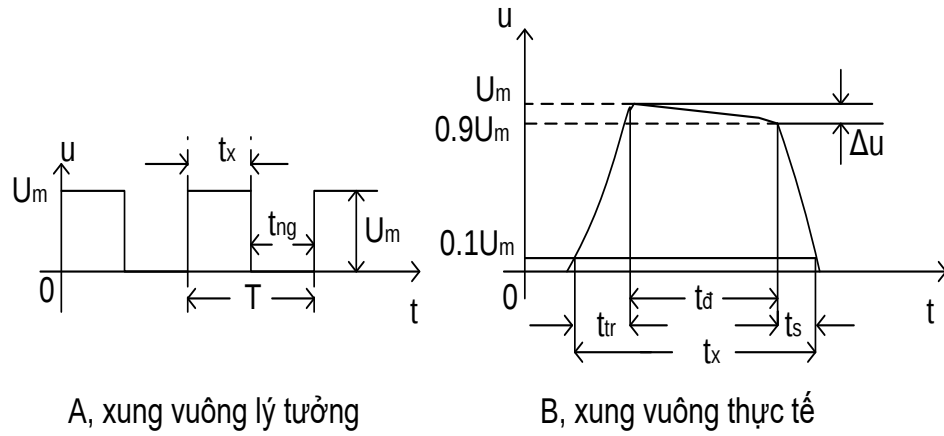
Ngày nay trong kỹ thuật vô tuyến điện, có rất nhiều thiết bị, linh kiện vận hành ở chế độ xung. Ở những thời điểm đóng hoặc ngắt điện áp, trong mạch sẽ phát sinh quá trình quá độ, làm ảnh hưởng đến hoạt động của mạch. Bởi vậy việc nghiên cứu các quá trình xảy ra trong các thiết bị xung có liên quan mật thiết đến việc nghiên cứu quá trình quá độ trong các mạch đó.

Nếu có một dãy xung tác dụng lên mạch điện mà khoảng thời gian giữa các xung đủ lớn so với thời gian quá độ của mạch. Khi đó tác dụng của một dãy xung như một xung đơn. Việc phân tích mạch ở chế độ xung phải xác định sự phụ thuộc hàm số của điện áp hoặc dòng điện trong mạch theo thời gian ở trạng thái quá độ. Có thể dùng công cụ toán học như: phương pháp tích phân kinh điển. Phương pháp phổ (Fourier) hoặc phương pháp toán tử Laplace.

1.2. Các thông số của xung điện và dãy xung

1.2.1. Các thông số của xung điện.

Tín hiệu xung vuông như hình 1.3 là một tín hiệu xung vuông lý tưởng, thực tế khó có 1 xung vuông nào có biên độ tăng và giảm thẳng đứng như vậy:



Hình 1.3: Dạng xung

Xung vuông thực tế với các đoạn đặc trưng như: sườn trước, đỉnh, sườn sau. Các tham số cơ bản là biên độ U_m , độ rộng xung t_x , độ rộng sườn trước t_{tr} và sau t_s , độ sụt đỉnh Δ_u .

- Biên độ xung U_m xác định bằng giá trị lớn nhất của điện áp tín hiệu xung có được trong thời gian tồn tại của nó.
- Độ rộng sườn trước t_{tr} , sườn sau t_s là xác định bởi khoảng thời gian tăng và thời gian giảm của biên độ xung trong khoảng giá trị $0.1U_m$ đến $0.9U_m$
- Độ rộng xung T_x xác định bằng khoảng thời gian có xung với biên độ trên mức $0.1U_m$ (hoặc $0.5U_m$).
- Độ sụt đỉnh xung Δ_u thể hiện mức giảm biên độ xung tương ứng từ $0.9U_m$ đến U_m .

❖ Với dãy xung tuần hoàn ta có các tham số đặc trưng như sau:

- Chu kỳ lặp lại xung T là khoảng thời gian giữa các điểm tương ứng của 2 xung kế tiếp, hay là thời gian tương ứng với mức điện áp cao t_x và mức điện áp thấp t_{ng} , biểu thức (1.1)

$$T = t_x + t_{ng} \quad (1.1)$$

- Tần số xung là số lần xung xuất hiện trong một đơn vị thời gian (1.2)

$$F = \frac{1}{T} \quad (1.2)$$

- Thời gian nghỉ t_{ng} là khoảng thời gian trống giữa 2 xung liên tiếp có điện áp nhỏ hơn $0.1U_m$ (hoặc $0.5U_m$).
- Hệ số lấp đầy γ là tỷ số giữa độ rộng xung t_x và chu kỳ xung T (1.3)

$$\gamma = \frac{t_x}{T} \quad (1.3)$$

Do $T = t_x + t_{ng}$, vậy ta luôn có $\gamma < 1$

- Độ rỗng của xung Q là tỷ số giữa chu kỳ xung T và độ rộng xung t_x (1.4)

$$Q = \frac{T}{t_x} \quad (1.4)$$

❖ Trong kỹ thuật xung - số, chúng ta sử dụng phương pháp số đối với tín hiệu xung với quy ước chỉ có 2 trạng thái phân biệt

- Trạng thái có xung (t_x) với biên độ lớn hơn một ngưỡng U_H gọi là trạng thái cao hay mức “1”, mức U_H thường chọn cỡ từ $1/2V_{cc}$ đến V_{cc} .

- Trạng thái không có xung (t_{ng}) với biên độ nhỏ hơn 1 ngưỡng U_L gọi là trạng thái thấp hay mức “0”, U_L được chọn tùy theo phân tử khóa (tranzito hay IC)

- Các mức điện áp ra trong dải $U_L < U < U_H$ được gọi là trạng thái cấm.

1.2.2 Dãy xung :

Kỹ thuật xung không chỉ phát ra một xung đơn mà còn phát ra được một dãy xung liên tiếp tuần hoàn với chu kỳ T , nghĩa là sau mỗi thời gian T lại có một xung lặp lại hoàn toàn giống như xung trước.

- Các dạng dãy xung tuần hoàn thường gặp:

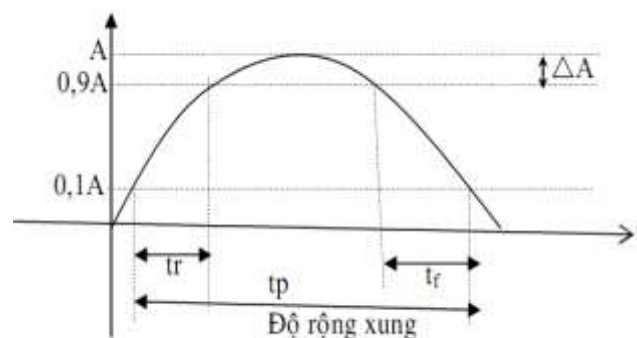
+ Dãy xung vuông góc là dạng dãy xung thường gặp nhất trong kỹ thuật điện tử. Các thông số đặc trưng cho dãy xung gồm: biên độ U_M , độ rộng xung t_x , thời gian nghỉ t_n , chu kỳ $T = t_x + t_n$, tần số $f = 1/T$. Ngoài ra còn có 2 thông số phụ đặc trưng khác là hệ số lấp đầy $\gamma = t_x/T$ và độ hồng (rỗng) $Q = 1/\gamma = T/t_x$. Nếu $Q = 2$, ($t_x = t_n$) thì dãy xung gọi là dãy xung vuông góc đối xứng.

+ Dãy xung răng cưa thuần túy ($t_f = 0$), chu kỳ T . Mạch phát dãy xung này thường dùng trong thiết bị dao động kí điện tử, với vai trò bộ tạo sóng quét ngang.

- Dãy xung tuần hoàn. Nó thường dùng để kích khởi những hoạt động có tính chu kỳ. Các mạch phát xung tuần hoàn thường là những mạch hoạt động không chịu sự điều khiển bởi các xung kích

- Dãy xung có thể không tuần hoàn. Mạch phát các xung này thường là những mạch hoạt động theo sự điều khiển của các xung kích khởi bởi ở bên ngoài, và gọi là các mạch kích khởi. Ứng với mỗi xung kích thích bên ngoài, mạch cho ra một xung có biên độ và độ rộng xung không thay đổi, nghĩa là dạng xung đưa ra hoàn toàn lặp lại giống nhau sau mỗi xung kích thích.

1.2.3 Độ rộng xung (hình 1.4)



Hình 1.4: Độ rộng xung

Trong đó: V_m : Biên độ xung

ΔV : Độ sụt áp đỉnh xung

t_r : Độ rộng sườn trước

t_p : độ rộng đỉnh xung

t_f : độ rộng sườn sau

t_{on} : độ rộng thực tế

- Đây là dạng xung thực tế, với dạng xung này thì khi tăng biên độ điện áp sẽ có thời gian trễ t_r , gọi là độ rộng sườn trước. Thời gian này tương ứng từ 10% đến 90% biên độ U . Ngược lại, khi giảm biên độ điện áp xung sẽ có thời gian trễ t_f , gọi là độ rộng sườn sau. Thời gian này tương ứng từ 90% đến 10% biên độ U .

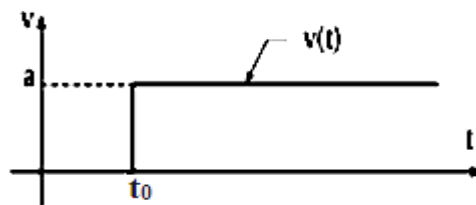
- Độ rộng xung thực tế là: $t_{on} = t_r + t_p + t_f$.
- Độ sụt áp ΔV là độ giảm biên độ ở phần đỉnh xung.

1.2.4. Các dạng hàm cơ bản của tín hiệu xung.

1.2.4.1. Hàm đột biến (hình 1.5).

$$v(t) = a.1(t - t_0).$$

- Đột biến xảy ra tại thời điểm $t = t_0$ với biên độ là a .
- $1(t - t_0)$: Hàm đột biến đơn vị.
- Khi $t < t_0$: $v = 0$
- Khi $t \geq t_0$: $v = a$

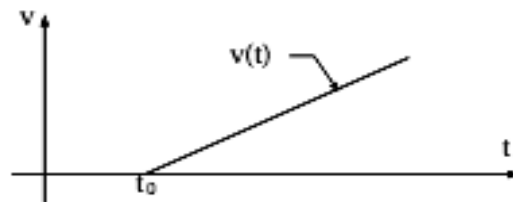


Hình 1.5 Hàm đột biến

1.2.4.2. Hàm tuyến tính (hình 1.6)

$$v(t) = k(t - t_0)$$

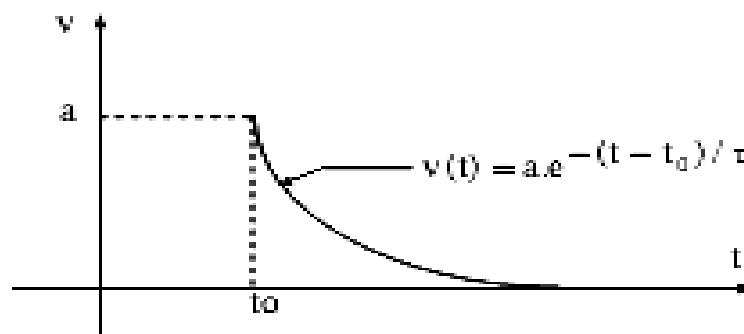
- k : Độ dốc của hàm.



Hình 1.6 Hàm tuyến tính

1.2.4.3. Hàm mũ giảm (hình 1.7)

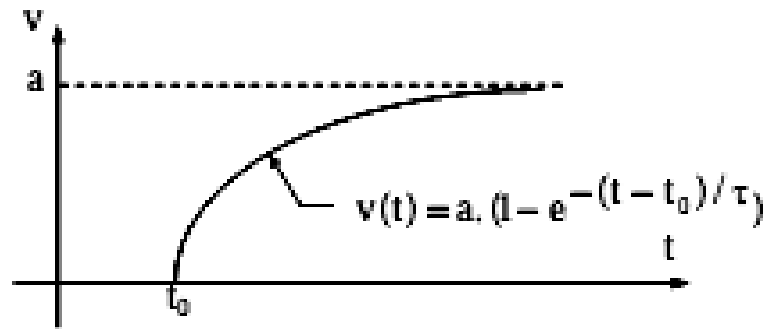
$$v(t) = a.e^{-(t - t_0) / \tau}$$



Hình 1.7 Hàm mũ giảm

1.2.4.4. Hàm mũ tăng (hình 1.8)

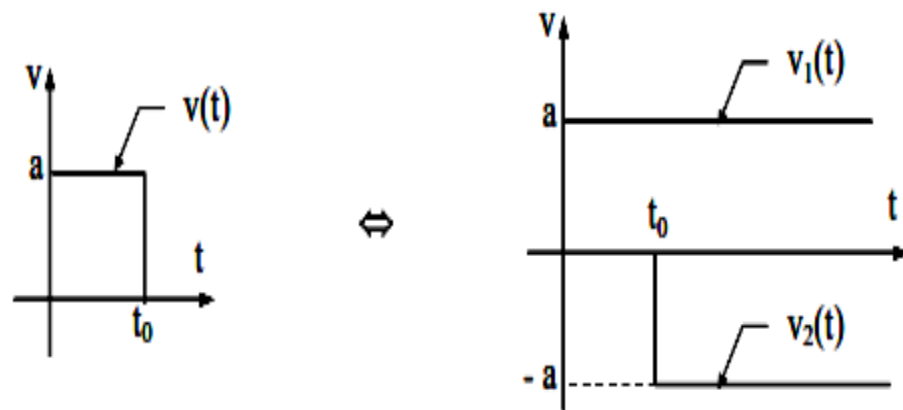
$$v(t) = a.(1 - e^{-(t - t_0) / \tau})$$



Hình 1.8 Hàm mũ tăng

❖ Để phân tích 1 tín hiệu xung, phải đưa về dạng tổng các hàm cơ bản.

Ví dụ: Như hình 1.9 ta phải đưa về tổng các hàm cơ bản, sau đó mới tính ra được hàm của nó.



Hình 1.9

Ta có : $V(t) = V1(t) + V2(t)$

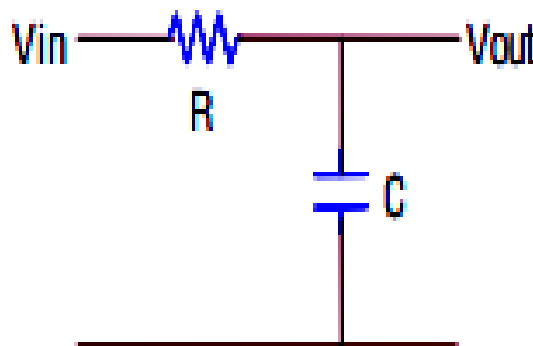
Suy ra: $V(t) = V1(t) + V2(t) = a \cdot 1(t) - a \cdot 1(t-t_0)$

2. Tác dụng của R-C đối với các xung cơ bản

- Mục tiêu: Trình bày và phân tích sự giống và khác nhau giữa RC, RL đối với các mạch của xung cơ bản.

2.1. Tác dụng của mạch RC đối với các xung cơ bản

- Mạch lọc thông thấp, hình 1.12



Hình 1.12. Mạch lọc thông thấp

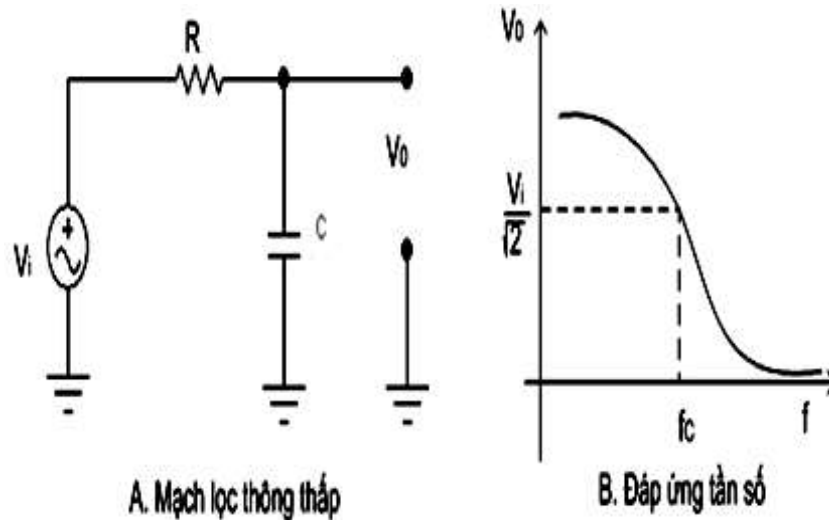
- Tín hiệu lấy ra trên C

- Mạch lọc thông thấp cho các tín hiệu có tần số nhỏ hơn tần số cắt qua hoàn toàn. Tín hiệu có tần số cao bị suy giảm biên độ. Tín hiệu lấy trên tụ C làm cho tín hiệu ra trễ pha so với tín hiệu vào (1.5)

- Tần số cắt
$$f_c = \frac{1}{2\pi RC} \quad (1.5)$$

Tại tần số cắt điện áp ta có biên độ

$$V_o = \frac{V_i}{\sqrt{2}} \quad (1.6)$$



Hình 1.13. Mạch lọc RC và đáp ứng xung của mạch lọc

• Mạch tích phân RC

- Mạch lọc RC là mạch mà điện áp ra $V_o(t)$ tỉ lệ với tích phân theo thời gian của điện áp vào $V_i(t)$.

- Trong đó K là hệ số tỉ lệ, mạch tích phân RC chính là mạch lọc thông thấp khi tín hiệu vào có tần số f_i rất lớn so với tần số cắt f_c của mạch.

Ta có công thức: $V_i(t) = VR(t) + VC(t)$ (1.7)

Từ điều kiện tần số f_i rất lớn so với tần số cắt f_c ta có (1.8):

$$\begin{aligned} f_i \gg f_c = 1/2\pi RC &\Rightarrow R \gg X_c = 1/2\pi f_i C \\ &\Rightarrow VR(t) \gg VC(t) \end{aligned} \quad (1.9)$$

(vì dòng $I(t)$ qua R và C bằng nhau)

Từ (1.7) và (1.9) ta có $V_i(t) \approx VR(t) = R.i(t)$

$$\Rightarrow i(t) = V_i(t)/R \quad (1.10)$$

Điện áp ra $V_o(t)$:

$$\begin{aligned} V_o(t) &= V_c(t) = \frac{1}{C} \int i(t) dt \\ \Rightarrow V_o(t) &= \frac{1}{C} \int \frac{V_i(t)}{R} dt \\ \Rightarrow V_o(t) &= \frac{1}{RC} \int V_i(t) dt \end{aligned} \quad (1.11)$$

Như vậy, điện áp ra $V_o(t)$ tỉ lệ với tích phân theo thời gian của điện áp vào $V_i(t)$ với hệ số tỉ lệ $K = 1/RC$ khi tần số f_i rất lớn so với f_c .

Điều kiện mạch tích phân

$$f_i \gg f_c \Rightarrow f_i \gg 1/2\pi RC.$$

$$RC \gg 1/2\pi f_i \Leftrightarrow \tau \gg 1/2\pi f_i = T_i / 2\pi$$

Trong đó: $\tau = RC$ là hằng số thời gian.

T_i là chu kỳ tín hiệu vào.

Ví dụ: Trường hợp điện áp vào $V_i(t)$ là tín hiệu hình sin qua mạch tích phân.

$$V_i(t) = V_m \sin \omega(t) \quad (1.12)$$

Điện áp ra:

$$\begin{aligned} V_o(t) &= \frac{1}{RC} = \int V_m \sin \omega t dt \\ &= -\frac{V_m}{\omega RC} \cos \omega t \\ \Rightarrow V_o(t) &= \frac{V_m}{\omega RC} \sin(\omega t - 90^\circ) \end{aligned} \quad (1.13)$$

Như vậy, nếu thỏa mãn điều kiện của mạch tích phân như trên thì điện áp ra bị trễ pha 90° và biên độ bị giảm xuống với tỉ lệ là $\frac{1}{\omega RC}$.

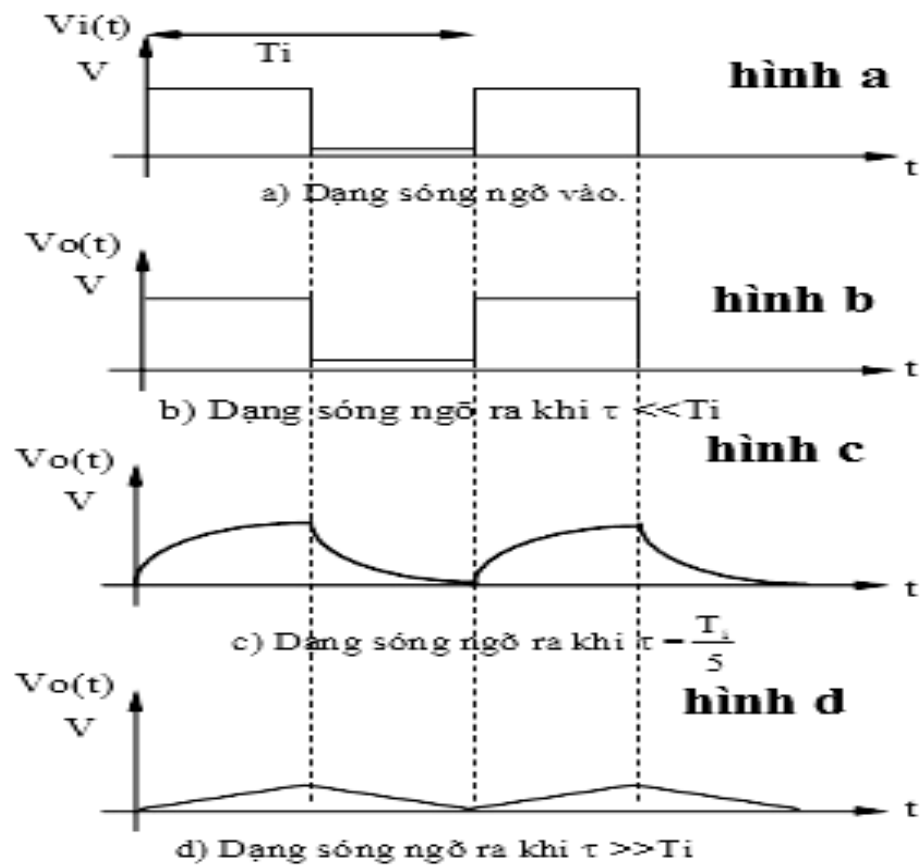
Điện áp vào là tín hiệu xung vuông: khi điện áp vào là tín hiệu xung vuông có chu kỳ T_i thì có thể xét tỉ lệ hằng số thời gian $\tau = RC$ so với T_i để giải thích các dạng sóng ra theo hiện tượng nạp xả của tụ.

Giả sử điện áp ngõ vào là tín hiệu xung vuông đối xứng có chu kỳ T_i (hình 1.14a).

- Nếu mạch tích phân có hằng số thời gian $\tau = RC$ rất nhỏ so với T_i thì tụ nạp và xả rất nhanh nên điện áp ngõ ra $V_o(t)$ có dạng sóng giống như dạng điện áp vào $V_i(t)$ hình 1.14b.

- Nếu mạch tích phân có hằng số thời gian $\tau = T_i / 5$ thì tụ nạp và xả điện áp theo dạng hàm số mũ, biên độ của điện áp ra nhỏ V_p hình 1.14c.

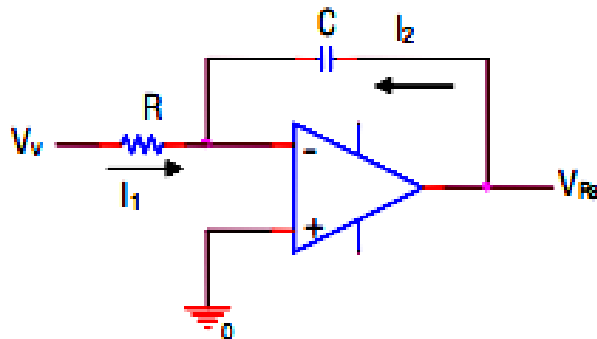
- Nếu mạch tích phân có hằng số thời gian τ rất lớn so với T_i thì tụ C nạp rất chậm nên điện áp ra có biên độ rất thấp hình 1.14d, nhưng đường tăng giảm điện áp gần như đường thẳng. Như vậy, mạch tích phân chọn trị số RC thích hợp thì có thể sửa dạng xung vuông có ngõ vào thành dạng sóng tam giác ở ngõ ra. Nếu xung vuông đối xứng thì xung tam giác ra là tam giác cân.



Hình 1.14: Dạng sóng vào ra của tín hiệu xung vuông

- **Mạch tích phân dùng OpAmp**

- Mạch tích phân đảo hình 1.15



Hình 1.15

Thiết lập quan hệ vào ra. Với $i_1 = -i_2$

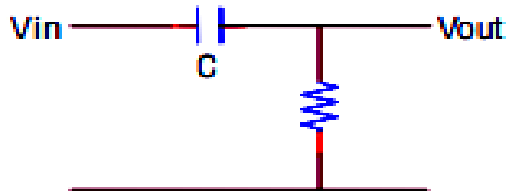
Mà

$$i_1 = \frac{v_v - v_-}{R} = \frac{v_v}{R} \quad (v_- = v_+ = 0), \quad i_2(t) = C \frac{dv_r(t)}{dt}$$

$$\Rightarrow \frac{v_v(t)}{R} = -C \frac{dv_v(t)}{dt} \Rightarrow v_r(t) = -\frac{1}{RC} \int v_v(t) dt$$

Hệ số tỉ lệ $K = \frac{-1}{RC}$, hai linh kiện R và C để tạo hằng số thời gian của mạch.

❖ **Mạch lọc thông cao** (hình 1.16)



Hình 1.15a. Mạch lọc thông cao Hình 1.15b: Mạch đáp ứng tần số

- Mạch lọc thông cao cho các tín hiệu có tần số cao hơn tần số cắt qua hoàn toàn, tín hiệu có tần số thấp bị suy giảm biên độ. Tín hiệu ra lấy trên R, làm cho tín hiệu sớm pha so với tín hiệu vào.

Tương tự, ta có:

+ Tần số cắt: $f_c = \frac{1}{2\pi RC}$

+ Tại tần số cắt điện áp ra có biên độ:

$$V_o = \frac{V_i}{\sqrt{2}}$$

• **Mạch vi phân RC:** là mạch có điện áp ngõ ra V_o tỉ lệ với đạo hàm theo thời gian của điện áp ngõ vào $V_i(t)$.

Ta có:

$$V_o(t) = K \frac{d}{dt} V_i(t) \quad (1.14)$$

Trong đó k là hệ số tỉ lệ mạch vi phân RC chính là mạch lọc thông cao RC khi tín hiệu vào có tần số f rất thấp so với tần số cắt của f_c của mạch.

Từ hình 1.15a, ta có:

$$V_i(t) = V_R(t) + V_C(t) \quad (1.15)$$

Từ điều kiện tần số f rất thấp so với tần số cắt f_c ta có : $f \ll f_c = 1/2\pi RC$.

$$\Rightarrow R \ll X_C = 1/2\pi f C.$$

$$\Rightarrow V_R(t) \ll V_C(t) \quad (1.16)$$

(vì dòng $i(t)$ qua R và C bằng nhau)

Từ (1.15) và (1.16) ta có : $V_i(t) \approx V_C(t)$, đối với tụ C điện áp trên tụ còn được tính theo công thức:

$$V_C(t) = \frac{q(t)}{C} \quad (1.17)$$

Trong đó: $q(t)$ là điện tích nạp vào tụ
Mặt khác, ta có:

$$\begin{aligned} \frac{dV_i(t)}{dt} &= \frac{dV_C(t)}{dt} \\ &= \frac{1}{C} \frac{dq(t)}{dt} = \frac{1}{C} i(t) \end{aligned} \quad (1.18)$$

Từ đây ta có phương trình theo (1.18)

$$i(t) = C \frac{dV_i(t)}{dt} \quad (1.19)$$

Điện áp ra $V_o(t)$:

$$V_o(t) = VR(t) = Ri(t)$$

$$\Rightarrow V_o(t) = RC \frac{dV_1(t)}{dt} \quad (1.20)$$

Như vậy điện áp ra $V_o(t)$ tỉ lệ với vi phân theo thời gian của điện áp vào với hệ số tỉ lệ K là $K = RC$ khi tần số f_i rất thấp so với f_c .

- Điều kiện mạch vi phân

$$f_i \ll f_c \Rightarrow f_i \ll 1/2\pi RC.$$

$$RC \ll 1/2\pi f_i \Leftrightarrow \tau \ll 1/2\pi f_i = T_i / 2\pi$$

Trong đó: $\tau = RC$ là hằng số thời gian.

T_i là chu kỳ tín hiệu vào

Ví dụ: Trường hợp điện áp vào $V_i(t)$ là tín hiệu hình sin qua mạch vi phân

$$V_i(t) = V_m \sin \omega(t)$$

Điện áp ra :

$$V_o(t) = R.C \frac{d}{dt} (V_m \sin \omega t)$$

$$= \omega RC V_m \cos \omega t$$

$$\Rightarrow V_o(t) = \omega R.C.V_m \sin(\omega t + 90^\circ)$$

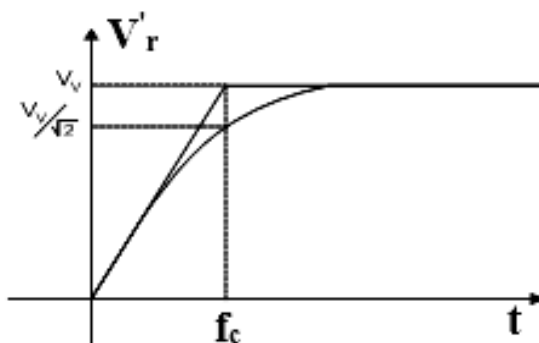
- Như vậy, nếu thỏa mãn điều kiện của mạch vi phân như trên thì điện áp ra bị sớm pha 90° và biên độ nhân với hệ số tỉ lệ là ωRC .

- Đây là một bộ lọc thông cao dạng căn bản, vì trở kháng của tụ giảm dần khi tần số tăng, các thành phần tần số cao của tín hiệu ngõ vào sẽ ít suy giảm hơn các thành phần tần số thấp. Ở các tần số cao hầu như tự ngắn mạch và tất cả các ngõ vào đều xuất hiện tại ngõ ra.

❖ **Khi ngõ vào dạng sóng sin:** đối với ngõ vào sóng sin, tín hiệu ngõ ra giảm về biên độ khi giảm tần số. Đối với mạch hình 1.16, độ lợi $|A|$ và góc pha θ cho bởi:

$$|A| = \frac{1}{\sqrt{1 + \left(\frac{f}{f_c}\right)^2}}, \quad (\theta = -\arctan \frac{f}{f_c}) \quad (1.21)$$

Với tần số cắt là : $f_c = \frac{1}{2\pi RC} \quad (1.22)$



Hình 1.16 Đáp ứng tần số của mạch lọc

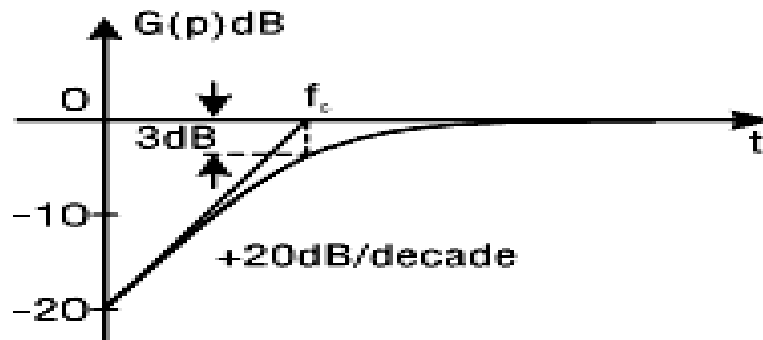
- Nếu tần số $f > f_c$ (ở dải tần số cao) thì điện áp ngõ ra giảm. Do vậy, xem như

ở ngõ ra không có thành phần tần số cao.

Nếu tần số $f < f_c$ (ở dải tần số thấp), điện áp ngõ ra có biên độ cao, tức ngõ ra có thành phần tần số thấp.

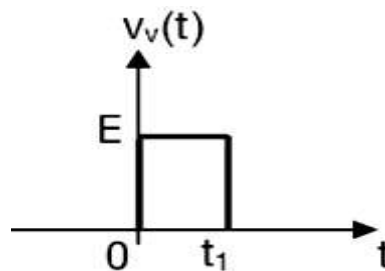
Đây cũng là vấn đề gặp ở mạch khuếch đại tần số cao, xuất hiện tần số cắt trên f_c .

- Mối quan hệ giữa tần số và độ lợi hình 1.17. Tại tần số f_c độ lợi giảm -3 dB , đây là giá trị lớn nhất của độ lợi tại tần số cao. Như vậy, tại tần số cắt thì biên độ giảm -3 dB .



Hình 1.17: Biểu diễn độ lợi

❖ Khi ngõ vào là xung chữ nhật: $u_v(t) = E[u(t)-u(t-t_1)]$, hình 1.18



Hình 1.18: Ngõ vào là xung chữ nhật

Trường hợp:

$$u_v(t) = 0, \text{ nếu } t < 0 \text{ và } t \geq t_1$$

$$u_v(t) = E, \text{ nếu } 0 \leq t < t_1$$

Trong khoảng thời gian từ 0 đến t_1 ngõ vào có biên độ điện áp là E, tụ C nạp điện, điện áp trên tụ C tăng dần theo quy luật hàm mũ.

$$u_c(t) = E \left(1 - e^{-\frac{t}{\tau_n}} \right), \text{ với } \tau_n = RC.$$

Điện áp trên điện trở giảm dần cũng theo quy luật hàm mũ

$$u_R(t) = E e^{-\frac{t}{\tau_n}}$$

Vậy, ta có: $u_R(t) = u_v(t) - u_c(t)$ (1.27)

Khi $u_c(t)$ tăng dần thì $u_R(t)$ giảm dần, tùy theo giá trị của t lớn hay nhỏ mà tụ nạp trong thời gian dài hay ngắn khác nhau.

Trong khoảng thời gian $t > t_1$, điện áp ngõ vào mạch RC có giá trị là 0. Lúc này, tụ C là đóng vai trò như nguồn điện áp cung cấp cho mạch, nghĩa là tụ C xả điện qua điện trở R. Do đó điện áp trên tụ C giảm dần theo quy luật hàm mũ, còn điện áp trên điện trở tăng dần cũng theo quy luật hàm mũ, nhưng mang giá trị âm.

$$\begin{aligned} v_C(t) &= E.e^{-t/\tau_f} \\ v_R(t) &= -E.e^{-t/\tau_f} \end{aligned} \quad (1.28)$$

❖ Điện áp vào là tín hiệu xung vuông:

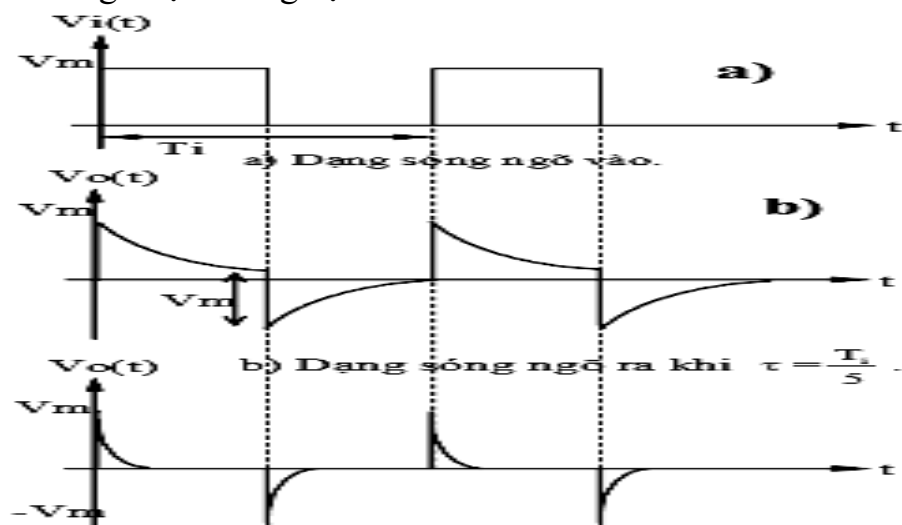
Khi điện áp vào là tín hiệu xung vuông có chu kỳ T_i thì có thể xét tỉ lệ hằng số thời gian $\tau = RC$ so với T_i để giải thích các dạng sóng ra theo hiện tượng nạp xả của tụ điện.

Giả sử điện áp ngõ vào là tín hiệu xung vuông đối xứng có chu kỳ T_i (hình 1.19a)

+ Nếu mạch vi phân có hằng số thời gian $\tau = (T_i / 5)$ thì tụ nạp và xả điện tạo dòng $i(t)$ qua điện trở R tạo ra điện áp giảm theo hàm số mũ. Khi điện áp ngõ vào bằng 0V thì đầu dương của tụ nối mass và tụ sẽ xả điện áp âm trên điện trở R. Ở ngõ ra sẽ có hai xung ngược nhau có biên độ giảm dần hình 1.19b

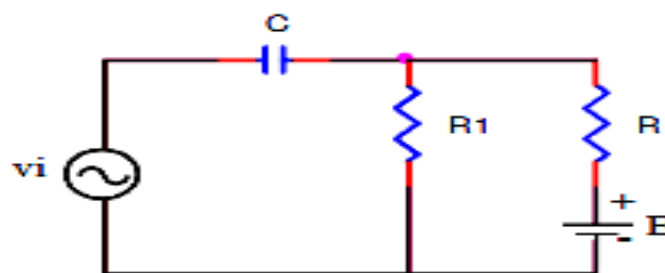
+ Nếu mạch tích phân có hằng số thời gian rất nhỏ so với T_i thì tụ sẽ nạp xả điện rất nhanh nên cho ra hai xung ngược dấu nhưng có độ rộng xung rất hẹp được gọi là xung nhọn.

Như vậy, nếu thỏa điều kiện của mạch vi phân thì mạch RC sẽ đổi tín hiệu từ xung vuông đơn cực ra xung nhọn lưỡng cực.



Hình 1.19. Dạng sóng vào và ra của mạch vi phân

Bài tập: Cho mạch như hình vẽ hình. 1.20



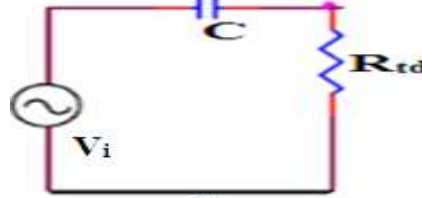
Hình 1.20

$V_i = 5.1(t)$, $R = 1k\Omega$, $C = 470pF$. Hãy xác định và vẽ đồ thị $V_{C(t)}$, $V_{R(t)}$ cho các trường hợp sau:

- $E = 0$, $R_1 = \infty$
- $E = 1V$, $R_1 = \infty$
- $E = 1V$, $R_1 = 2k\Omega$

Giải :

a. $E = 0$, $R_1 = \infty$. Mạch tương đương, hình 1.21.



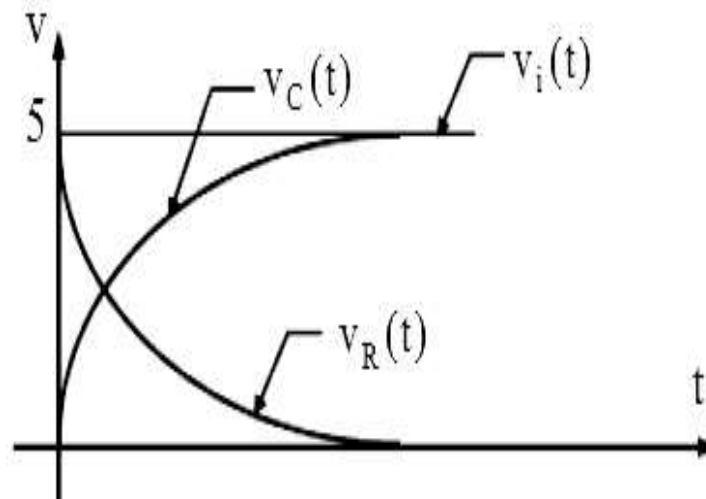
Hình 1.21

Cộng tác dụng của nguồn ta có (hình 1.22)

$$V_i = 5.1(t)$$

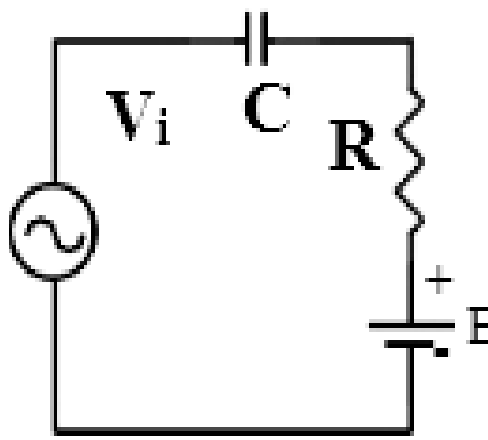
$$V_R = 5.e^{-t/\tau}$$

$$V_C = 5.(1 - e^{-t/\tau}), \text{ với } \tau = RC = 470.10^{-12}.1.10^3 = 470.10^{-9} = 0,47\mu s$$



Hình 1.22

b. $E = 1V$, $R_1 = \infty$, mạch tương đương hình 1.23



Hình 1.23

Xét tác dụng của nguồn E

$$I_E = 0$$

$$V_R^E = i_E R = 0$$

$$V_R^E = i R = 0$$

Xét tác dụng của nguồn V_i :

$$V_R^E = i R = 0$$

$$V_C^i = 5(1 - e^{-t/\tau})$$

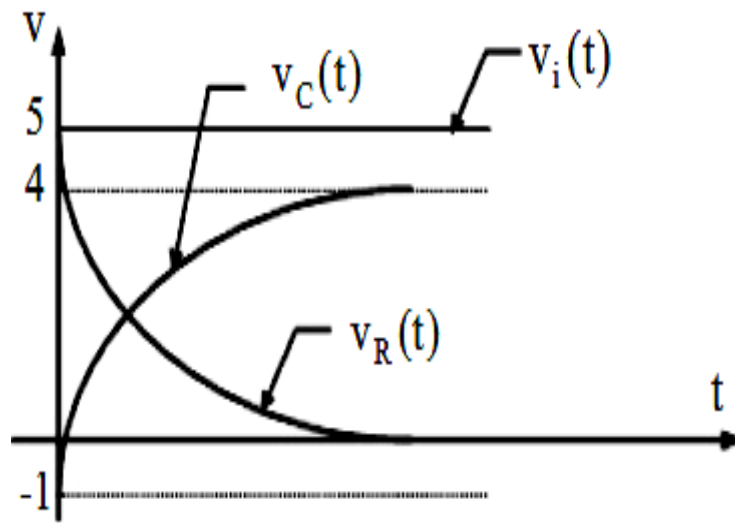
$$\tau = RC = 0.47 \mu s$$

Cộng tác dụng của nguồn ta có (hình 1.24)

$$V_C = 5e^{-t/\tau}$$

$$V_C = 5(1 - e^{-t/\tau}) - 1$$

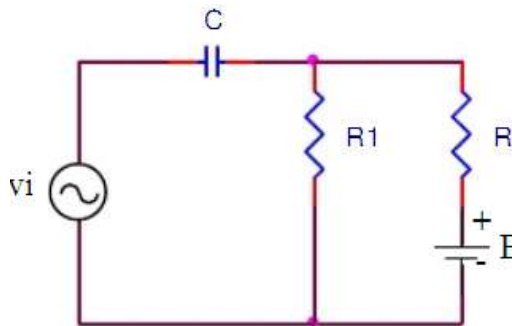
$$\tau = RC = 0.47 \mu s$$



Hình 1.24

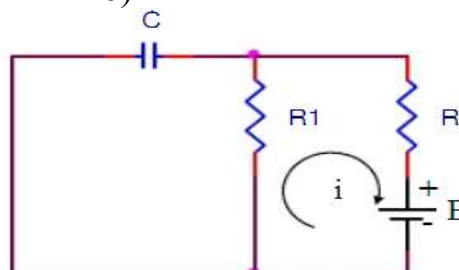
c. $E = 1V$, $R_1 = 2 k\Omega$, (hình 1.25)

Mạch:



Hình 1.25

Xét tác dụng của nguồn E (hình 1.26)



Hình 1.26

Ta có:

$$i = \frac{E}{R + R_1}$$

$$V_R^E = iR = -E \frac{R}{R + R_1} = -\frac{1}{3}(V)$$

$$V_{R1}^E = -V_R^E = iR = -\frac{2}{3}(V)$$

Xét tác dụng của nguồn vi phân:

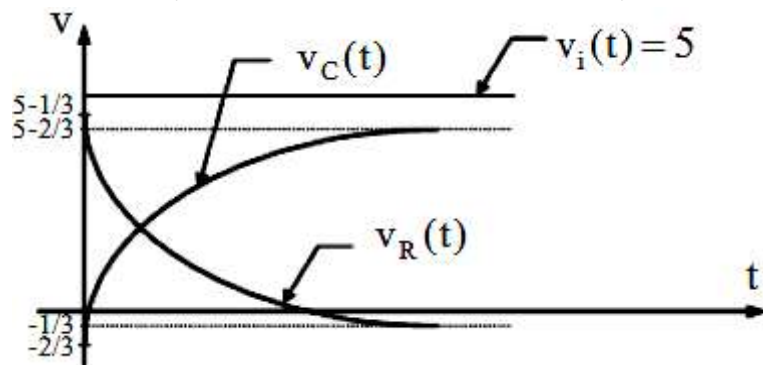
$$R_{td} = (R_1 // R) = \frac{2}{3}(k\Omega)$$

$$V_R^i = V_{Rtd} = 5e^{-t/\tau}$$

$$V_C^i = 5(1 - e^{-t/\tau})$$

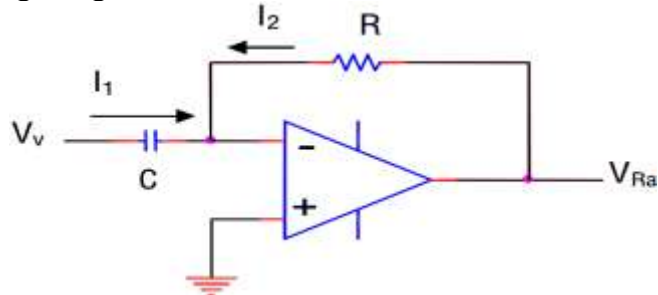
Cộng tác dụng của hai nguồn ta có (hình 1.27).

$$\Rightarrow \left\{ \begin{array}{l} V_R = 5 \cdot e^{-t/\tau} - \frac{1}{3} \\ V_C = 5(1 - e^{-t/\tau}) - \frac{1}{3} \end{array} \right\}$$



Hình 1.27

Mạch vi phân dùng OpAmp, hình 1.28



Hình 1.28

Ta có:

$$i_1(t) = i_c(t) = C \frac{d}{dt} v_v, i_2(t) = \frac{v_{ra} - v_-}{R} = \frac{v_{ra}}{R} \text{ (vì } v_- = 0)$$

$$\text{Do } i_1(t) = -i_2(t) \Leftrightarrow C \frac{d}{dt} v_v = -\frac{v_{ra}}{R}$$

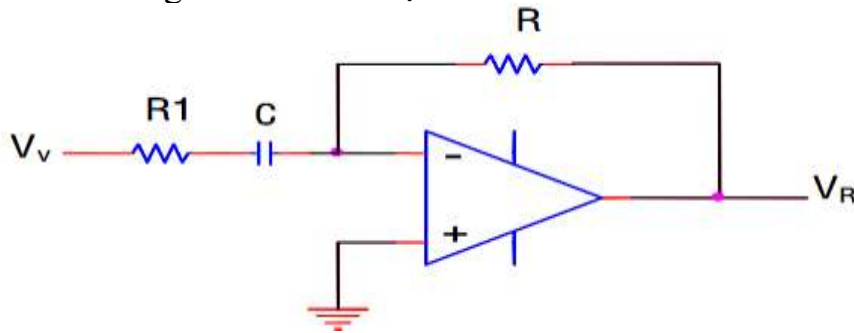
$$\Leftrightarrow v_r(t) = -RC \frac{d}{dt} v_v$$

Mạch vi phân dùng OpAmp có cách mắc theo kiểu mạch đảo, với mạch phân áp là tụ C và điện trở R. Tụ C có nhiệm vụ đưa tín hiệu đến ngõ vào đảo của OpAmp, còn điện trở R có nhiệm vụ hồi tiếp từ ngõ ra về ngõ vào. Trường hợp điện áp vào

$$v_r(t) = -RC \frac{d}{dt} V_m \sin \omega t$$

$$\text{Thì } v_r(t) = -RC \frac{d}{dt} V_m \sin \omega t = -\omega RC \cos \omega t = \omega RC \sin(\omega t + 90^\circ)$$

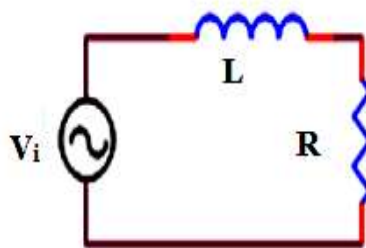
Nhận xét: Điện áp ngõ ra sớm pha 90° so với điện áp vào và biên độ là hệ số tỉ lệ khuếch đại $k = \omega RC$. Vì hệ số khuếch đại của mạch tỉ lệ với tần số, nên tạp âm tần số cao ở ngõ ra mạch này rất lớn, có thể lấn áp tín hiệu vào, nghĩa là hệ số khuếch đại của mạch càng lớn thì tồn tại nhiều tần số cao càng lớn. trở kháng vào của mạch $Z_v = \frac{1}{j\omega C}$ giảm khi tần số tăng. Do đó, khi nguồn có trở kháng lớn, thì chỉ có một phần tín hiệu được vi phân, phần còn lại được khuếch đại. Để khắc phục những nhược điểm trên người ta đưa ra mạch sau:



Hình 1.29

❖ R_1 có nhiệm vụ hạn chế tạp âm ở tần số cao, ở tần số cao thường tồn tại các gai nhọn có biên độ lớn, do đó R_1 hạn chế biên độ này.

2.2. Tác dụng của mạch RL đối với các xung cơ bản (hình 1.30)



Hình 1.30 Mạch RL

2.2.1 Hàm đột biến điện áp: $V_i = a.1(t)$ (hình 1.31)

+ $t < 0$: $V_i = 0 \Rightarrow V_R = 0, v_L = 0$

+ $t = 0$: $V_i = a \Rightarrow i = 0$ (dòng qua cuộn dây không đột biến)

Ta có : $V_R = 0$

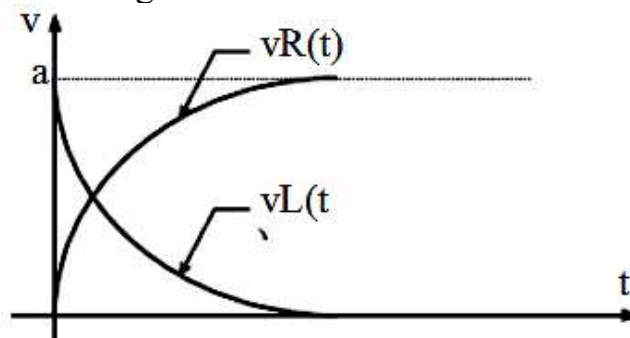
$\Rightarrow V_L = V_i - V_R = a$

+ $t > 0$ dòng qua cuộn dây tăng dần, V_R tăng, V_L giảm

+ $t = \infty$: Mạch xác lập: $V_L = 0, V_R = a$

$$\Rightarrow \begin{cases} V_R = a(1 - e^{-t/\tau}) \\ V_L = ae^{-t/\tau} \end{cases} \quad (1.28)$$

Với $\tau = L/R$ được gọi là thời hằng

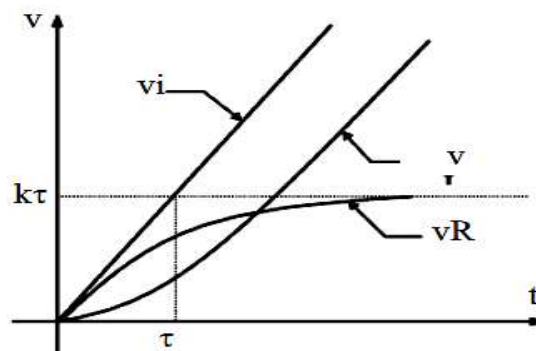


Hình 1.31

2.2.2 Hàm tuyến tính: $v_i = kt$ (hình 1.32)

Ta có:

$$\Rightarrow \begin{cases} V_R = kt - k\tau(1 - e^{-t/\tau}) \\ V_L = kt - k\tau e^{-t/\tau} \end{cases}, \tau = \frac{L}{R} \quad (1.29)$$



Hình 1.32: Hàm tuyến tính

Mạch RL lấy tín hiệu ra trên tải R thì được gọi là mạch hạ thông (thông thấp).
Mạch RL lấy tín hiệu ra trên tải L thì được gọi là mạch thượng thông (thông cao).

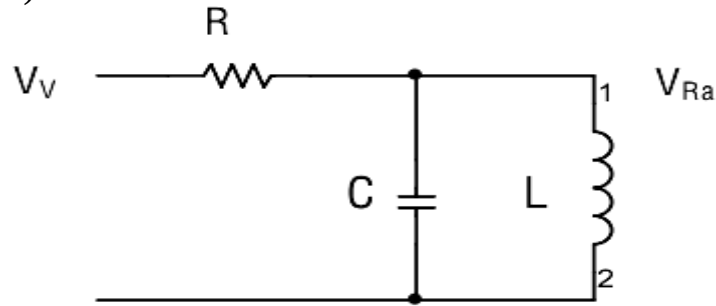
Nhận xét :

- Phản ứng của mạch RL, thông cao giống như phản ứng của RC thông cao.
- Phản ứng của mạch RL, thông thấp giống như phản ứng của RC thông thấp.

3. Tác dụng của mạch R.L.C đối với các xung cơ bản.

- Mục tiêu: trình bày và phân tích được sơ đồ khi có xung đột biến trong mạch RLC của xung cơ bản .

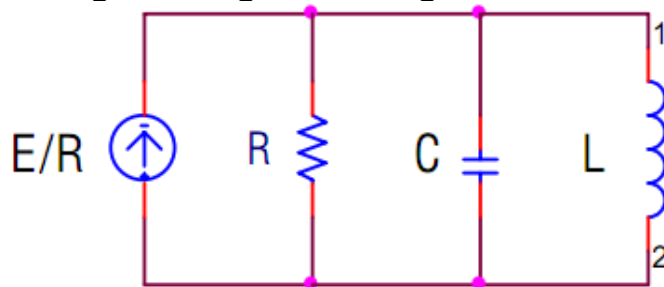
Sơ đồ mạch (hình 1.33)



Hình 1.33

Xét ngõ vào là hàm bước (hình 1.34)

Biến đổi nguồn áp thành nguồn dòng, ta có dạng mạch như hình sau:



Hình 1.34

Lúc này nguồn dòng có giá trị

$$i(t) = \frac{E}{R} u(t) \quad (1.30)$$

Trong đó: $u(t)$ là hàm bước đơn vị

- Để tìm hiểu tác dụng của xung đột biến dòng điện lên mạch RLC mắc song song, ta có thể tìm tác dụng riêng lẻ của từng đột biến dòng điện rồi sau đó tổng kết quả của chúng lại với nhau. Đây là dạng mạch dao động RLC mắc song song.
- Nếu tại thời điểm $t = 0$, đầu vào của mạch đột biến dòng điện có biên độ E/R . Với điều kiện ban đầu $u_C(0) = 0$, $i_L(0) = 0$, ta lập được phương trình cho mạch như sau:

Với:
$$i(t) = \frac{E}{R} u(t) \quad (1.31)$$

$$i(p) = \frac{E}{R} \cdot \frac{1}{p} \quad (1.32)$$

Phương trình nút, ta có

$$i(p) = \frac{E}{R} \cdot \frac{1}{p} = V_{ra}(p) \left(\frac{1}{R} + \frac{1}{pL} + pC \right) \quad (1.33)$$

$$V_{ra}(p) = \frac{E}{RC} \cdot \frac{1}{p^2 + p \cdot \frac{1}{RC} + \frac{1}{LC}} = \frac{E}{RC} \cdot \frac{1}{p^2 + 2ap + \omega_0^2} \quad (1.34)$$

Với :

$$2a = \frac{1}{RC} \rightarrow a = \frac{1}{2RC}$$

$$\omega_0^2 = \frac{1}{LC} \rightarrow \omega_0 = \frac{1}{\sqrt{LC}}$$

Phương trình (1.34) có mẫu số triệt tiêu ứng với $p^2 + 2ap + \omega_0^2 = 0$ có nghiệm

$$- p_{1,2} = -\frac{1}{2RC} \pm \sqrt{\frac{1}{4R^2C^2} - \frac{1}{LC}} = -a \pm \sqrt{a^2 - \omega_0^2} \quad (1.35)$$

$$- \Delta = \sqrt{a^2 - \omega_0^2} \quad (1.36)$$

$$- v_{ra}(p) = \frac{E}{RC} \cdot \frac{1}{(p - p_1)(p - p_2)} \quad (1.37)$$

Có 3 trường hợp:

- Trường hợp $\Delta > 0$ thì p_1, p_2 là 2 nghiệm thực:

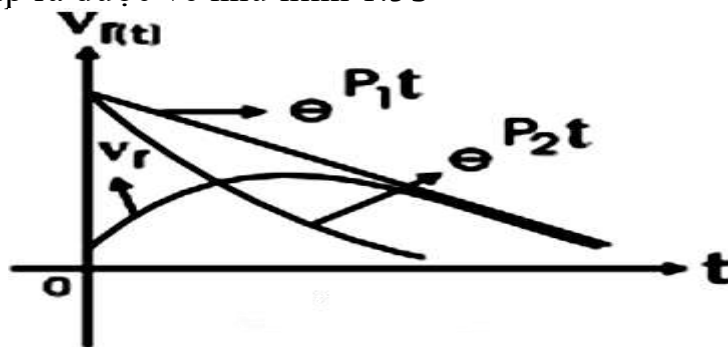
Ta có:
$$v_{ra}(p) = \frac{E}{RC} \cdot \frac{1}{(p - p_1)(p - p_2)} = \frac{E}{RC} \cdot \left(\frac{1}{p - p_1} - \frac{1}{p - p_2} \right) \cdot \frac{1}{p_1 - p_2}$$

$$= \frac{A}{p_1 - p_2} \cdot \left(\frac{1}{p - p_1} - \frac{1}{p - p_2} \right)$$

Với $A = \frac{E}{RC} = \text{Const}$. Lấy Laplace ngược của $v_{ra}(p)$, ta được:

$$v_{ra}(t) = \mathcal{L}^{-1}\{v_{ra}(p)\} = \frac{A}{p_1 - p_2} (e^{p_1 t} - e^{p_2 t}) \quad (1.38)$$

Đường cong điện áp ra được vẽ như hình 1.35



Hình 1.35

Qua hình vẽ ta thấy, giản đồ thời gian của điện áp ra có dạng một xung đơn hướng và là hiệu của hai hàm số mũ $e^{p_1 t}, e^{p_2 t}$.

Trường hợp: $\Delta = 0$, khi đó $p_1 = p_2 = -a$.

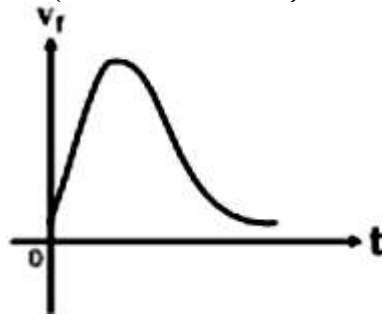
Ta có:
$$v_{ra}(p) = \frac{E}{RC} \cdot \frac{1}{(p + a)^2}$$

Biến đổi Laplace ngược ta được:

$$v_{ra}(t) = \mathcal{L}^{-1}\{v_{ra}(p)\} = \frac{E}{RC} \cdot t \cdot e^{-at} = B \cdot t \cdot e^{-at}$$

Với $B = \frac{E}{RC} = \text{const}$

Giản đồ thời gian của điện áp ra (xem hình 1.36)



Hình 1.36

Trường hợp $\Delta < 0$, khi đó $\sqrt{\Delta} < 0 \Rightarrow \sqrt{\Delta} = \sqrt{\omega_0^2 - a^2} = \omega_1$

$$p_{1,2} = -\alpha \pm j\omega_1$$

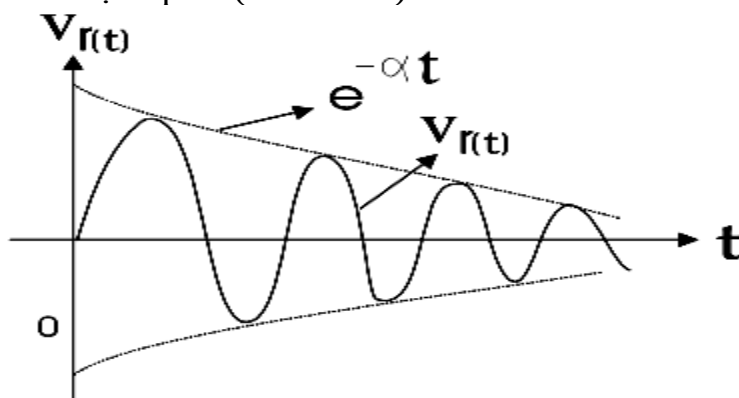
$$v_{ra}(p) = \frac{E}{\omega_1 RC} \cdot \frac{\omega_1}{(p + a)^2 + \omega_1^2}$$

Lấy Laplace ngược ta được:

$$v_{ra}(t) = \mathcal{F}^{-1}\{v_{ra}(p)\} = \frac{E}{RC\omega_1} \cdot e^{-at} \sin \omega_1 t = \frac{C}{\omega_1} e^{-at} \sin \omega_1 t$$

Với $C = E/RC = \text{const.}$

Giản đồ thời gian của điện áp ra (hình 1.37)



Hình 1.37

Qua hình vẽ ta thấy, khi tác dụng lên đầu vào của mạch dao động RLC, mắc song song, một đột biến dòng điện trong mạch sẽ phát sinh dao động có biên độ suy giảm dần là do sự tồn tại điện trở phân mạch R và điện trở bản thân cuộn dây.

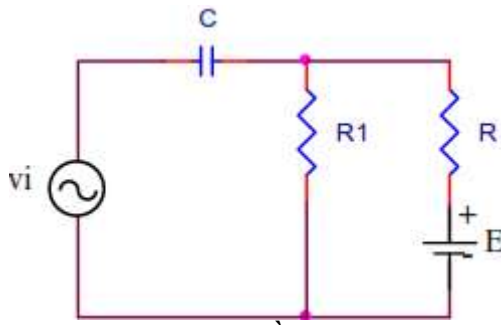
Nếu a càng lớn, dao động tắt dần càng nhanh, biên độ ban đầu là:

$$\frac{C}{\omega_1} = \frac{C}{\sqrt{\omega_0^2 - a^2}}$$

Ngược lại, hệ số suy giảm a càng nhỏ thì dao động tắt dần chậm hơn, nhưng biên độ ban đầu bé.

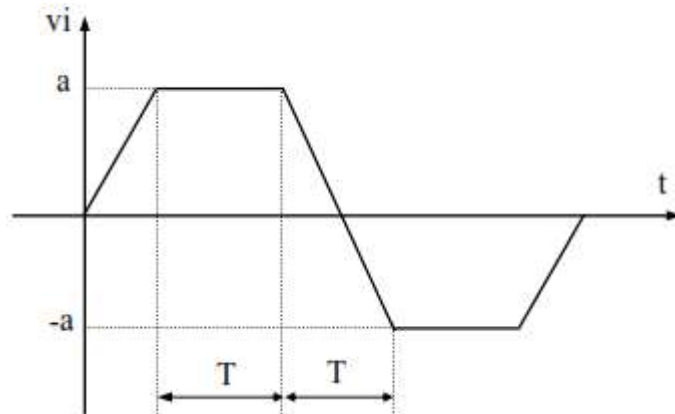
❖ Bài tập chương

1. Cho mạch như hình vẽ

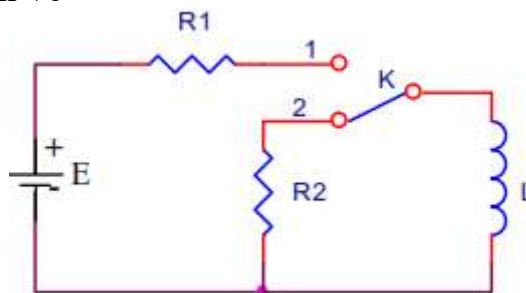


$R = 1\text{k}\Omega$, $C = 470\text{pF}$. Hãy xác định và vẽ đồ thị $V_i(t)$, $V_C(t)$, $V_R(t)$ cho các trường hợp sau:

- $V_i(t) = 5.1(t) - 5.1(t - t_0)$; $t_0 = 10\mu\text{s}$; $R_1 = \infty$; $E = 0$
 - $V_i(t) = 5.1(t) - 5.1(t - t_0)$; $t_0 = 10\mu\text{s}$; $R_1 = 5,6\text{ k}\Omega$; $E = 2\text{V}$
 - $V_i(t) = 5.1(t) - 7.1(t - t_0)$; $t_0 = 10\mu\text{s}$; $R_1 = 5,6\text{ k}\Omega$; $E = 2\text{V}$
2. Cho V_i như hình vẽ



- Phân tích V_i thành tổng các dạng hàm cơ bản.
 - Khi đặt V_i ở ngõ vào của mạch RC thông cao, hãy xác định và vẽ V_{out} khi $T = RC/10$
3. Cho mạch như hình vẽ



Khi $t < 0$: K ở vị trí số 2

$t = 0$: K sang vị trí số 1

$t = 30\mu\text{s}$: K trở lại vị trí số 2

Hãy xác định và vẽ i_L , V_L trong các bước sau

- $E = 10\text{V}$; $R_1 = 1\text{ k}\Omega$; $R_2 = 1\text{ k}\Omega$; $L = 1\text{mH}$
- $E = 10\text{V}$; $R_1 = 10\text{k}\Omega$; $R_2 = 10\text{k}\Omega$; $L = 10\text{mH}$

4. Khảo sát dạng xung (Đo, đọc các thông số cơ bản của xung).

- Mục tiêu: Khảo sát một số dạng xung cơ bản thông qua máy đo dao động ký trên một số mạch thí nghiệm, xác định biên độ, tín hiệu ngõ vào ngõ ra khi có tác động của các hàm và điện áp.

Bài 1a:

SỬ DỤNG OSC VÀ MÔ HÌNH THỰC HÀNH KỸ THUẬT XUNG

I. Lý thuyết

1. Cấu tạo của OSC

2. Chức năng và cách sử dụng các bộ phận trên OSC

- POWER: Công tắc nguồn. Khi ở vị trí “ON” thì LED sẽ sáng, hình 1.1.



Hình 1.1

- INTENSITY CONTROL: Dùng để thay đổi cường độ sáng của tia. Để tăng độ sáng ta vặn theo chiều kim đồng hồ, hình 1.2.



Hình 1.2

- FOCUS: Điều chỉnh độ hội tụ của tia (điều chỉnh độ sắc nét), hình 1.3.



Hình 1.4

- TRIG LEVEL: Dùng để điều chỉnh cho dạng sóng đứng yên và định điểm bắt đầu của dạng sóng, hình 1.5



Hình 1.5

- TRIGGERING COUPLING, hình 1.6: Dùng để lựa chọn kiểu lấy trigger (triggermode).

AUTO: Ở chức năng này, tín hiệu quét được phát ra khi không có tín hiệu trigger thích hợp; tự động chuyển về vận hành quét trigger (triggered sweep) khi có tín hiệu trigger thích hợp.

NORM: Ở chức năng này, tín hiệu quét chỉ được phát ra khi có tín hiệu trigger thích hợp.

TV-V: Dải tần trigger trong khoảng DC- 1KHz.

TV-H: Dải tần trigger trong khoảng 1KHz- 100KHz.



Hình 1.6

- TRIGGER SOURCE, hình 1.7: Dùng để lựa chọn nguồn lấy trigger.

CH 1: Tín hiệu của kênh CH1 trở thành nguồn trigger bất chấp vị trí của VERTICAL MODE.

CH 2: Tín hiệu của kênh CH2 trở thành nguồn trigger.

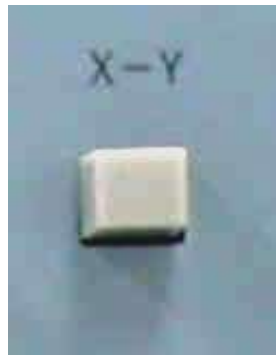
LINE: Tín hiệu AC line được dùng như là nguồn lấy trigger.

EXT: Tín hiệu Trigger được lấy từ đầu nối EXT TRIG.



Hình 1.7

- MAIN, MIX, AND DELAY, hình 1.8



Hình 1.8

- POSITION (PULL x 10), hình 1.9: Dùng để điều chỉnh vị trí của tia sáng theo chiều ngang. Khi kéo ra dùng để nhân trục thời gian lên 10 lần.



Hình 1.9

- VARIABLE, hình 1.10: Dùng thay đổi tỉ lệ quét một cách liên tục.



Hình 1.10

- TIME / DIV, hình 1.11: Dùng để chọn tỉ lệ trên trục thời gian.



Hình 1.11

- POSITION, hình 1.12: Điều chỉnh vị trí của tia sáng theo chiều dọc. Khi kéo ra sẽ làm đảo pha tín hiệu ngõ vào.



Hình 1.12

- VOLTS / DIV, hình 1.13: Dùng để chọn tỉ lệ theo chiều điện áp.



Hình 1.13

- AC-GND-DC, hình 1.43

Khi để ở vị trí AC chỉ cho thành phần AC của tín hiệu vào máy.

Khi để ở vị trí GND không cho tín hiệu vào máy.

Khi để ở vị trí DC cho cả thành phần AC và DC của tín hiệu vào máy.



hình 1.14

- INPUT: Ngõ vào của tín hiệu cần đo, hình 1.15.



Hình 1.15

- VERT MODE, hình 1.16

Khi ở vị trí CH1: Chỉ đo một kênh CH1.

Khi ở vị trí CH2: Chỉ đo một kênh CH2.

Khi ở vị trí DUAL: Đo đồng thời hai kênh.

Khi ở vị trí ADD: Tín hiệu ngõ ra là tổng của hai tín hiệu ở kênh CH1 và kênh CH2.



Hình 1.16

- EXT TRIG, hình 1.17



Hình 1.17

- CAL, hình 1.8: Dùng để lấy tín hiệu chuẩn trước khi đo



Hình 1.18

3. Trước khi sử dụng máy hiện sóng

- Để POWER ở vị trí “OFF”.
- Để INTENSITY, FOCUS ở vị trí giữa.
- Để VERT MODE ở vị trí CH1.
- Nút Amplitude VAR của CH1 và CH2 ở vị trí CAL.
- Điều chỉnh CH1 – position, CH2 – position và POS (Time) ở vị trí giữa.
- Đặt AC - GND - DC tại vị trí GND.
- VOLT/DIV: 50 mV/DIV.
- TIME/DIV: 0.5 mS/DIV.
- Sweep VAR chỉnh ở vị trí CAL.
- COUPLING để ở vị trí AUTO.
- SOURCE đặt ở CH1.
- Chỉnh TRIG LEVEL tới vị trí "+".
- Bật công tắc nguồn.

Nếu không thấy tia sáng thì nhấn nút BEAM FIND. Điều chỉnh CH₁ POS và HORIZONTAL POS để tia sáng nằm ở giữa màn hình

II. Thực Hành

1. Giới Thiệu

- Nguồn +12V, -12V, dòng 3A, có bảo vệ quá dòng
- Nguồn 5V, dòng 2A, có bảo vệ quá dòng
- Nguồn dương 0 ÷ 30V, nguồn âm 0 ÷ -30V, dòng 1.5A có bảo vệ quá dòng (mass riêng)
- Nguồn tín hiệu có công tắc xoay để chọn các loại tín hiệu gồm tín hiệu sin, tín hiệu tam giác, xung vuông đơn cực và xung vuông lưỡng cực, có:
 - +Biên độ 0 ÷ 10V
 - +Tần số 1Hz ÷ 50KHz
- Các nguồn có led hiển thị báo có nguồn và báo quá dòng.
- Các nguồn ±12V, +5V và nguồn tín hiệu được nối chung mass, nên chúng có ký hiệu mass giống nhau.
- Các nguồn DC thay đổi được từ 0 ÷ ±30V được nối chung mass, nên chúng có ký hiệu mass giống nhau.
- Các nguồn DC và nguồn tín hiệu đều được đưa lên Test Board.

2. Cách sử dụng

- Dùng VOM và OSC để đo thử và kiểm tra các nguồn trên mô hình.
- Ráp thử một mạch ứng dụng trên testboard.

- **Mục đích yêu cầu**

Tạo các kỹ năng sử dụng máy dao động ký đúng phương pháp, an toàn khi sử dụng và trình tự vận hành.

- **Các thiết bị sử dụng**

- Dao động ký; Nguồn phát sóng âm tần; Đồng hồ VOM, Dây đo dao động ký (2 dây), Dây tín hiệu máy phát sóng.

- **Các bước thực hành**

1. Xác định hình dạng, biên độ, tần số của tín hiệu

- Đọc biên độ:

$$\text{Biên độ (V)} = \text{Biên độ (ô)} \times \text{Volts / div (V/ô)}$$

- Đọc Chu kỳ:

$$\text{Chu kỳ (s)} = \text{Chu kỳ (ô)} \times \text{Time / div (s / ô)}$$

- Mỗi lần đo, điều chỉnh núm chỉnh biên độ, núm chỉnh tần số, núm chỉnh dạng điện áp ở vị trí bất kỳ rồi điền vào bảng sau:

Lần đo	Điện áp			Chu kỳ			Tần số (Hz)	Dạng sóng
	Biên độ (ô)	Giai đo (V/ô)	Biên độ (V)	Chu kỳ (ô)	Giai đo (s/ô)	Chu kỳ (s)		
1								
2								
3								
4								
5								

2. Chỉnh một nguồn sao cho có hình dạng, biên độ theo yêu cầu

Ví dụ: Điều chỉnh một nguồn xoay chiều hình Sin có biên độ 10V, tần số 1KHz.

❖ **Các bước thực hiện:**

- Bước 1: Điều chỉnh núm chọn dạng sóng theo yêu cầu.
- Bước 2: Điều chỉnh biên độ.

Chỉnh núm chỉnh biên độ trên mô hình sao cho:

$$\text{Độ cao của biên độ (ô)} = \text{Biên độ cần có (V)} \times \text{Giai đo (V/ô)}$$

- Bước 3: Điều chỉnh tần số.

Tính chu kỳ cần có: $T=1/f$

Chính nùm chỉnh tần số trên mô hình sao cho:

$$\text{Chiều dài của chu kỳ (ô)} = \text{Chu kỳ cần có (s)} \times \text{Giai đo (s/ô)}$$

➤ BÀI TẬP

- Điều chỉnh một xung vuông đơn cực có biên độ 2V, tần số 500Hz.
- Điều chỉnh một xung vuông lưỡng cực có biên độ 3V, tần số 5KHz.
- Điều chỉnh một xung tam giác có biên độ 7V, tần số 3KHz.
- Điều chỉnh một sóng sin có biên độ 9V, tần số 10KHz.

BÀI 1b: MẠCH TÍCH PHÂN & MẠCH VI PHÂN

• Mục đích yêu cầu

Tạo các kỹ năng sử dụng máy dao động ký đúng phương pháp, an toàn khi sử dụng và trình tự vận hành.

Đo các dạng sóng ngõ ra vào trên các mạch tích phân, vi phân, các giá trị biên độ, giá trị đỉnh của các ngõ tín hiệu.

• Các thiết bị sử dụng

- Dao động ký; Nguồn phát sóng âm tần; Đồng hồ VOM, Dây đo dao động ký (2 dây), Dây tín hiệu máy phát sóng.

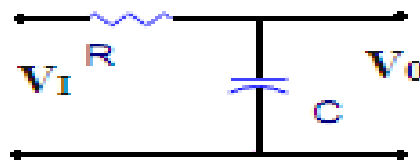
• Các bước thực hành

I. Mạch Tích Phân

A. Mạch tích phân dùng RC

❖ Lần 1:

- Sinh Viên mắc mạch như hình 2.1 ($R = 100\Omega$, $C = 1\mu F$)



Hình 2.1

- Điều chỉnh nguồn tín hiệu là xung vuông, biên độ 5V, tần số 1KHz và cấp vào V_1 của mạch trên.
- Đo và vẽ điện áp V_1 (kênh 1) và V_0 (kênh 2) vào bảng hình .

Kênh 1:

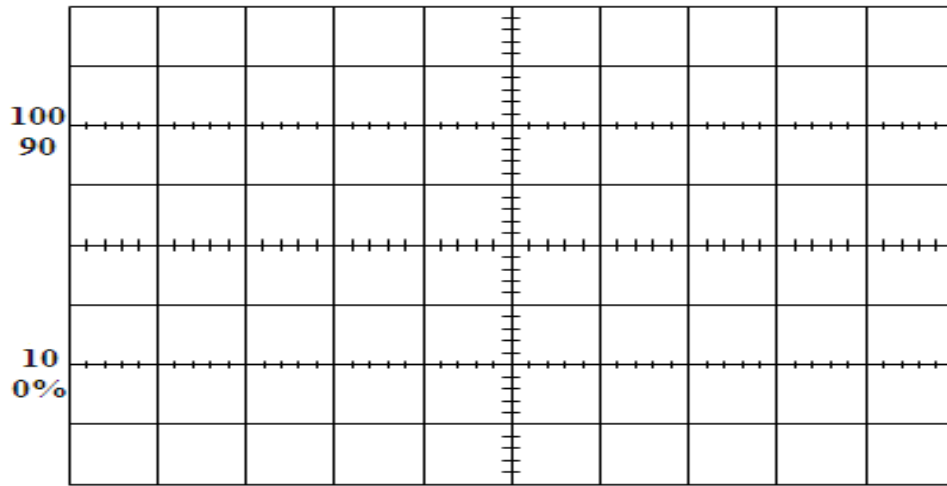
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2

❖ Lần 2

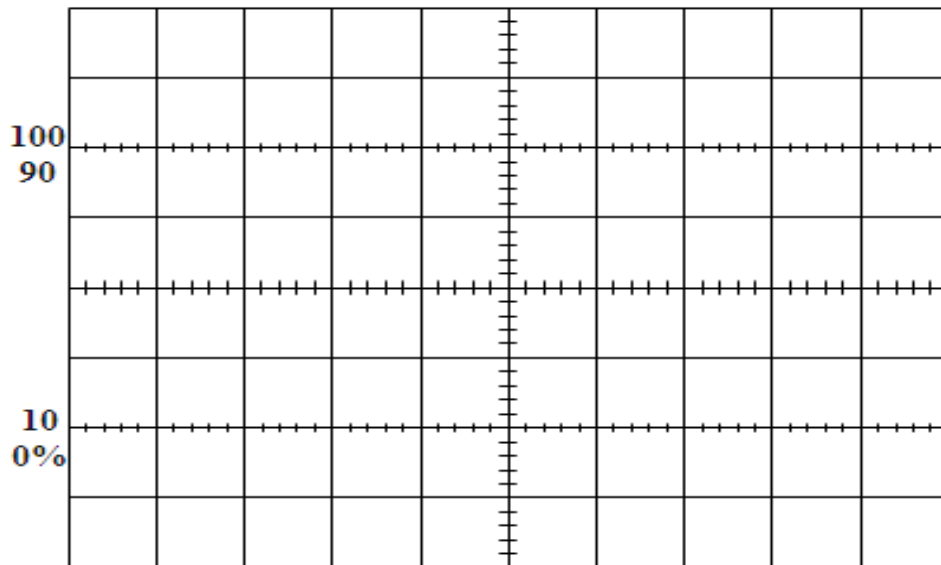
- Thực hiện như lần một nhưng thay $R = 1k\Omega$, $C = 1\mu F$
- Đo và vẽ điện áp V_1 (kênh 1) và V_o (kênh 2) vào hình 3.

Kênh 1:

- Time/Div:
- Volts/Div:

Kênh 2:

- Time /Div
- Volts/Div



Hình H3.

❖ Nhận xét:

- 1/. So sánh dạng điện áp V_o ở hai lần đo (V_{max} , V_{min} , tần số tín hiệu vào và tín hiệu ra)? Khi nào mạch trên trở thành mạch tích phân?

.....

.....

.....

.....

- 2/. Giải thích tại sao dạng điện áp V_o của lần 1 và lần 2 không giống nhau?

.....

.....

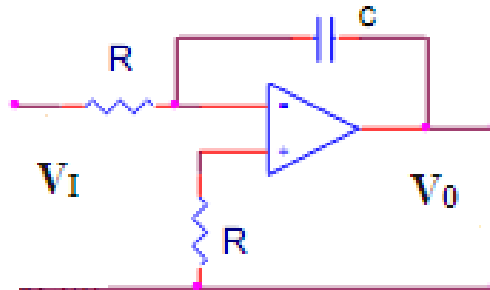
3/. So sánh dạng điện áp ngõ vào và ngõ ra của hai lần đo với lý thuyết đã học? Nếu khác thì tại sao?

4/. Trình bày quá trình hoạt động của mạch?

B. Mạch tích phân dùng OpAmp

❖ Lần 1:

- Sinh Viên mắc mạch như hình 4 ($R = 100\Omega$, $C = 1\mu F$, $\pm V_{cc} = \pm 12V$)



Hình 4

- Điều chỉnh nguồn tín hiệu là xung vuông lưỡng cực, biên độ 0.5V, tần số 1KHz và cấp vào V_I của mạch trên.

- Đo và vẽ điện áp V_I (kênh 1) và V_O (kênh 2) vào hình 5.

Kênh 1:

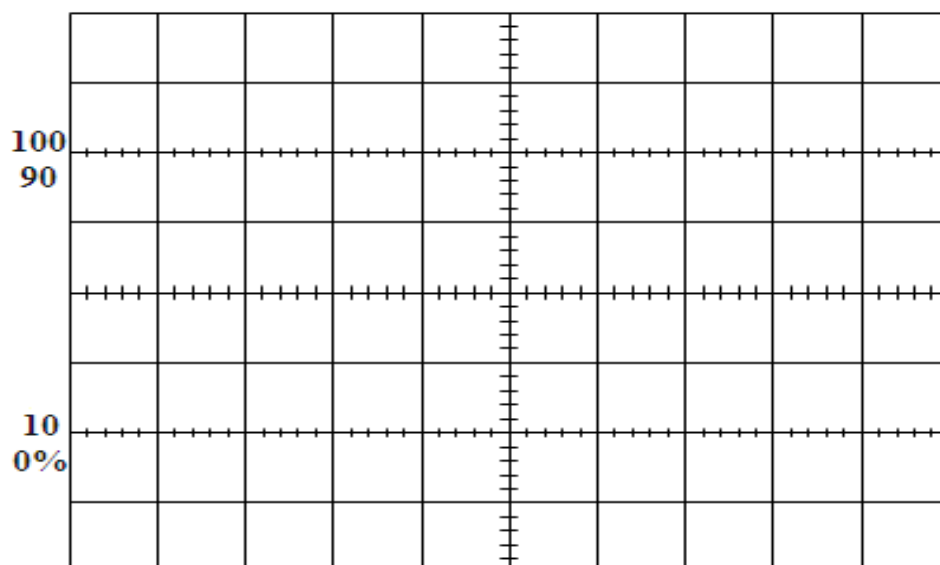
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 5

❖ Lần 2:

Thực hiện như lần một nhưng thay $R = 1k\Omega$, $C = 1\mu F$

Đo và vẽ điện áp V_I (kênh 1) và V_o (kênh 2) vào hình 6.

Kênh 1:

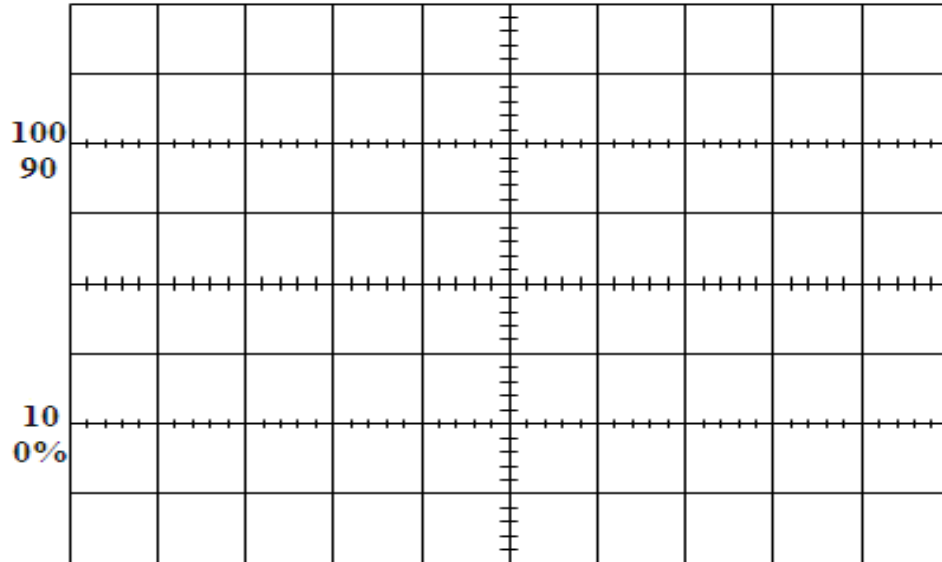
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 6

❖ Nhận xét:

1/. So sánh dạng điện áp V_o ở hai lần đo (V_{max} , V_{min} , tần số tín hiệu vào và tín hiệu ra)? Khi nào mạch trên trở thành mạch tích phân?

.....

2/. Giải thích tại sao dạng điện áp V_o của lần 1 và lần 2 không giống nhau?

.....

3/. So sánh dạng điện áp ngõ vào và ngõ ra của hai lần đo với lý thuyết đã học? Nếu khác thì tại sao?

.....

4/. Trình bày nguyên lý hoạt động của mạch?

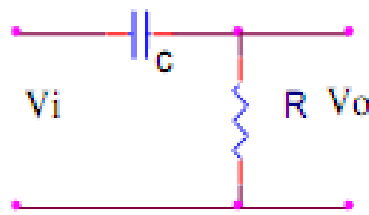
.....

II. Mạch Vi Phân

A. Mạch vi phân dùng RC

❖ Lần 1:

- Sinh Viên mắc mạch như hình 2.7 ($R = 100\Omega$, $C = 1\mu F$, $\pm V_{cc} = \pm 12V$)



Hình 2.7

- Điều chỉnh nguồn tín hiệu là xung vuông biên độ 0.5V, tần số 1KHz và cấp vào V_I của mạch trên.

- Đo và vẽ điện áp V_I (kênh 1) và V_o (kênh 2) vào hình 2.8.

Kênh 1:

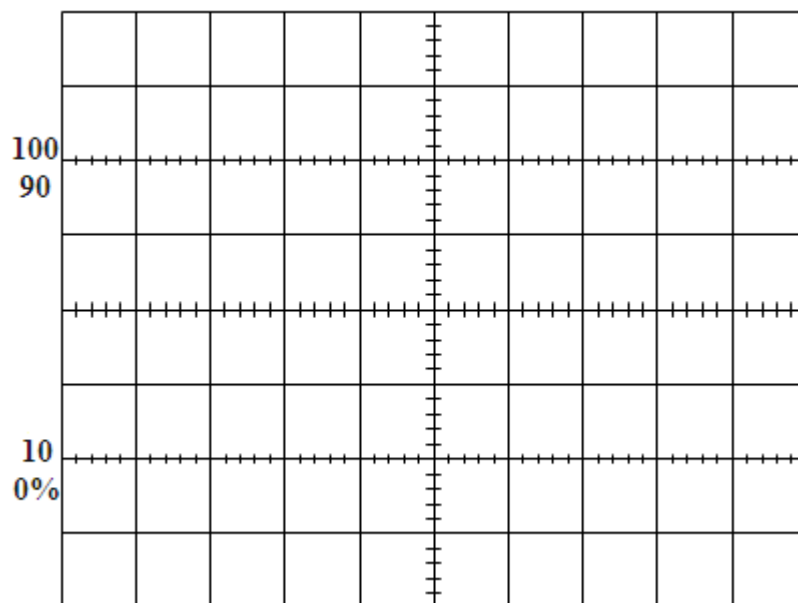
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.8

❖ Lần 2:

Thực hiện như lần một nhưng thay $R = 1k\Omega$, $C = 1\mu F$

Đo và vẽ điện áp V_I (kênh 1) và V_o (kênh 2) vào hình 2.9.

Kênh 1:

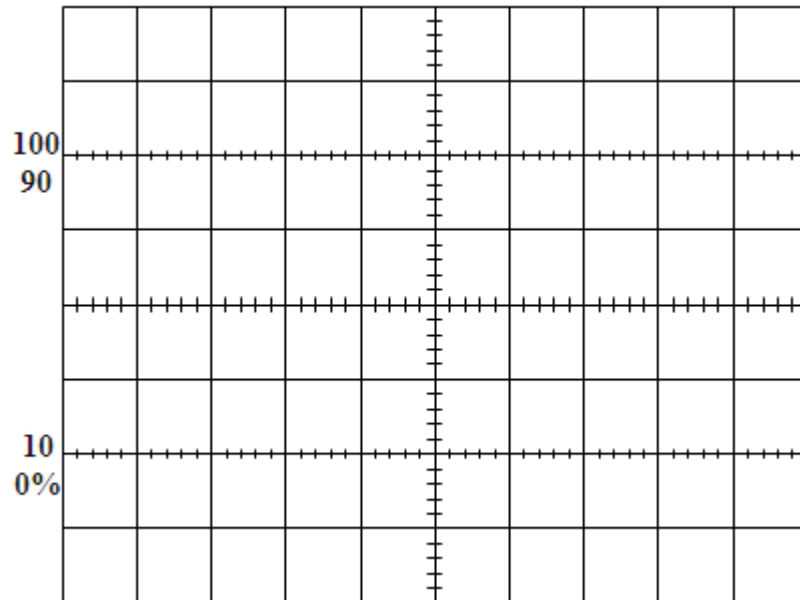
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.9

❖ Nhận xét:

1/. So sánh dạng điện áp V_o ở hai lần đo (V_{max} , V_{min} , tần số tín hiệu vào và tín hiệu ra)? Khi nào mạch trên trở thành mạch vi phân?

.....

2/. Giải thích tại sao dạng điện áp V_o của lần 1 và lần 2 không giống nhau?

.....

3/. So sánh dạng điện áp ngõ vào và ngõ ra của hai lần đo với lý thuyết đã học? Nếu khác thì tại sao?

.....

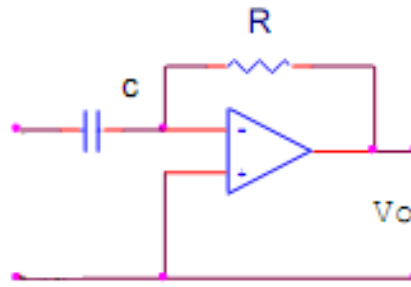
4/. Trình bày quá trình hoạt động của mạch?

.....

B. Mạch vi phân dùng OpAmp

❖ Lần 1:

- Sinh Viên mắc mạch như hình 2.10 ($R = 100\Omega$, $C = 1\mu F$, $\pm V_{cc} = \pm 12V$)



Hình 2.10

- Điều chỉnh nguồn tín hiệu là xung vuông lưỡng cực, biên độ $0.5V$, tần số $1KHz$ và cấp vào V_I của mạch trên.
- Đo và vẽ điện áp V_I (kênh 1) và V_o (kênh 2) vào hình 2.11.

Kênh 1:

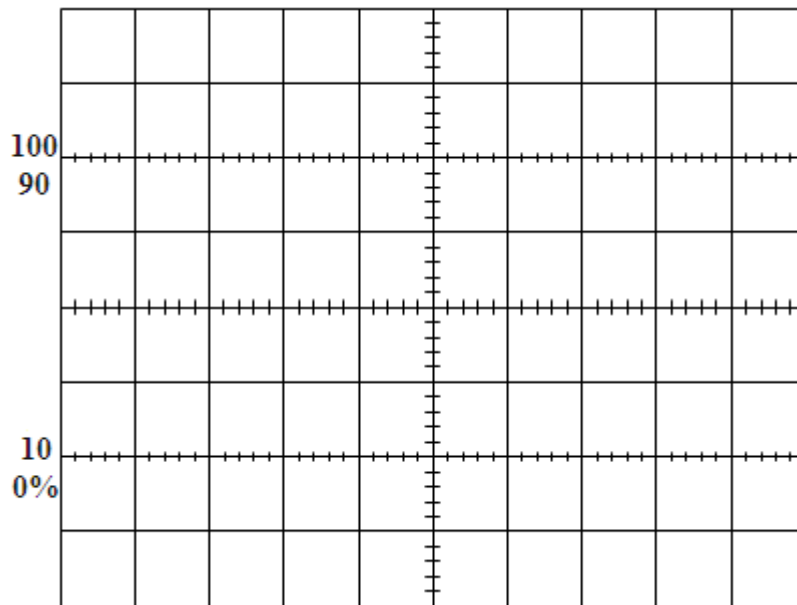
- Time/Div:

Kênh 2:

- Time /Div

Volts/Div:

Volts/Div



Hình 2.11

❖ Lần 2:

Thực hiện như lần một nhưng thay $R = 1k\Omega$, $C = 1\mu F$

Đo và vẽ điện áp V_I (kênh 1) và V_o (kênh 2) vào hình 2.12.

Kênh 1:

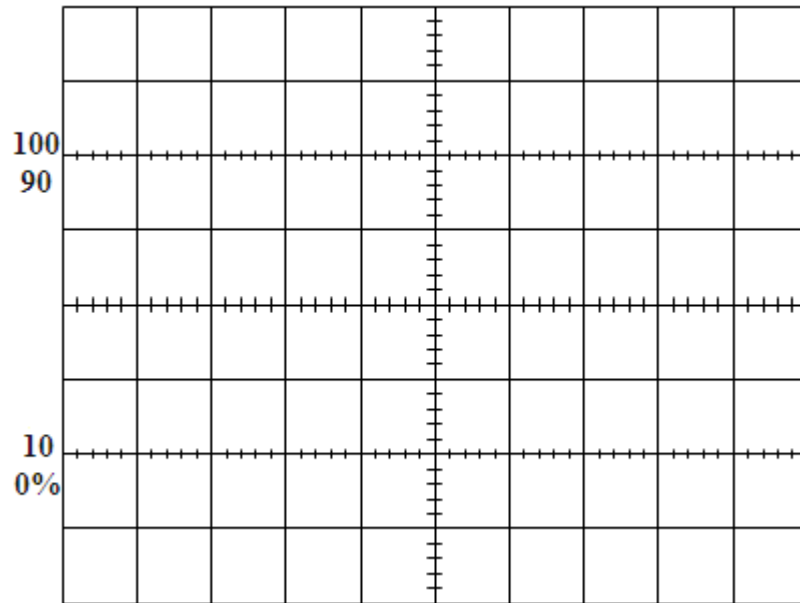
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.12

❖ Nhận xét:

1/. So sánh dạng điện áp V_o ở hai lần đo (V_{max} , V_{min} , tần số tín hiệu vào và tín hiệu ra)? Khi nào mạch trên trở thành mạch vi phân?

.....

2/. Giải thích tại sao dạng điện áp V_o của lần 1 và lần 2 không giống nhau?

.....

3/. So sánh dạng điện áp ngõ vào và ngõ ra của hai lần đo với lý thuyết đã học? Nếu khác thì tại sao?

.....

4/. Trình bày nguyên lý hoạt động của mạch?

.....

➤ **YÊU CẦU VỀ ĐÁNH GIÁ KẾT QUẢ HỌC TẬP BÀI 1**

✚ Nội dung:

- + Về kiến thức: Trình bày được khái niệm, phân biệt sự khác nhau của các dạng tín hiệu, các hàm cơ bản của tín hiệu xung, các tham số R-L-C đối với các xung tín hiệu
- + Về kỹ năng: sử dụng thành thạo các dụng cụ đo để đo được các hình dạng, biên độ, tần số của tín hiệu một cách chính xác.
- + Về thái độ: Đảm bảo an toàn và vệ sinh công nghiệp.

 Phương pháp:

- + *Về kiến thức: Được đánh giá bằng hình thức kiểm tra viết, trắc nghiệm.*
- + *Về kỹ năng: Đánh giá kỹ năng thực hiện đo được các thông số trong mạch điện theo yêu cầu của bài.*
- + *Thái độ: Tỉ mỉ, cẩn thận, chính xác, ngăn nắp trong công việc.*

BÀI 2

MẠCH DAO ĐỘNG ĐA HÀI

Mã Bài: MD28 - 02

Giới thiệu.

Hệ thống mạch điện tử có thể tạo ra dao động ở nhiều dạng khác nhau như: dao động hình sin (dao động điều hòa), mạch tạo xung chữ nhật, mạch tạo xung tam giác... các mạch tạo dao động xung được ứng dụng khá phổ biến trong hệ thống điều khiển, thông tin số và trong hầu hết các hệ thống điện tử số.

Trong kỹ thuật xung, để tạo các dao động không sin, người ta thường dùng các bộ dao động tích thoát. Dao động tích thoát là các dao động rời rạc, bởi vì hàm của dòng điện hoặc điện áp theo thời gian có phần gián đoạn. Về mặt vật lý, trong các bộ dao động sin, ngoài các linh kiện điện tử còn có hai phần tử phản kháng L và C để tạo dao động, trong đó xảy ra quá trình trao đổi năng lượng một cách luân lượt giữa năng lượng từ trường tích lũy trong cuộn dây và năng lượng điện trường tích lũy trong tụ điện, sau mỗi chu kỳ dao động, năng lượng tích lũy trong các phần tử phản kháng bị tiêu hao bởi phần tử điện trở tổn hao của mạch dao động, thực tế lượng tiêu hao này rất nhỏ. Ngược lại trong các bộ dao động tích thoát chỉ chứa một phần tử tích lũy năng lượng, mà thường gặp nhất là tụ điện.

Các bộ dao động tích thoát thường được sử dụng để tạo các xung vuông có độ rộng khác nhau và có thể làm việc ở các chế độ sau: chế độ tự dao động, kích thích từ ngoài. Dao động đa hài là một loại dạng mạch dao động tích thoát, nó là mạch tạo xung vuông cơ bản nhất các dạng đa hài thường gặp trong kỹ thuật xung.

Mục tiêu:

- Trình bày được cấu tạo, nguyên lý hoạt động các mạch dao động đa hài.
- Nêu được các ứng dụng của mạch đa hài trong kỹ thuật
- Lắp ráp, sửa chữa, đo kiểm được các mạch dao động đa hài đúng yêu cầu kỹ thuật.
- Rèn luyện tính tư duy, sáng tạo và đảm bảo an toàn trong quá trình học tập.

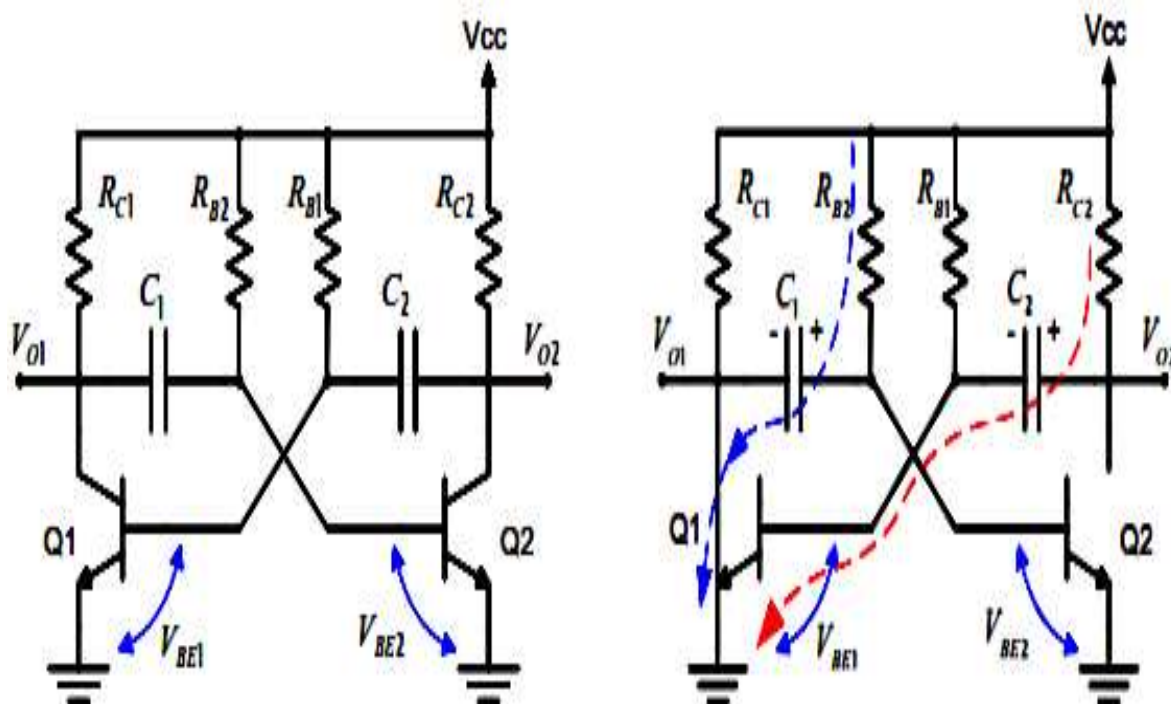
1. Mạch dao động đa hài không ổn

- *Mục tiêu:* Trình bày và phân tích các dạng của mạch đa hài dùng Transistor, IC 555 và dùng cổng logic ưu nhược điểm của mỗi loại.

Đây là dạng mạch không có trạng thái ổn định (đa hài tự dao động, tự kích). Chu kỳ lặp lại và biên độ của xung tạo ra được xác định bằng các thông số của bộ đa hài và điện áp nguồn cung cấp. Các mạch dao động đa hài tự kích có độ ổn định thấp. Ngõ ra của bộ dao động đa hài tự kích luân phiên thay đổi theo hai giá trị ở mức thấp và mức cao.

1.1. Mạch dao động đa hài dùng Transistor (Hình 2.1)

Sơ đồ mạch không ổn dùng Transistor



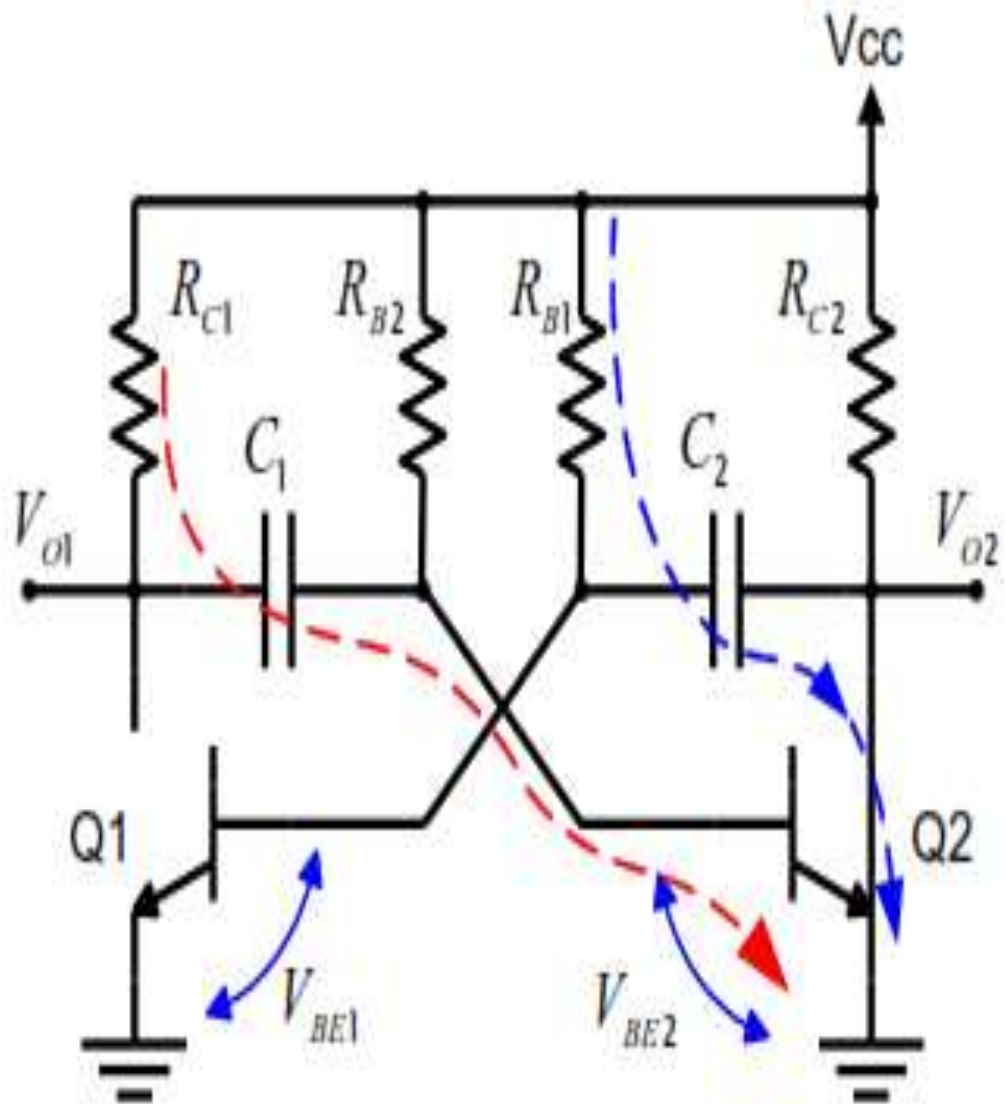
Hình 2.1a-b: Mạch không ổn dùng Transistor

Mạch được hình thành bởi hai Transistor Q_1 và Q_2 . Các điện trở R_{C1} và R_{C2} và các tụ C_1 và C_2 .

Nguyên lý hoạt động :

Thông thường mạch đa hài phi ổn là mạch đối xứng nên hai Transistor có cùng họ và thông số. Các linh kiện điện trở $R_{B1} = R_{B2}$, $R_{C1} = R_{C2}$ và $C_1 = C_2$.

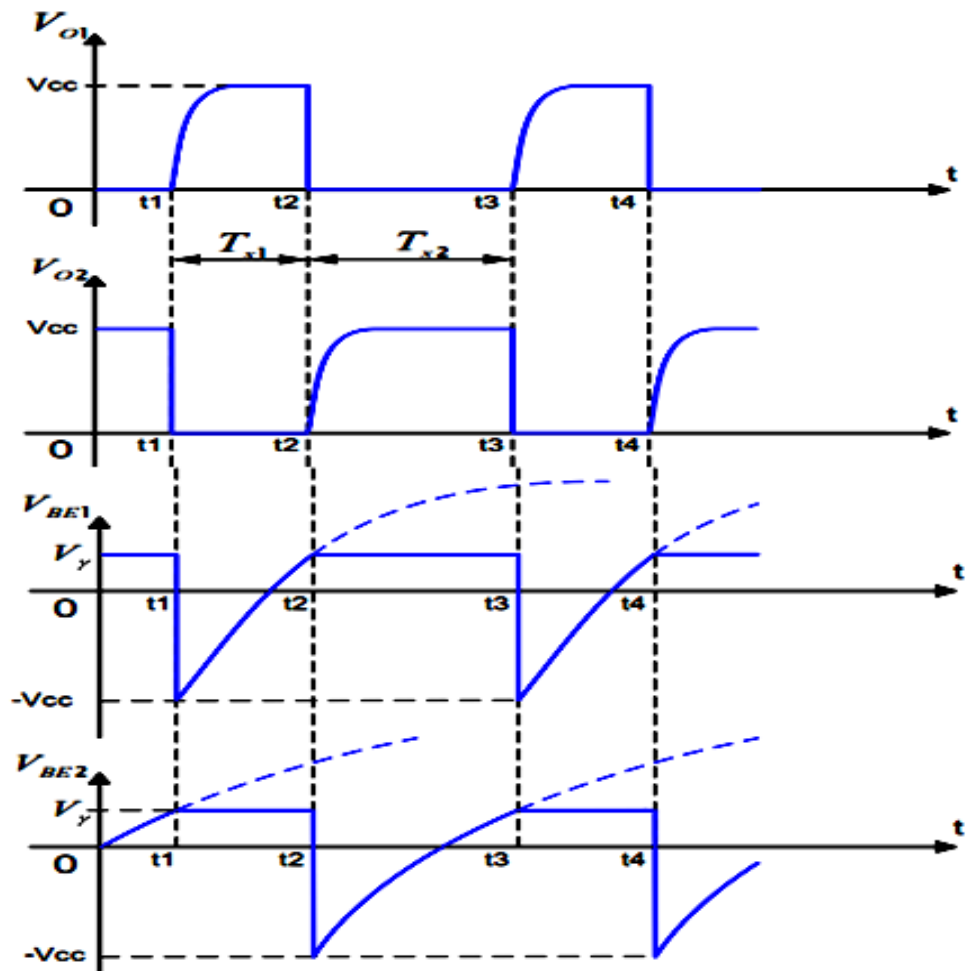
Giả sử ban đầu, Q_1 dẫn, Q_2 tắt, mạch ở hình 2.1a trở thành hình 2.1b $\rightarrow V_{O1} \approx 0V$, $V_{O2} \approx V_{CC}$. Lúc này, tụ C_2 nạp năng lượng từ nguồn qua R_{C2} và mỗi nối BE của Q_1 , điện áp trên tụ có chiều như hình 2.1b, ngoài dòng nạp qua tụ dòng I_{B1} còn được cung cấp từ nguồn qua R_{B1} . Đồng thời, tụ C_1 được nạp qua R_{B2} và có chiều như hình 2.1b $\rightarrow$ điện áp trên tụ C_1 , V_{C1} (điện áp trên tụ C_1) tăng dần. Mà $V_{BE2} = V_{C1} \rightarrow V_{BE2}$ cũng tăng dần đến lúc nào đó, V_{BE2} đủ lớn Q_2 dẫn lúc này tụ C_2 đặt điện áp âm vào mỗi nối BE của $Q_1 \rightarrow V_{BE1} < 0$ làm Q_1 tắt.



Hình 2.1c

Khi mạch ở trạng thái Q_1 tắt, Q_2 dẫn mạch ở hình 2.1a trở thành hình 2.1c $\rightarrow V_{o1} \approx V_{cc}$, $V_{o2} \approx 0V$. Lúc này tụ C_1 xả năng lượng qua mối nối BE của Q_2 . Sau đó nạp năng lượng từ nguồn qua R_{C1} và mối nối BE của Q_2 , điện áp trên tụ đảo chiều và tăng dần, dòng nạp qua tụ I_{B2} còn được cung cấp từ nguồn qua R_{B2} . Vì vậy Q_2 vẫn được duy trì ở trạng thái dẫn cho dù tụ C_1 đã được nạp đầy. Mặt khác tụ C_2 được nạp bởi R_{B1} và Q_2 dẫn đến điện áp trên tụ C_2 , V_{C2} (điện áp trên tụ C_2) tăng dần. Lúc này $V_{BE1} = V_{C2} \rightarrow V_{BE1}$ cũng tăng dần đến lúc nào đó đủ lớn làm Q_1 dẫn, đồng thời tụ C_1 đặt điện áp âm vào mối nối BE của $Q_2 \rightarrow V_{BE2} < 0$ làm Q_2 tắt.

Như vậy, lúc đầu Q_1 dẫn, Q_2 tắt sau một thời gian mạch tự động đổi qua trạng thái Q_1 tắt, Q_2 dẫn chu kỳ được lập lại. Vì vậy không có trạng thái ổn định nên được gọi là mạch dao động bất ổn. Dạng sóng tại các chân hình 2.2.



Hình 2.2

Tính Chu Kỳ Xung

- $T = T_{x1} + T_{x2}$. Lúc này T_{x1} là thời gian tụ C_2 xả điện qua mỗi nối R_{B1} , T_{x2} chính là thời gian tụ C_1 xả và nạp qua R_{B2} , ta có công thức:

$$v_c(t) = 2.V_{CC}. e^{-T./t_f}, \text{ với } t_f = R_{B2} \cdot C_2$$

Tại thời điểm T_{x1} , tụ C_2 xả điện từ $-V_{CC}$ lên 0(v) (bỏ qua V_{BE}) là

$$V_{CC} = 2V_{CC}. e^{-T_{x1}/t_f}, \Rightarrow e^{-T_{x1}/t_f} = 2, \Rightarrow \frac{T_{x1}}{t_f} = \ln 2$$

$$\Rightarrow T_{x1} = t_f \cdot \ln 2 = 0,69 R_{B1}.C_2$$

Tương tự ta cũng tính được T_2 được tính theo công thức sau:

$$T_{x2} = 0,69 R_{B2}.C_1$$

$$\Rightarrow \text{chu kỳ điện áp ra: } T = 0,69 (R_{B1}C_2 + R_{B2}C_1), \text{ Tần số điện áp ra } f = \frac{1}{T}$$

Trong mạch đa hài bất ổn đối xứng ta có: $R_{B1} = R_{B2} = R_B$ và $C_1 = C_2 = C$

Vậy chu kỳ dao động là: $T = 2 \times 0,69 \cdot R_B.C = 1,4 R_B.C$ (s)

❖ Bài tập

Thiết kế mạch đa hài phi ổn theo các thông số kỹ thuật sau: $V_{CC} = 12V$, dòng điện tải qua cực là $I_L = 100mA$, có $\beta = 100$, tần số dao động là $f = 1kHz$.

Giải:

Mạch đa hài phi ổn là loại đối xứng.

- Tính điện trở RC: khi transistor chạy bão hòa sẽ có $V_C = V_{CE} \approx 0,2V$, $I_C = I_L = 10mA$. Điện trở R_C được tính theo công thức

$$R_C = \frac{V_{CC} - V_{CE}}{I_C} = \frac{12 - 0,2}{10} \approx 1,2K\Omega$$

Tính điện trở R_B , để transistor chạy bão hòa thường chọn hệ số bão hòa là $K=3$, ta có :

$$I_B = K \frac{I_C}{\beta} = 3 \frac{10}{100} \approx 0,3mA$$

Điện áp phân cực cho transistor chạy bão hòa là $V_B = V_{BE} = 0,8V$

$$R_{B1} = R_{B2} = \frac{V_{CC} - V_{BE}}{I_B} = \frac{12 - 0,8}{0,3} = 37k\Omega$$

Chọn trị số tiêu chuẩn là $R_B = 39k\Omega$

Tính trị số tụ C , ta có công thức tính tần số của mạch đa hài phi ổn đối xứng là:

$$f = \frac{1}{1,4R_B C} \Rightarrow C = \frac{1}{1,4R_B \cdot f} = \frac{1}{1,4 \cdot 39 \cdot 10^3 \cdot 10^3}$$

$$\Rightarrow C = 0.018\mu F$$

1.2. Mạch dao động đa hài dùng IC 555

1.2.1. Cấu trúc IC555

Sơ đồ bên trong của IC555(xem hình 2.3)

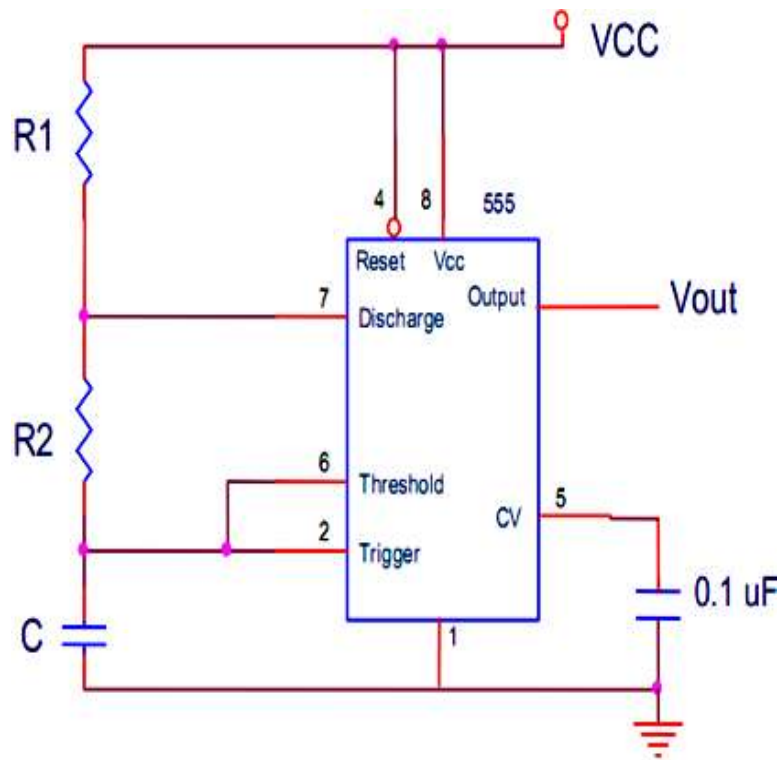
Về cơ bản, IC 555 gồm 2 mạch so sánh điều khiển trạng thái của FF có hơn 20 Transistor và nhiều điện trở thực hiện chức năng, từ đó lái transistor xả (discharge) và tạo xung nhảy điều khiển điện áp ở ngõ ra.

- Chức năng một số chân được mô tả như sau:

+ **Chân 1** : GND (nối đất)

+ **Chân 2**: TRIGGER (kích khởi), điểm nhạy mức với $\frac{1}{3}V_{CC}$. Khi điện áp ở chân này dưới $\frac{1}{3}V_{CC}$ thì ngõ ra Q của FF xuống [0], gây cho chân 3 tạo một trạng thái cao.

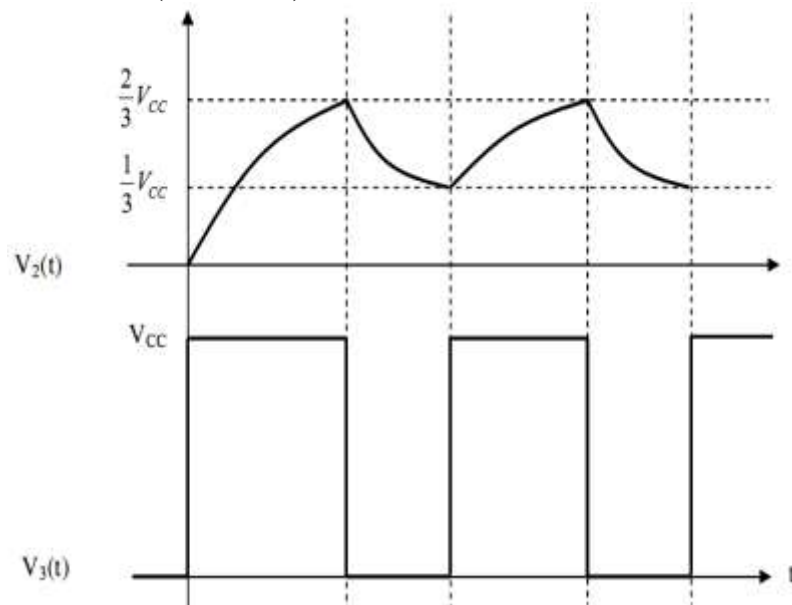
+ **Chân 3**: OUTPUT (ra) thường ở mức thấp và chuyển thành mức cao trong khoảng thời gian định thì. Vì tầng ra tích cực ở cả 2 chiều, nó có thể cấp hoặc hút dòng đến 200mA.



Hình 2.4: Mạch dao động đa hài dùng IC 555

- Trong mạch trên chân ngưỡng (6) được nối với chân nhớt (2), và 2 chân này có chung 1 điện áp trên tụ là UC. Để so với điện áp chuẩn $1/3 V_{cc}$ và $2/3 V_{cc}$ của 2 bộ so sánh 1 và 2 ở lối vào của IC555.

- Tụ $0.01 \mu F$ nối chân 5 với đất để lọc nhiễu tần số cao có ảnh hưởng đến điện áp chuẩn lối vào $2/3 V_{cc}$. Chân 4 được nối lên nguồn Vcc để không sử dụng chức năng Reset IC555. Chân 7 được nối với điện trở R_1 và R_2 để tạo đường phóng nạp cho tụ. Chân 3 có dạng xung vuông, có thể nối qua trở với Led chỉ thị có xung ra (với điều kiện tần số dao động mạch $< 20 \text{ Hz}$) do tần số cao thì không quan sát được đèn Led sáng tối. Dạng sóng tại chân 2 và 3(hình 2.5)

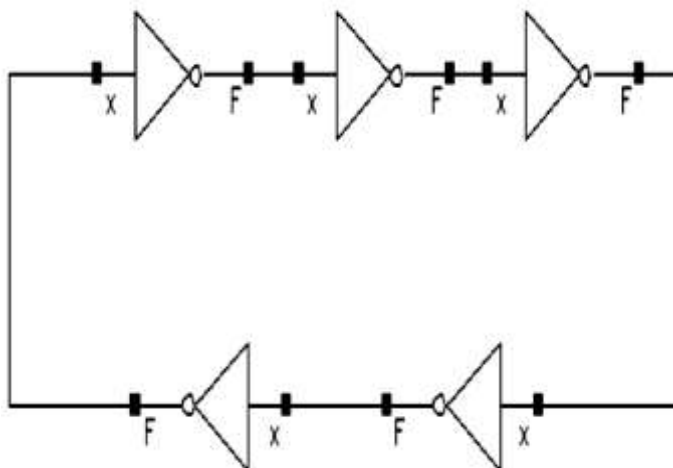


Hình 2.5: Dạng sóng

1.3. Mạch dao động đa hài dùng cổng logic.

1.3.1. Mạch Ring Oscillator

Mạch đa hài không ổn đơn giản sử dụng cổng đảo là mạch Ring oscillator bao gồm N cổng đảo được ghép nối tiếp như hình 2.6 (với N lẻ)



Hình 2.6. Mạch đa hài không ổn Ring oscillator

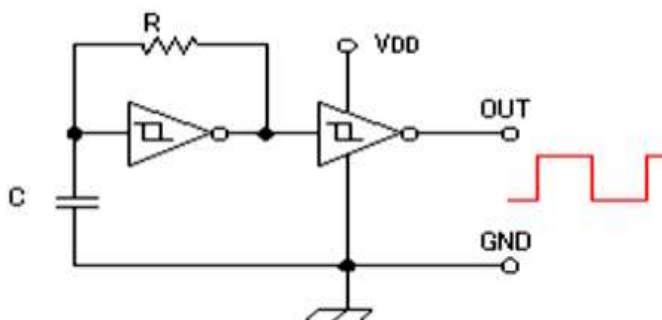
Chu kỳ T được tính như sau: $T = 2 N t_{pd}$

Trong đó: - t_{pd} : là thời gian trễ

Với giả sử rằng thời gian trễ của xung lên và xuống của cổng đảo là bằng nhau và bằng t_{pd} . Vì t_{pd} có thể thay đổi theo nhiệt độ, nhà chế tạo nên chu kỳ T trên có thể thay đổi.

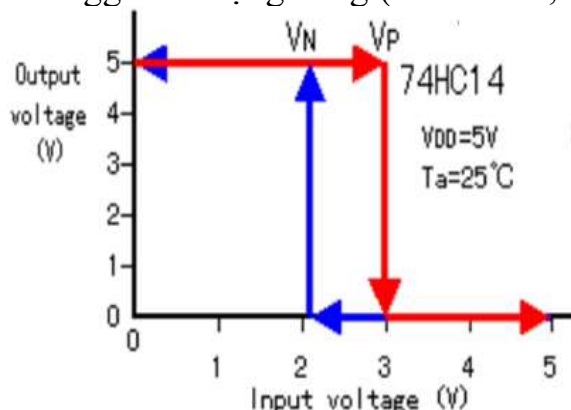
1.3.2. Các dạng mạch dao động Schmitt Trigger.

- **Mạch 1**, hình 2.7



Hình 2.7. Đa hài phi ổn Schmitt Trigger

Đặc tuyến cổng đảo Schmitt trigger và dạng sóng (hình 2.8 a, b)



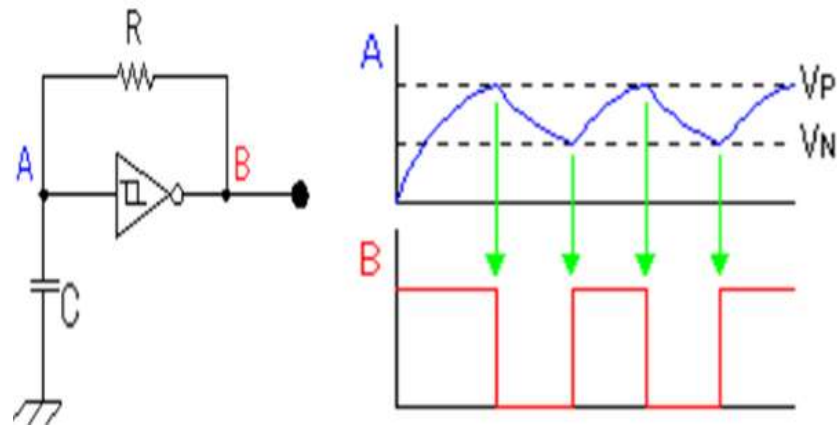
Hình 2.8a. Đặc tuyến cổng Schmitt trigger

Tần số dao động được tính toán theo công thức sau : $f = 1/T = 1/RC$

Giải thích:

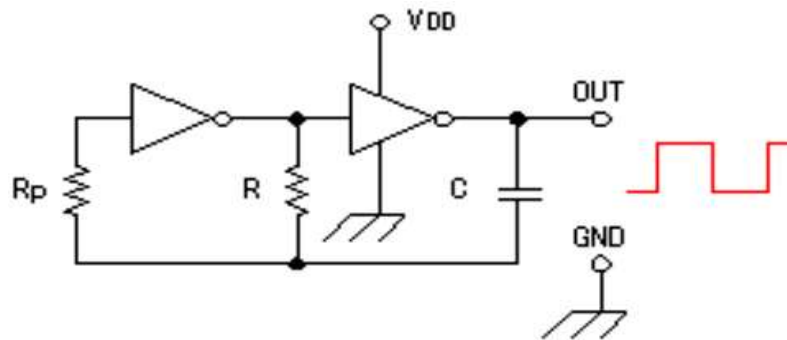
- Giả sử ban đầu $V_C = 0$ nên $V_A = 0$ dẫn đến ngõ ra B ở mức 1.

- $V_B = 1$ sẽ nạp điện cho C qua R. Khi V_C đạt đến V_P thì ngõ vào cổng đảo đạt mức logic 1 và ngõ ra là mức logic 0, lúc này tụ xả điện qua R và điện áp trên tụ giảm dần đến V_N , tại V_N ngõ vào cổng đảo chuyển xuống mức 0 và ngõ ra mức 1 tức thời.

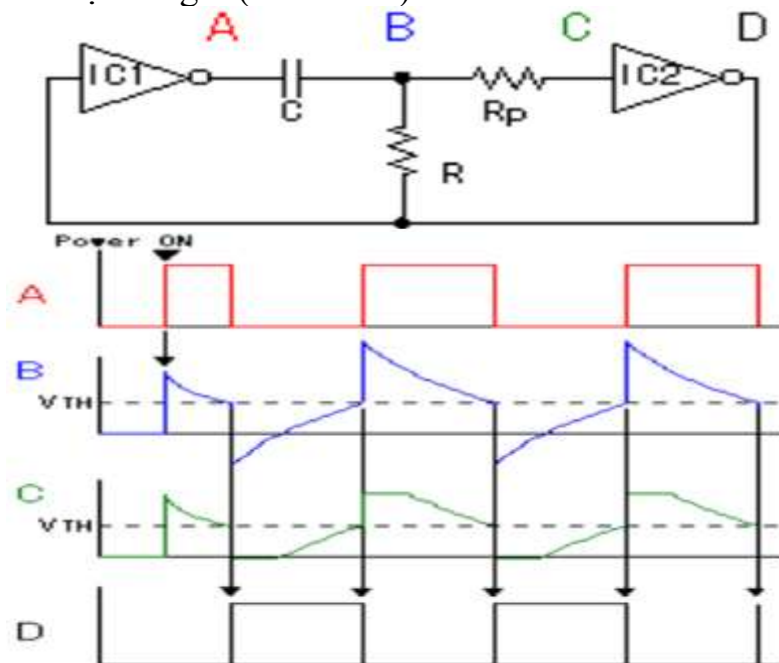


Hình 2.8b. Dạng sóng tại điểm A, B

- **Mạch 2**, (Hình 2.9)



Hình 2.9: Đa hài phi ổn Schmitt Trigger
Dạng sóng của mạch logic (hình 2.10)



Hình 2.10. Dạng sóng tại các điểm A, B, C, D.
Tần số dao động $f = 1/(2.2RC)$

Giải thích:

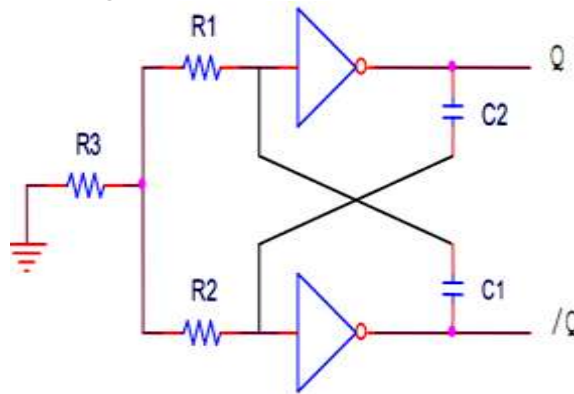
Tại thời điểm đầu giả sử ngõ ra IC 1 ở mức cao và ngõ ra IC2 ở mức thấp $V_A = V_B = 1$.

Khi tụ C nạp điện, điện áp V_B giảm dần, tốc độ giảm được quyết định bởi tụ C và R. V_{TH} là điện áp ngưỡng của IC₂

Điện trở R_P đặt vào mạch nhằm mục đích chống lại quá dòng tại ngõ vào IC 2 và được chọn khoảng 10 đến 100K.

- Mạch 3 (hình 2.11)

Mạch đa hài phi ổn đối xứng



Hình 2.11. Đa hài phi ổn đối xứng

Hai tụ C là mạch hồi tiếp dương để tạo dao động. Các điện trở R1, R2, R3 được chọn để duy trì điện áp ở ngõ vào của 2 cổng gần mức điện áp ngưỡng nên khi tụ điện nạp xả, điện áp ngõ vào dao động trên mức điện áp ngưỡng làm điện áp ngõ ra dao động giữa hai mức 0 và 1.

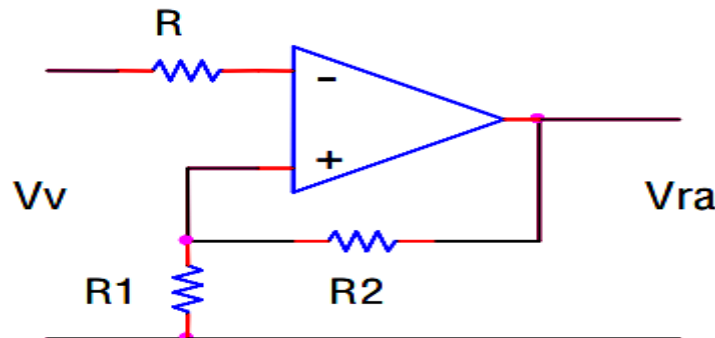
Giả sử tại thời điểm đầu $Q=0$ và $/Q=1$, tụ C1 nạp tạo dòng qua R1 làm điện áp ngõ vào cổng 1 ở mức cao. Khi tụ C1 nạp đầy thì mất dòng qua R1 dẫn đến ngõ vào cổng 1 xuống 0 và $/Q=1$. Tụ C2 lúc này nạp điện qua R2 dẫn đến ngõ vào cổng 2 ở mức cao và ngõ ra $Q=0$. Quá trình cứ tiếp tục. Điện trở R1 thường chọn bằng R2. Tần số dao động được tính theo công thức:

$$f = \frac{1}{2(R_1 + R_3)C}$$

Mạch chỉ thích hợp cho các tần số cao.

1.3.3. dạng mạch dùng OpAmp (hình 2.12)

Dạng mạch 1:



Hình 2.12

Điện trở $R = R_1/R_2$ làm giảm dòng điện Offset để hoạt động gần với OpAmp lý tưởng, nhằm mục đích làm cho mạch hoạt động ổn định hơn.

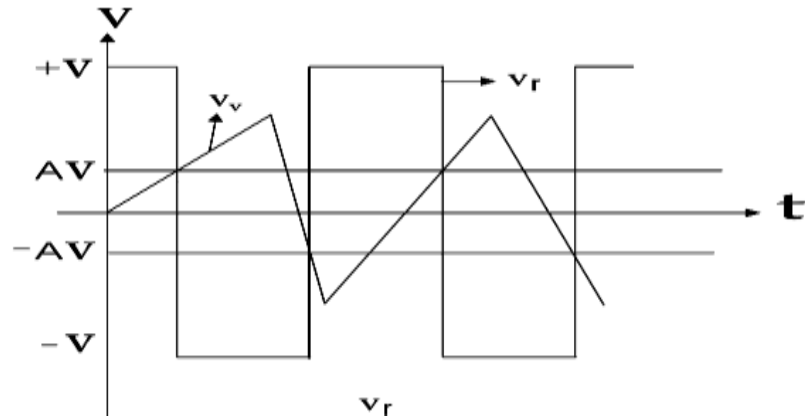
Ta có:

$$V_+ = V_r \frac{R_1}{R_1 + R_2} = Av_r \quad \text{và} \quad V_- = -V_v \quad \text{khi đó } V_v > V_+ \text{ thì } V_r = -V.$$

Do đó $V_+ = -V \frac{R_1}{R_1 + R_2} = -Av_r$ đây là ngưỡng kích mức thấp

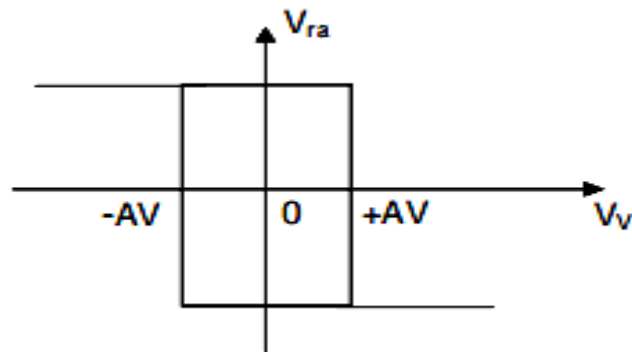
Khi đó $V_v < V_+$ thì $V_r = +V$, do đó $V_+ = +V \frac{R_1}{R_1 + R_2} = Av_r$

Dạng sóng vào – ra.



Hình 2.13

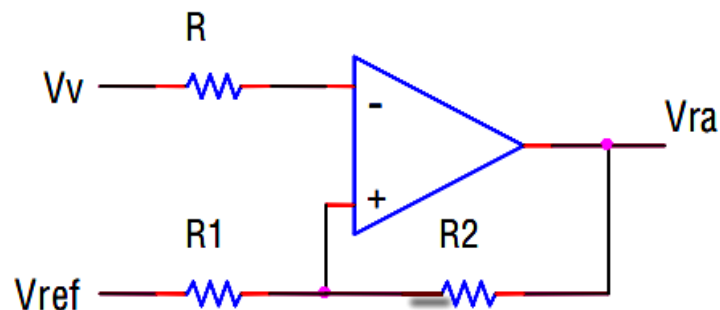
Quan hệ vào – ra: khi $v_v > AV$ thì $v_r = -V$, khi $v_v < AV$ thì $v_r = +V$



Hình 2.14

Nhận xét: hai trạng thái của Schmitt Trigger tương ứng với mức điện thế bão hòa dương $=V$ và bão hòa âm $-V$ của ngõ ra bộ khuếch đại thuật toán. Dạng sóng ngõ vào được sửa thành xung chữ nhật.

Dạng mạch 2:



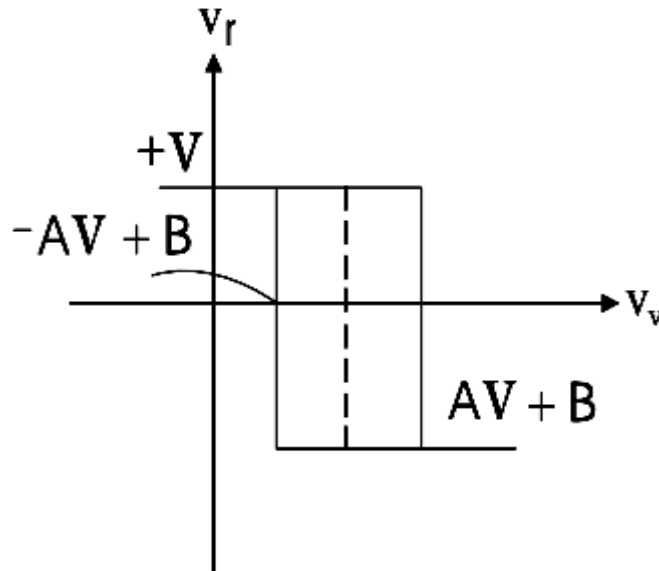
Hình 2.15

Ta có: $v_- = V_v$, $V_+ = V_{ra} \frac{R_1}{R_1 + R_2} + V_{Ref} \frac{R_1}{R_1 + R_2}$ khi $V_v > v_+$ thì $V_{ra} = -V$.

Do đó $V_+ = -V \frac{R_1}{R_1 + R_2} + \frac{R_1}{R_1 + R_2} V_{Ref} = -AV + B$ đây là ngưỡng kích mức thấp

Khi $V_v < v_+$ thì $V_{ra} = +V$. Do đó $V_+ = V \frac{R_1}{R_1 + R_2} + \frac{R_1}{R_1 + R_2} V_{Ref} = AV + B$

Quan hệ vào – ra: khi $v_v > -AV + B$ thì $v_r = -V$, khi $v_v < AV + B$ thì $v_r = +V$



Hình 2.16

2. Mạch đa hài đơn ổn

- Mục tiêu: Trình bày và phân tích các dạng của mạch đa hài đơn ổn dùng Transistor, IC 555 và dùng cổng Logic ưu nhược điểm của mỗi loại

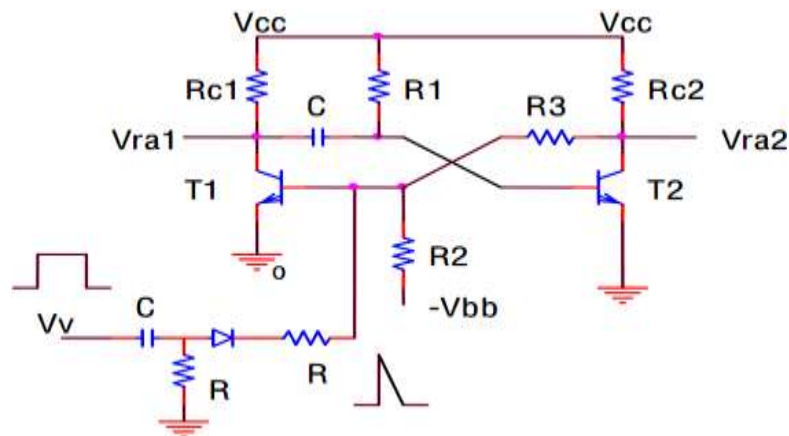
Khi mạch hoạt động ở chế độ này, nếu không cung cấp điện áp điều khiển từ bên ngoài thì bộ dao động đa hài nằm ở trạng thái ổn định. Khi có xung điều khiển, thường là các xung kích thích có độ rộng hẹp, thì nó chuyển sang chế độ không ổn định trong một khoảng thời gian rồi trở lại trạng thái ban đầu và kết quả ngõ ra cho ra một xung.

Thời gian bộ dao động đa hài nằm ở trạng thái không ổn định dài hay ngắn là do các tham số của mạch quyết định. Ngõ ra của bộ dao động đa hài đơn ổn có một trạng thái ổn định (hoặc ở mức cao hoặc mức thấp). Mạch này còn có tên gọi là đa hài đợi hay đa hài một trạng thái bền.

Xung kích từ bên ngoài có thể là xung gai nhọn âm hoặc dương, chu kỳ và biên độ do mạch quyết định.

2.1 Mạch đa hài đơn ổn dùng Transistor

Sơ đồ mạch điện cơ bản hình 2.17



Hình 2.17: Mạch đa hài đơn ổn

Đây là dạng hai mạch ngắt dẫn ghép với nhau. Cực B của T_1 ghép DC với cực thu của T_2 . Cực B của T_2 ghép AC với cực thu của T_1 (qua tụ C).

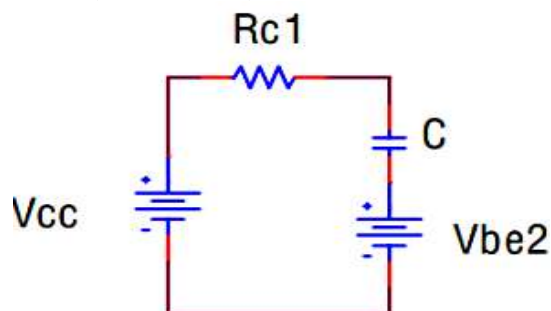
Mạch được thiết kế sao cho ở chế độ T_1 tắt và T_2 dẫn bão hòa. Nguồn V_{BB} phân cực nghịch mối nối BE của T_1 , do đó T_1 tắt khi chưa có tác động bên ngoài. Còn T_2 dẫn bão hòa nhờ cực B của nó được cấp điện thế dương từ nguồn V_{CC} .

Ta thấy T_2 dẫn bão hòa vì các giá trị R_1 và R_{C2} được chọn để thỏa mãn điều kiện $\beta I_B > I_{C_{bh}}$

Do vậy ở trạng thái bền thì $V_r = V_{CE2bh} = 0$

Do ghép trực tiếp với T_2 qua R_3 nên $V_{B1} = V_{CE2bh} < V_{BE1}$

Khi T_2 dẫn bão hòa thì tụ C nạp điện qua R_{C1} và qua mối nối BE2, giá trị gần đạt đến là $V_C = V_{CC} - V_{BE2} \approx V_{CC}$ (hình 2.18)

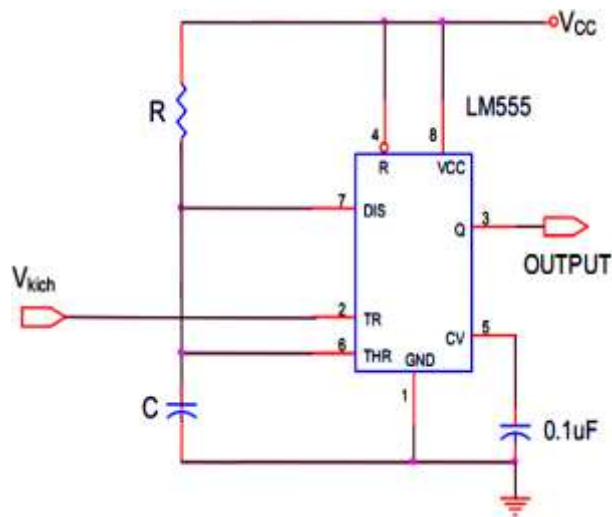


Hình 2.18

Khi kích một xung dương vào vv cực nền của T_1 , làm T_1 đổi trạng thái từ tắt sang dẫn bão hòa. Lúc này thì tụ C phóng điện qua mối nối CE của T_1 , sự phóng điện này làm phân cực nghịch mối nối BE của T_2 , do đó T_2 tắt. Dòng cực thu của T_2 là I_{C2} giảm xuống bằng 0. Toàn bộ dòng qua R_{C2} sẽ chạy hết vào cực nền của T_1 để duy trì trạng thái bão hòa của T_1 . Đây là trạng thái không bền của mạch.

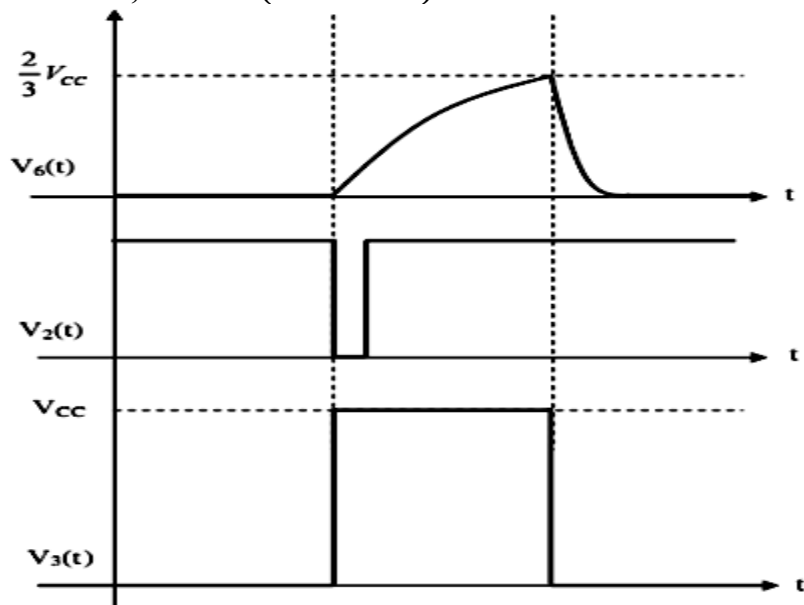
Thật vậy, ngay sau khi tụ C xả điện xong thì nó được nạp điện lại qua R_1 và CE_1 . Với thời hằng là $R_1 C$. Điện thế cực nền của T_2 lúc này tăng dần do cực dương của tụ C đặt vào nó và khi đạt giá trị lớn hơn V_γ thì T_2 bắt đầu dẫn lại. Trong lúc này, cùng với sự tăng của dòng I_{C2} (do dòng I_{B2} tăng dần), điện áp V_r giảm xuống gần bằng không, tức điện thế tại cực nền của T_1 bằng không, làm T_1 tắt. Như vậy mạch đã trở về trạng thái ban đầu với T_1 tắt và T_2 bão hòa $V_r = V_{CE2bh}$. Trong khoảng thời gian ngắn, tụ C sẽ nạp trở lại từ nguồn V_{CC} thông qua R_1 và mối nối BE của T_2 đang dẫn để có điện áp xấp xỉ bằng V_{CC} . Mạch chờ đợi xung kích mới.

2.2. Mạch đa hài đơn ổn dùng IC 555 (hình 2.19.)



Hình 2.19.

•Dạng sóng tại chân 2, 6 và 3 (hình 2.20)



Hình 2.20

3. Mạch đa hài lưỡng ổn

- Mục tiêu: Trình bày và phân tích các dạng của mạch đa hài lưỡng ổn dùng Transistor, IC 555 và dùng cổng Logic ưu nhược điểm của mỗi loại.

3.1. Mạch đa hài lưỡng ổn dùng Transistor (hình 2.21)

Mạch dao động lưỡng ổn hay còn gọi là mạch dao động hai trạng thái bền. Trong đó, mạch được thiết kế sao cho Q_1 và Q_2 làm việc ở vùng dẫn bão hòa.

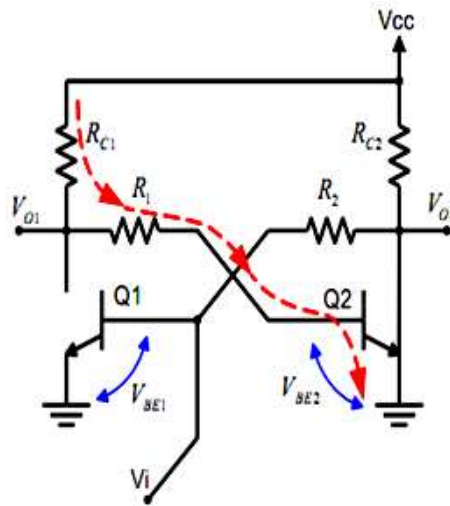
❖ Nguyên lý hoạt động:

Giả sử ban đầu Q_1 dẫn, Q_2 tắt, mạch ở hình 2.19a trở thành như hình 2.19b. Lúc này, dòng

$$I_{B1} = \frac{V_{CC} - V_{BE1}}{R_{C2} + R_2}$$

tại cực B của transistor Q_1 làm transistor Q_1 tiếp tục dẫn. Đồng thời, dòng $I_{B2}=0$ tại cực B của transistor Q_2 làm transistor Q_2 tiếp tục tắt. Do đó, nếu không có tác động bên ngoài thì Q_1 vẫn dẫn, Q_2 vẫn tắt. Vì vậy, trạng thái Q_1 dẫn, Q_2 tắt là trạng thái ổn định của mạch.

Để thay đổi trạng thái ta cấp một xung âm vào V_i , làm $V_{BE1} < 0 \Rightarrow Q_1$ ngưng dẫn làm điện thế tại V_{O1} lớn $\Rightarrow V_{BE2}$ đủ lớn $\Rightarrow Q_2$ dẫn, trở thành như hình 2.19c.

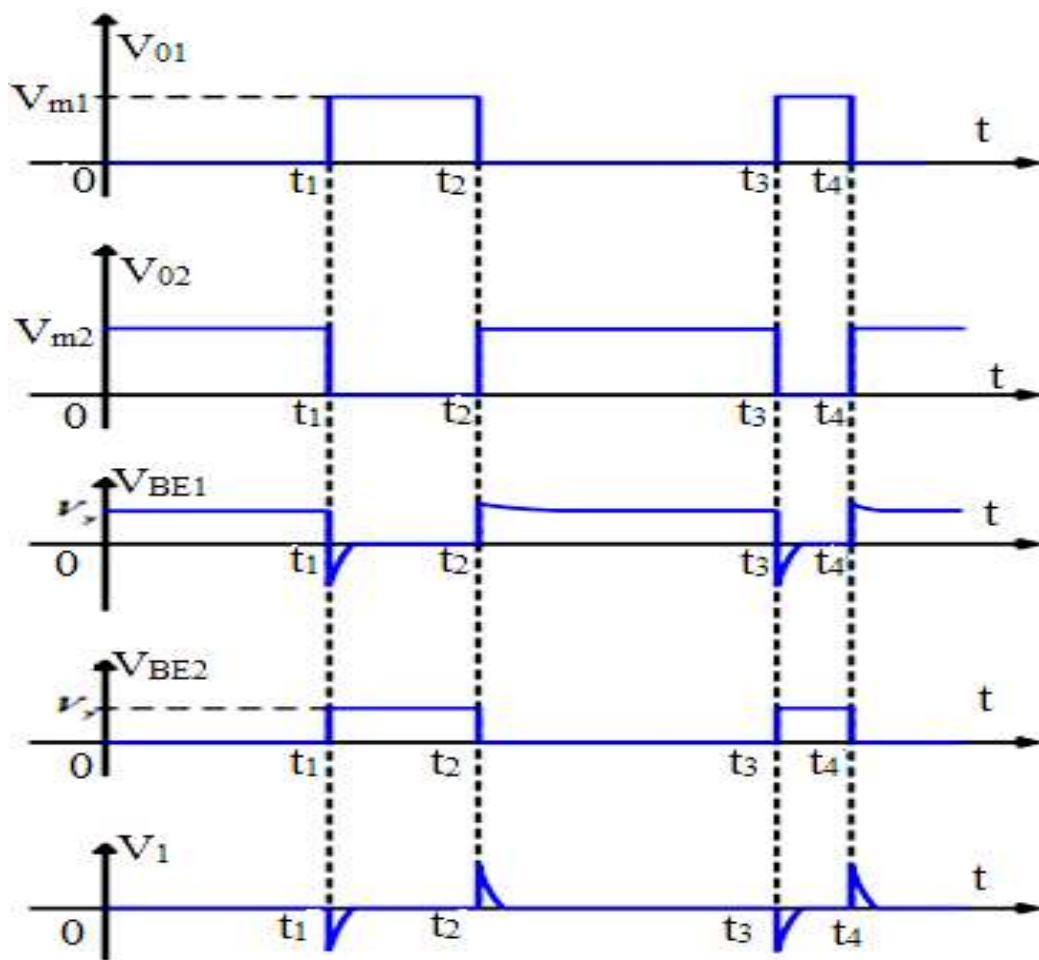


Hình 2.21

Lúc đó, dòng $I_{B2} = \frac{V_{CC} - V_{BE2}}{R_{C1} + R_1}$ tại cực B của transistor Q_2 làm transistor Q_2 tiếp tục dẫn. Đồng thời, dòng $I_{B1} = 0$ tại cực B của transistor Q_1 tiếp tục tắt. Do đó, nếu không có tác động bên ngoài thì Q_2 vẫn dẫn, Q_1 tắt là trạng thái ổn định của mạch.

Để thay đổi trạng thái ta cấp một xung dương vào V_i , làm V_{BE1} đủ lớn $\Rightarrow Q_1$ dẫn làm điện thế tại $V_{O1} \approx 0V \Rightarrow V_{BE2} \approx 0V \Rightarrow Q_2$ ngưng dẫn. Từ nguyên lý hoạt động ở trên, mạch ở hình..., có 2 trạng thái ổn định. Vì vậy, mạch được gọi là mạch dao động lưỡng ổn.

Dạng điện áp vào, ra của mạch lưỡng ổn (hình 2.22)



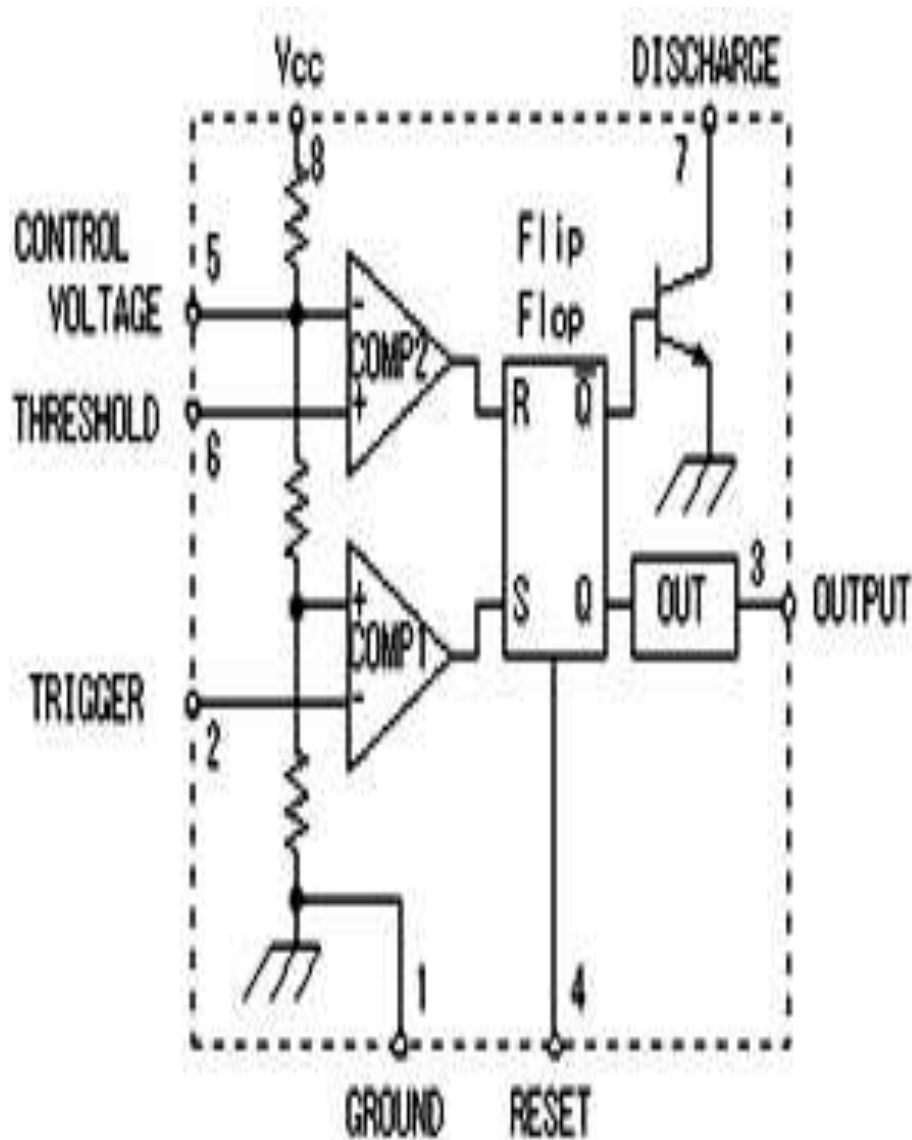
Hình 2.22

3.2. Mạch đa hài lưỡng ổn dùng IC 555

3.2.1. Sơ đồ mạch (hình 2.23).

IC 555 được thiết kế đơn giản bao gồm bộ so sánh điện áp, flip – flop và transistor để xả điện. Tuy cấu tạo đơn giản nhưng nó là linh kiện quan trọng và được sử dụng rộng rãi trong kỹ thuật điện tử.

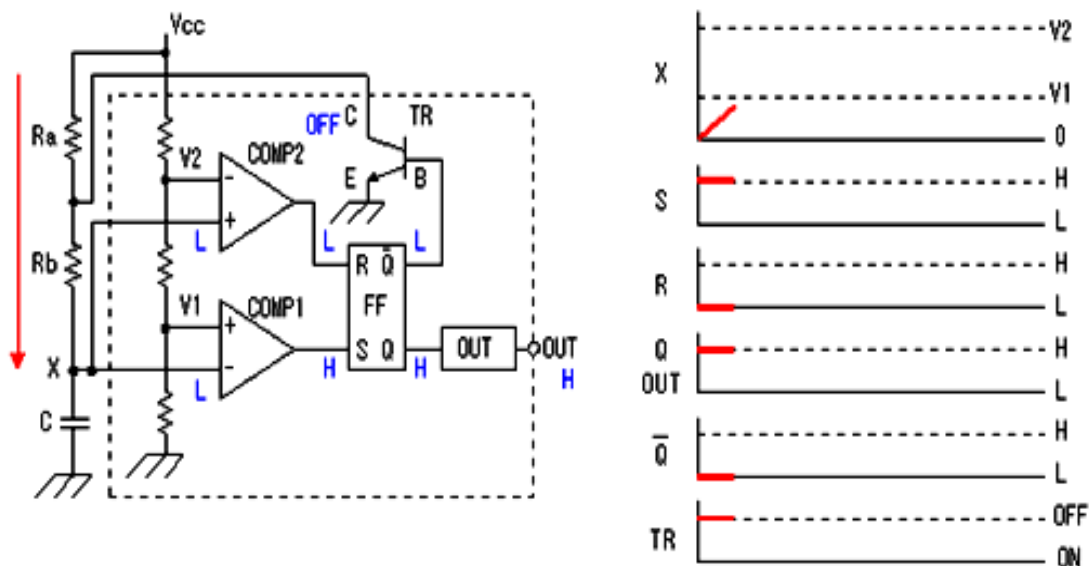
Ba điện trở được nối nối tiếp với nhau và nối với đầu vào nguồn V_{CC} , bộ nguồn V_{CC} chia điện áp cho ba điện trở này. $1/3$ điện áp V_{CC} được chân dương của con opamp thứ nhất (COMP1) và $2/3$ điện áp V_{CC} được đưa vào chân âm của con opamp thứ hai (COMP2). Khi điện áp vào chân Trigger (chân 2 của IC 555) nhỏ hơn $1/3$ điện áp V_{CC} , chân S của flip – flop chuyển sang mức cao và flip – flop set. Khi điện áp chân THRESHOLD (chân 6 của IC 555) lớn hơn $2/3 V_{CC}$ thì chân R được tích cực và được reset.



Hình 2.23. Sơ đồ mạch IC 555

3.2.2. Giải thích hoạt động (hình 2.24)

Giả sử khi được cung cấp điện áp V_{CC} , ngõ ra Q của flip – flop là tích cực (H) còn ngõ ra $/Q$ ở mức thấp (L). Do đó, transistor tắt, dòng điện từ V_{CC} qua R_a và R_b đến tụ điện C. Tụ C nạp điện. Điện áp tại điểm X ban đầu là 0V. Vì điện áp $V_X < V_1$ (của COMP1) nên chân S của Flip – flop trở thành tích cực (H) $\rightarrow$ ngõ ra Q cũng tích cực (H) $\rightarrow$ $/Q$ ở mức thấp (L). Mặt khác, vì $V_X < V_2$ (COMP2), đầu ra COMP2 mức thấp (L), flip – flop hoạt động ổn định ở chế độ này.



Hình 2.24. Hoạt động của các chân IC 555

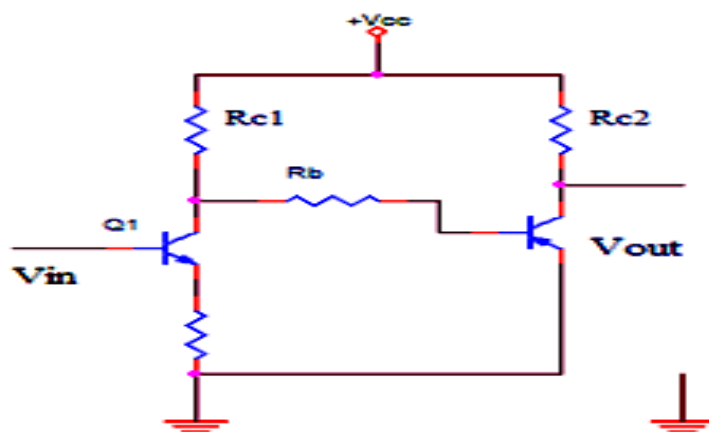
Điện áp V_X giảm khi tụ xả, khi $V_X \leq V_1$, đầu ra của COMP1 trở thành tích cực (H) → chân S của flip – flop cũng tích cực. Ngõ ra Q của FF là mức cao, ngược lại Q là mức thấp. Do đó, transistor tắt, tụ ngừng xả, dòng điện chạy qua tụ, tụ lại nạp, điện áp V_X tăng dần. Quá trình được lặp lại như lúc đầu. Khi tụ điện nạp, nó nạp qua 2 điện trở R_a và R_b , còn khi xả, tụ chỉ xả qua R_b . Như vậy thời gian nạp và thời gian xả là khác nhau, tín hiệu dao động không đều. Để làm giảm sự khác nhau đó, thông thường ta chọn $R_b \gg R_a$ ($R_a \neq 0$).

4. Mạch Schmitt-trigger

- Mục tiêu: Trình bày nguyên lý hoạt động và phân biệt các dạng của mạch Schmitt-trigger, cũng như ứng dụng của mỗi dạng mạch.

4.1. Mạch Schmitt-trigger dùng Transistor

- Dạng 1:



Hình 2.25 Schmitt trigger dùng Transistor

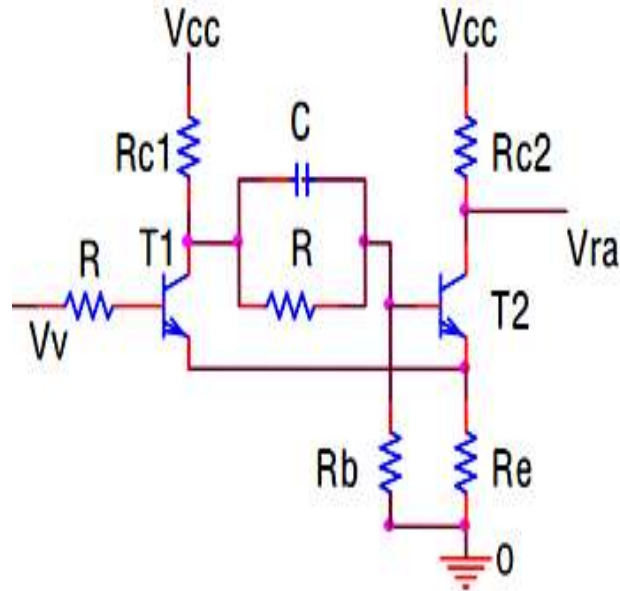
Trong sơ đồ mạch hình 2.25, hai transistor T_1 , T_2 được ghép trực tiếp và có chung R_E . Để có điện áp ra là xung vuông thì hai transistor phải chạy ở chế độ bão hòa, ngưng dẫn. Khi T_1 ngưng dẫn sẽ điều khiển T_2 chạy bão hòa và ngược lại khi T_1 bão hòa sẽ điều khiển T_2 ngưng dẫn.

Ngưỡng cao và ngưỡng thấp của mạch.

$$U_{ng1} = V_{TH+} = \frac{V_{CC} - V_{CEra}}{R_{C2} + R_E} \cdot R_E + 0.8$$

$$U_{ng2} = V_{TH-} = \frac{V_{CC} - V_{CEra}}{R_{C1} + R_E} \cdot R_E + 0.8$$

• **Dạng 2:**



Hình 2.26

- Mạch hình 2.26 bao gồm hai Transistor T1 và T2, các điện trở phân cực tĩnh. Điện trở Re tạo phản hồi, tụ C (năng lượng tích lũy trong tụ sẽ làm phân cực mỗi nối BE của T2 nhanh hơn).

- Mạch được thiết kế sao cho ở trạng thái bình thường T1 tắt T2 dẫn bão hòa. Trong hai trạng thái phân biệt của mạch thì mỗi trạng thái ứng với một Transistor dẫn và một Transistor tắt.

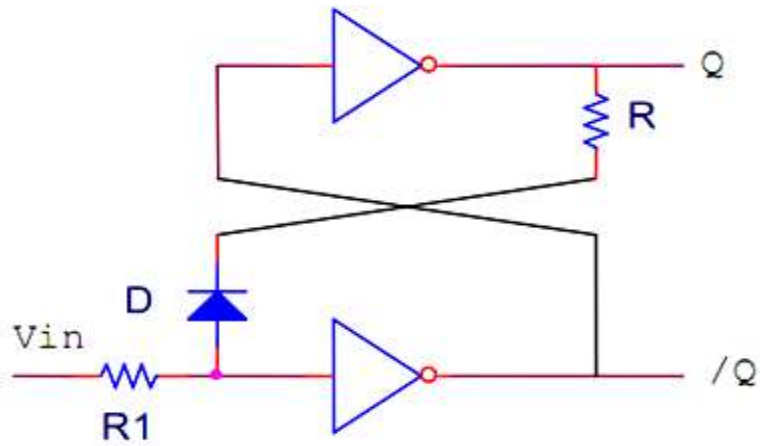
Giải thích nguyên lý hoạt động

- Khi $V_v = 0$, T1 tắt, dòng $I_{C1} = 0$, toàn bộ dòng I_{RC1} qua R và R_B đến cực B của T2, làm T2 dẫn bão hòa. Đồng thời tại cực E của T1 có điện áp $V_e = I_{E2bh} \cdot R_e$, làm T1 tiếp tục tắt. Ta có $V_r = V_c = V_e + V_{CE2bh}$.

- Sự chuyển đổi trạng thái sẽ diễn ra khi tín hiệu vào vượt qua mức ngưỡng kích trên (tương ứng với V_e ở trạng thái này), nghĩa là $V_v = V_e$. Lúc này T1 bắt đầu dẫn, dòng I_{C2} tăng lên làm dòng I_{B2} giảm. Và nhờ quá trình hồi tiếp qua điện trở R_E làm T2 tắt, do đó $v_r = V_{CE}$. Nếu tiếp tục tăng V_v lớn hơn nữa thì T1 dẫn bão hòa sâu thêm, còn mạch vẫn không đổi trạng thái.

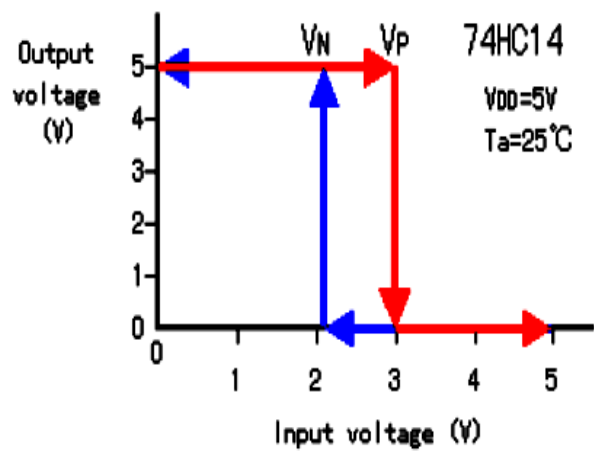
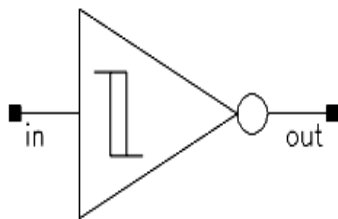
- Khi T1 đang dẫn, T2 đang tắt, để đưa mạch về trạng thái ban đầu cần phải giảm tín hiệu vào V_v xuống dưới ngưỡng kích dưới. Lúc đó dòng I_{C1} giảm mạnh, nên điện thế cực thu của T1 tăng lên, làm V_{B2} tăng. Và nhờ tác dụng của hồi tiếp qua R_e , quá trình nhanh chóng đưa đến T1 tắt và T2 dẫn bão hòa. Ta có: $V_r = V_e + V_{CE2bh}$

4.2. Mạch Schmitt-trigger dùng cổng logic (hình 2.27)



Hình 2.27

Ký hiệu và đặc tuyến của cổng NOT Schmitt trigger (74HC14) (xem hình 2.28)



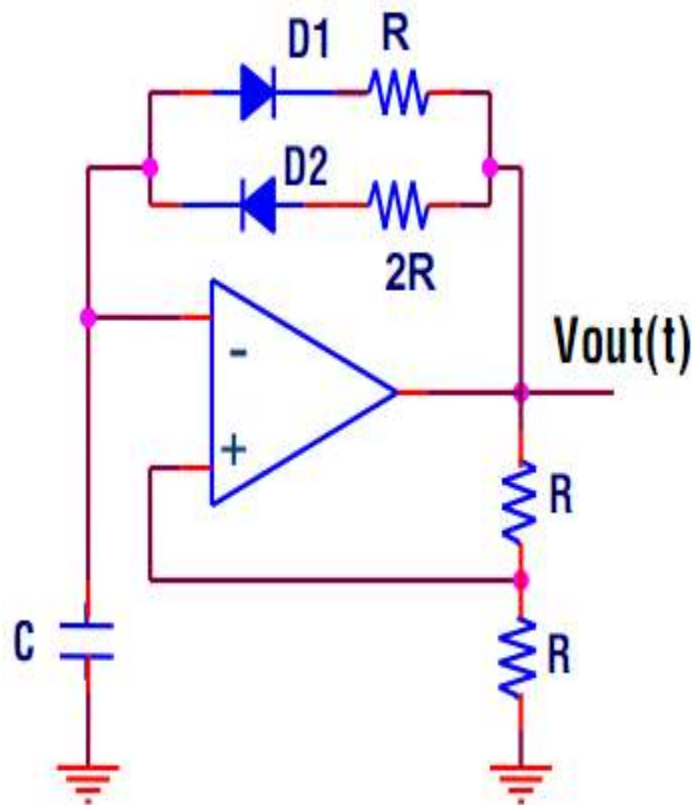
Hình 2.28

Bài tập:

Bài 1: Cho mạch hình 2.299, với nguồn cung cấp $V_{CC} = 9 \pm V$

a). Giải thích hoạt động của mạch, vẽ dạng sóng V_C và V_{OUT}

b). Từ dạng sóng ở trên, tìm biểu thức chu kỳ T của V_{OUT}



Hình 2.29

Bài 2. Thiết kế mạch đa hài bất ổn dùng Opamp.

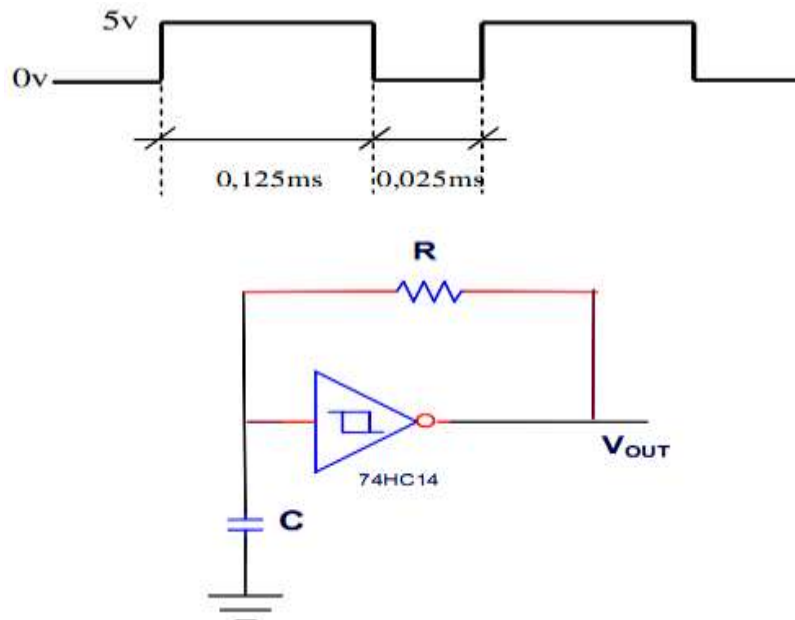
- Vẽ mạch, giải thích hoạt động của mạch, vẽ dạng sóng V_C và V_{OUT} .
- Từ dạng sóng ở trên, tìm biểu thức chu kỳ T của ngõ ra V_{OUT} . Xác định giá trị các linh kiện để mạch có tần số ngõ ra $f=5\text{KHz}$; hệ số công tác $q=70\%$; $V_\gamma = 0V$.

Bài 3. Thiết kế mạch và tính một mạch dao động đơn ổn có biên độ ra từ (0V đến +5V) và độ rộng xung $T_x = 1$ giây

- Vẽ dạng mạch và giải thích.
- Tính toán giá trị các linh kiện.

Bài 4. Cho mạch hình 2.30

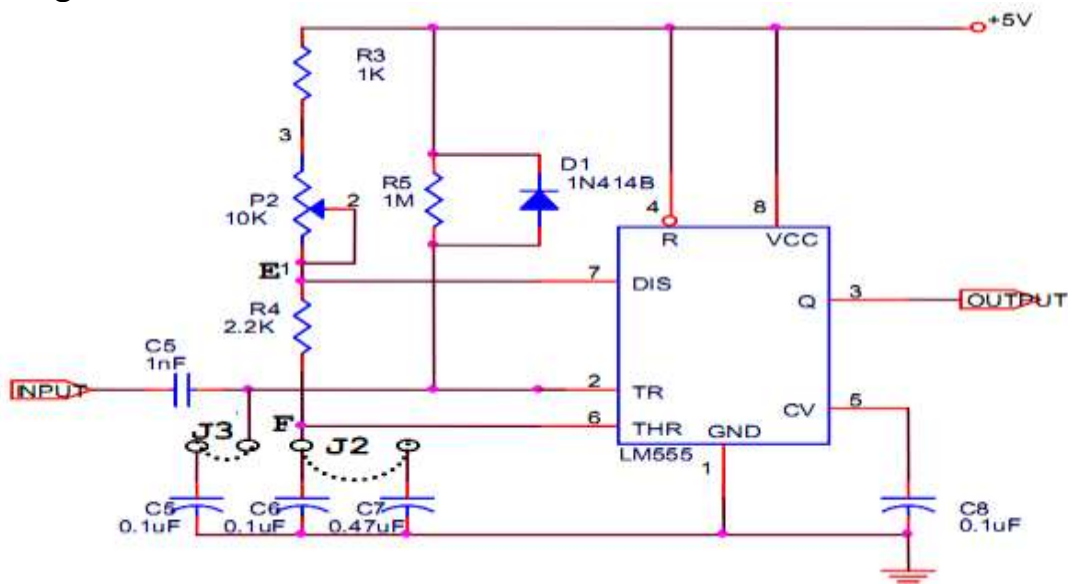
- Giải thích hoạt động của mạch, vẽ dạng sóng V_C và V_{OUT} .
- Từ dạng sóng ở trên, tìm biểu thức chu kỳ T của ngõ ra V_{OUT}
- Tính toán thiết kế mạch để ngõ ra như sau



Hình 2.30

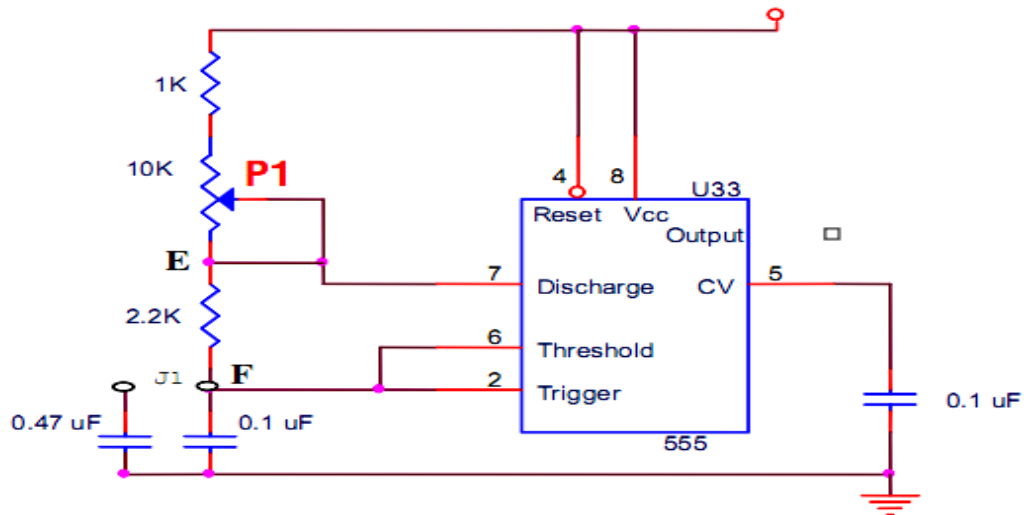
Bài 6. Cho mạch hình 2.31

- Vẽ dạng sóng tại điểm F và dạng sóng ngõ ra khi $P1=5K$
- Lặp lại câu a với giá trị biến trở $P1$ ở vị trí min và max
- Lặp lại câu a nếu tiếp điểm J1 được nối lại
- Lặp lại câu a nếu đặt vào chân 2 tín hiệu có tần số 1kHz
- Nhận xét gì nếu tăng tần số tín hiệu câu d
- Tìm trạng thái cấm cho mạch



Hình 2.31

Bài 7: Cho mạch hình 2.32



Hình 2.32

- Vẽ dạng sóng tại điểm F và dạng sóng ngõ ra khi $P1=5K$
- Lặp lại câu a với giá trị biến trở $P1$ ở vị trí min và max
- Lặp lại câu a nếu tiếp điểm J1 được nối lại

❖ Thực hành:

MẠCH DAO ĐỘNG

• Mục đích yêu cầu

Tạo các kỹ năng sử dụng máy dao động ký đúng phương pháp, an toàn khi sử dụng và trình tự vận hành.

Đo các mạch động đa hài dùng Transistor, IC 555 và Op-amp để vẽ các dạng sóng ngõ ra vào trên các mạch, các giá trị biên độ, giá trị đỉnh của các ngõ tín hiệu.

• Các thiết bị sử dụng

- Dao động ký; Nguồn phát sóng âm tần; Đồng hồ VOM, Dây đo dao động ký (2 dây), Dây tín hiệu máy phát sóng.

• Các bước thực hành

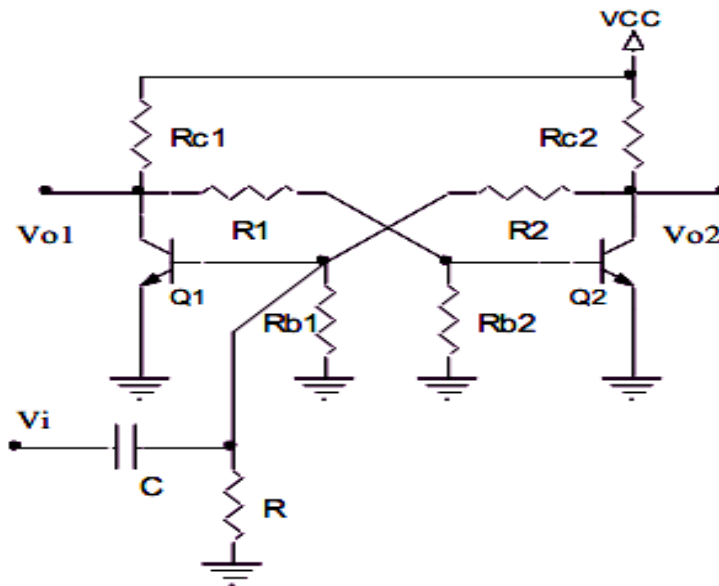
I. Mạch dao động đa hài dùng transistor

1. Mạch dao động lưỡng ổn

❖ Lần 1:

Hãy ráp mạch như hình 2.33 với $RC1=RC2=1K\Omega$; $RB1=RB2=47k\Omega$; $R1=R2=560\Omega$; $C=1\mu F$; $R=220\Omega$;

Điều chỉnh nguồn tín hiệu là xung vuông đơn cực có biên độ 5V, $f=200Hz$ cấp vào V_i .



Hình 2.33

Đo và vẽ VBE1 (kênh 1) & Vo1(kênh 2) vào hình 2.34.

Kênh 1:

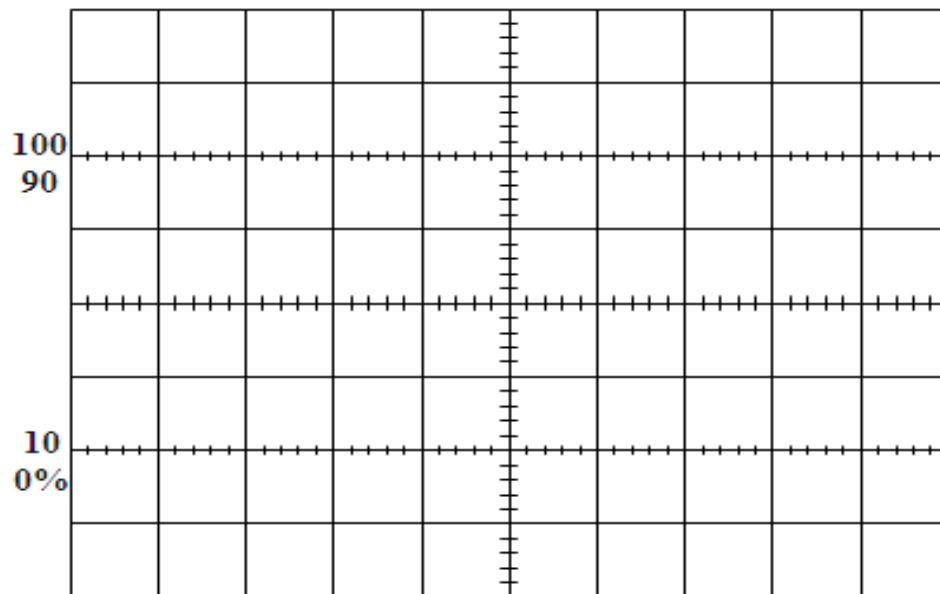
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.34

Đo và vẽ V01 (kênh) và V02 (kênh 2) vào hình 2.35

Kênh 1:

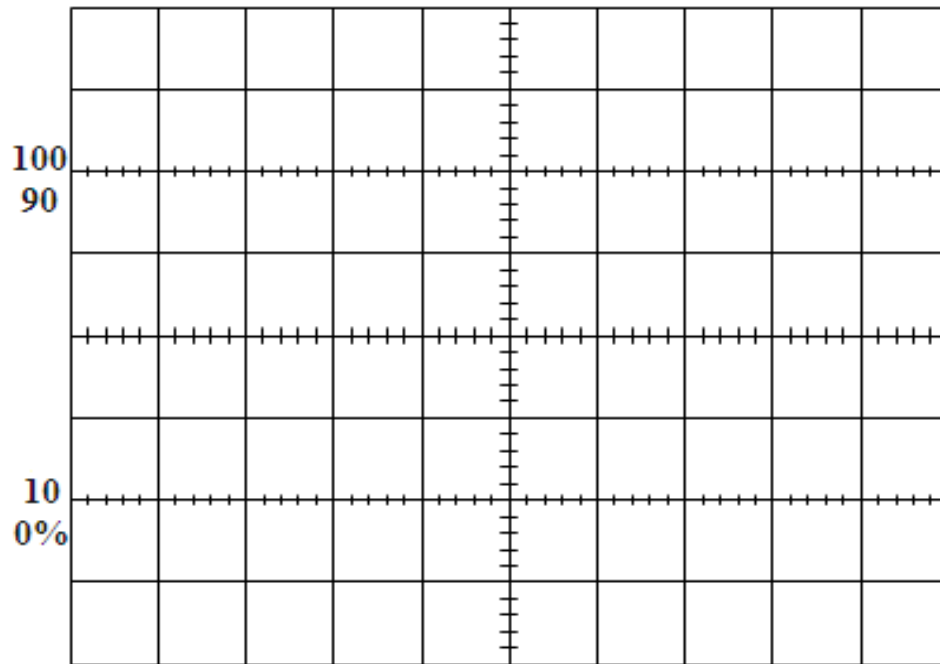
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

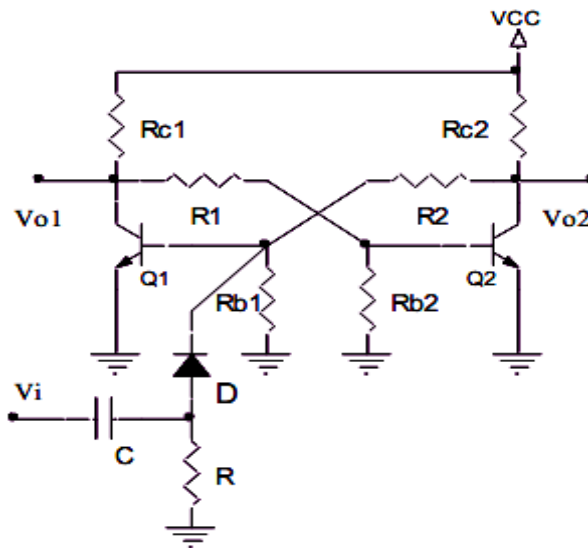
- Volts/Div



Hình 2.35

❖ Lần 2:

Hãy ráp mạch như hình 2.36 $R_{C1} = R_{C2} = 1K\Omega$; $R_{B1} = R_{B2} = 47K\Omega$; $R_1 = R_2 = 560\Omega$; $C = 1\mu F$; $R = 220\Omega$;



Hình 2.36

- Điều chỉnh nguồn tín hiệu là xung vuông đơn cực có biên độ 5V, $f = 200\text{Hz}$, cấp vào V_i
- Đo V_{BE1} (kênh 1) & V_{o1} (kênh 2). Đo V_{o1} (kênh 1) & V_{o2} (kênh 2).
- Nhận xét giữa lần 1 và lần 2, khác nhau như thế nào tại sao?

❖ Lần 3:

.....

.....

.....

.....

Giữ nguyên mạch điện ở lần 2. Đo điện áp trên hai đầu của điện trở R (kênh 1) vẽ vào hình 2.37.

Tháo diode D của mạch, đo điện áp trên hai đầu của điện trở R (kênh 2) và vẽ vào hình 2.37

Kênh 1:

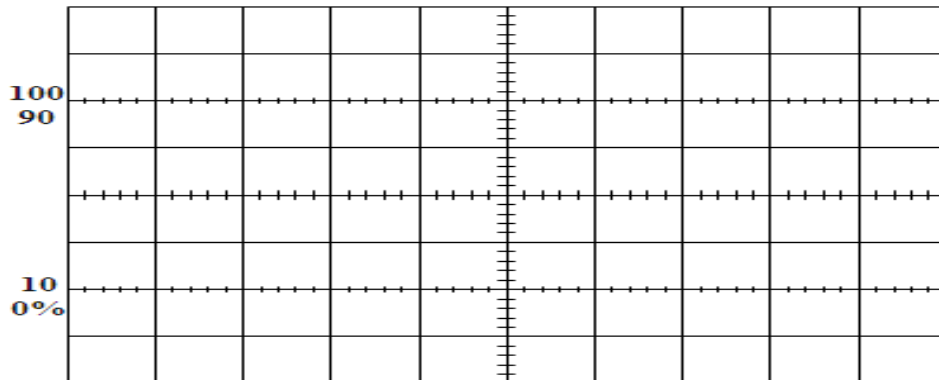
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.37

- Nhận xét sự khác nhau khi tháo diode và khi chưa tháo diode, tại sao?

.....

.....

.....

.....

❖ Nhận xét:

1/. Khi Q1 dẫn VO1 bằng bao nhiêu Volt? Khi Q1 tắt VO1 bằng bao nhiêu Volt? Tại sao?

.....

.....

.....

.....

2/. Khi nào thì Q1 dẫn, Q2 tắt và ngược lại?

.....

.....

.....

.....

3/. Q1 và Q2 có cùng dẫn, cùng tắt đồng thời không? Tại sao?

.....

.....

.....

.....

4/. Tần số dao động của mạch phụ thuộc vào yếu tố nào? Tại sao?

.....

.....

.....

.....

5/. Thời gian dẫn của Q1, thời gian tắt của Q1 phụ thuộc vào yếu tố nào? Tại sao?

.....

.....

.....

6/. Tại sao mạch được gọi là mạch lưỡng ổn?

.....

.....

.....

7/. Trình bày nguyên lý hoạt động của mạch?

.....

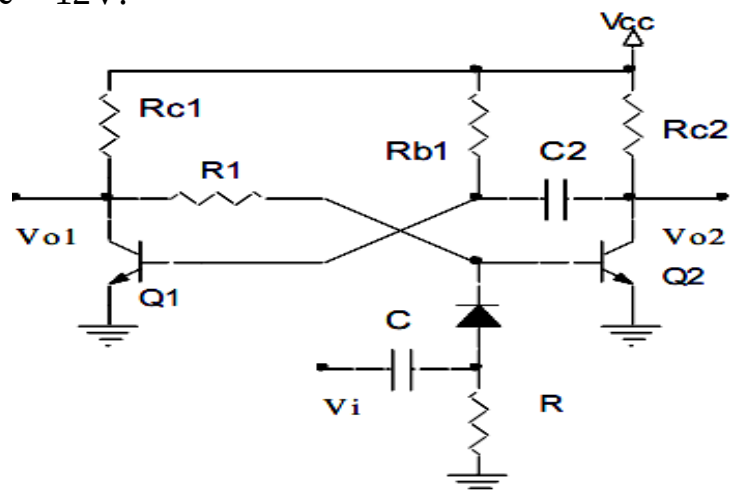
.....

.....

2. Mạch dao động đơn ổn

❖ Lần 1:

Hãy ráp mạch như hình 2.38 $RC1 = RC2 = 1K\Omega$; $RB1 = RB2 = 47K\Omega$; $R1 = R2 = 560\Omega$; $C = 1\mu F$; $R = 220\Omega$; $V_{cc} = 12V$.



Hình 2.38

Điều chỉnh nguồn tín hiệu là xung vuông đơn cực có biên độ 5V, $f = 200Hz$ cấp vào V_i .

Đo và vẽ V_{BE1} (kênh 1) & V_{o1} (kênh 2) vào hình 2.39

Kênh 1:

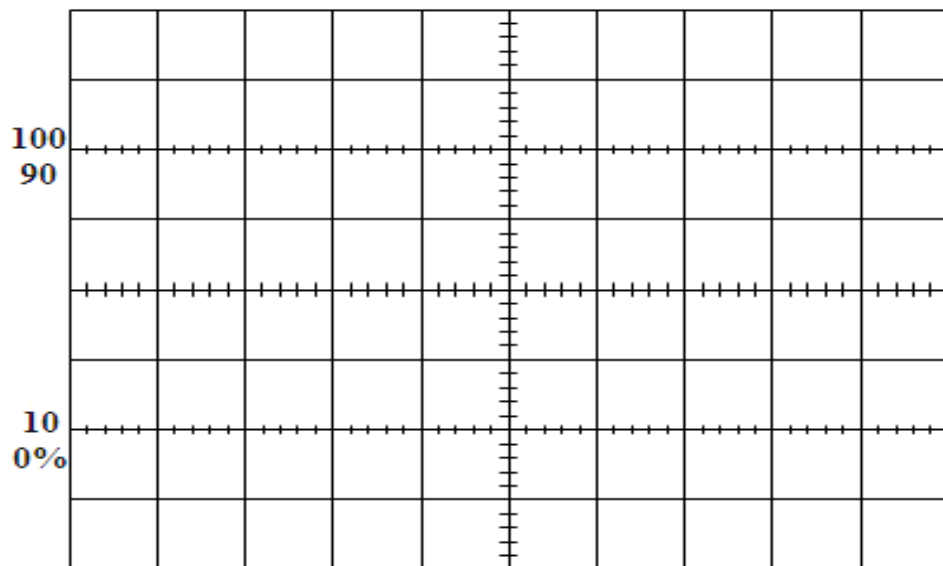
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.39

Đo và vẽ Vo1(kênh 1) & Vo2 (kênh 2) vào hình 2.40

Kênh 1:

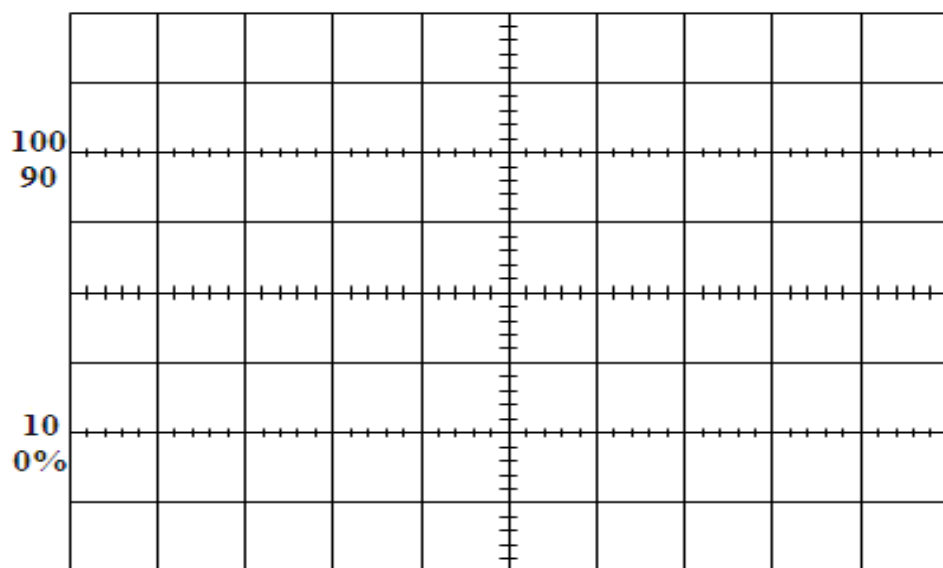
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

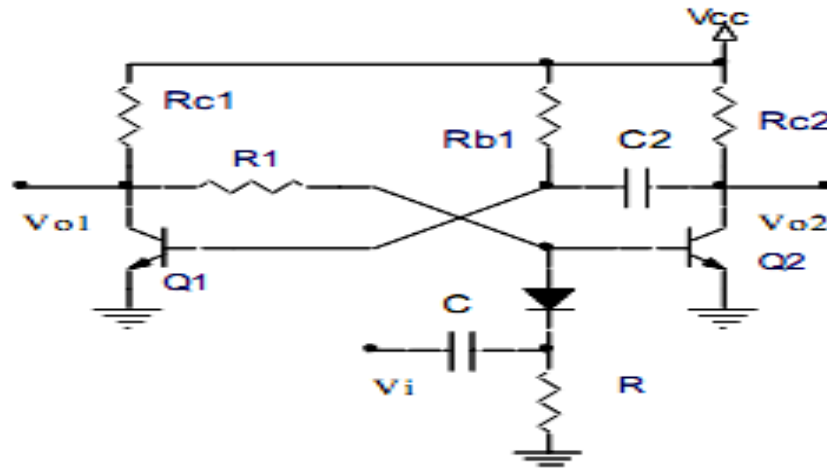
- Volts/Div



Hình 2.40

❖ Lần 2:

Hãy ráp mạch như hình 2.41 với $RC1=RC2=1K\Omega$; $RB1=47K\Omega$, $R1=560\Omega$; $C2= 1\mu F$; $C= 0,1 \mu F$;



Hình 2.41

- Điều chỉnh nguồn tín hiệu là xung vuông đơn cực có biên độ 5V, $f = 200\text{Hz}$ cấp vào V_i
- Đo V_{BE1} (kênh 1) & V_{o1} (kênh 2). Đo V_{o1} (kênh 1) & V_{o2} (kênh 2).
- Nhận xét giữa lần 1 và lần 2, khác nhau như thế nào, tại sao?

.....

.....

.....

.....

❖ Lần 3:

Ráp mạch điện ở lần 1. Đo điện áp ở Cathode (cực âm) của diode (kênh 1) vẽ vào hình 2.42

Hở Cathode (cực âm) của diode với cực B của Q2, đo điện áp ở Cathode (cực âm) của diode (kênh 2) và vẽ vào hình 2.42.

Kênh 1:

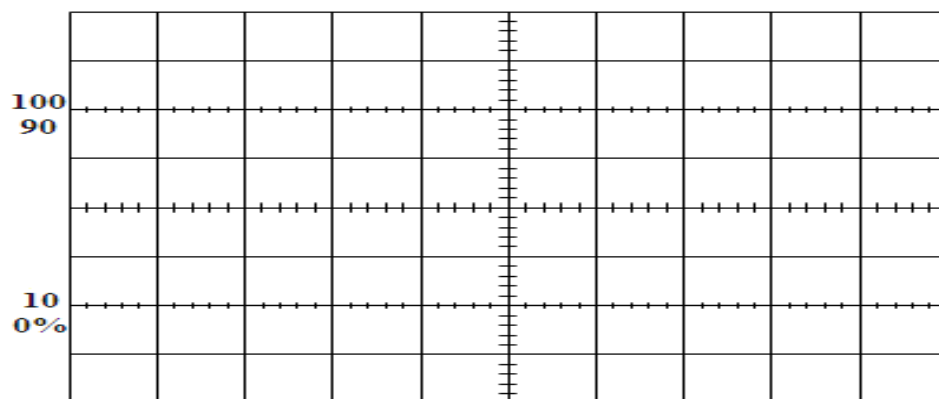
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.42

.....

.....

.....

❖ Nhận xét:

1/. Khi Q1 dẫn V_{O1} bằng bao nhiêu Volt? Khi Q1 tắt V_{O1} bằng bao nhiêu Volt? Khi

Q2 dẫn VO2 bằng bao nhiêu Volt? Khi Q2 tắt VO2 bằng bao nhiêu Volt? Tại sao?

.....
.....
.....

2/. Khi nào thì Q1 dẫn, Q2 tắt và ngược lại?

.....
.....
.....

3/. Q1 và Q2 có cùng dẫn, cùng tắt đồng thời không? Tại sao?

.....
.....
.....
.....

4/. Tần số dao động của mạch phụ thuộc vào yếu tố nào? Tại sao?

.....
.....
.....
.....

5/. Thời gian dẫn của Q1, thời gian tắt của Q1 phụ thuộc vào yếu tố nào? Tại sao?

.....
.....
.....
.....

6/. Tại sao mạch được gọi là mạch đơn ổn?

.....
.....
.....

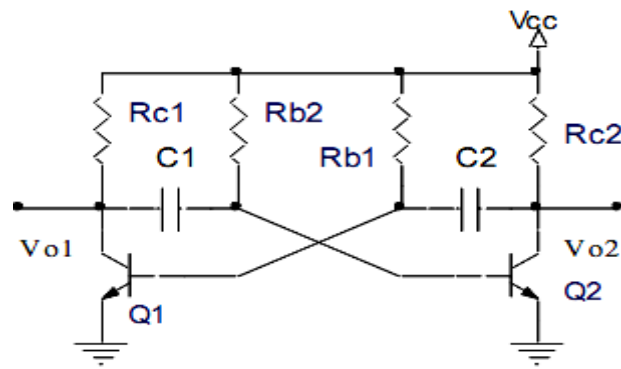
7/. Trình bày nguyên lý hoạt động của mạch?

.....
.....
.....
.....

3. Mạch dao động bất ổn

❖ Lần 1:

Hãy ráp mạch như hình 2.43, $R_{C1} = R_{C2} = 1K\Omega$; $R_{B1} = R_{B2} = 47K\Omega$; $C1 = 1\mu F$; $C2 = 0,1\mu F$; $V_{cc} = 12V$



Hình 2.43

Đo và vẽ VBE1 (kênh 1) & Vo1(kênh 2) vào hình 2.44.

Kênh 1:

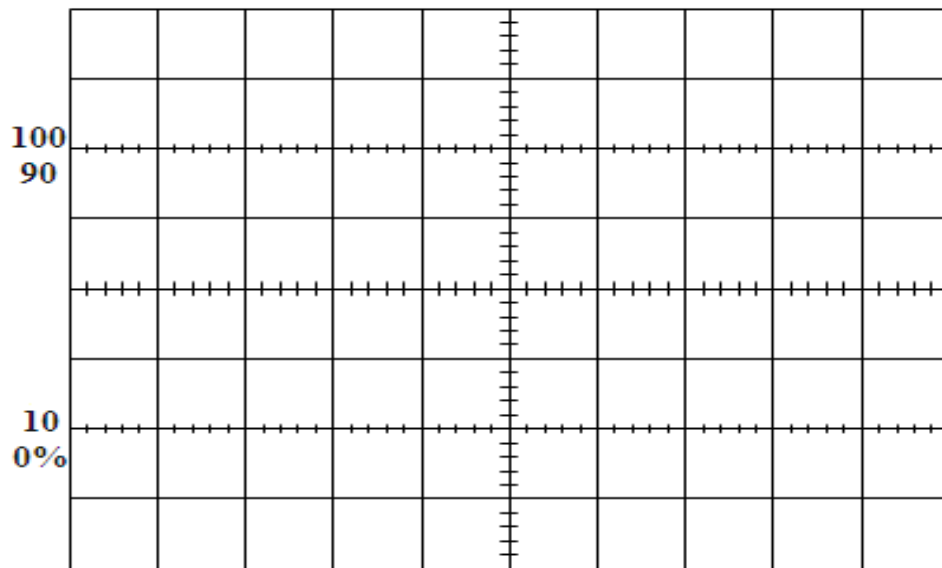
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.44

Đo và vẽ Vo1(kênh 1) & Vo2 (kênh 2) vào hình 2.45

Kênh 1:

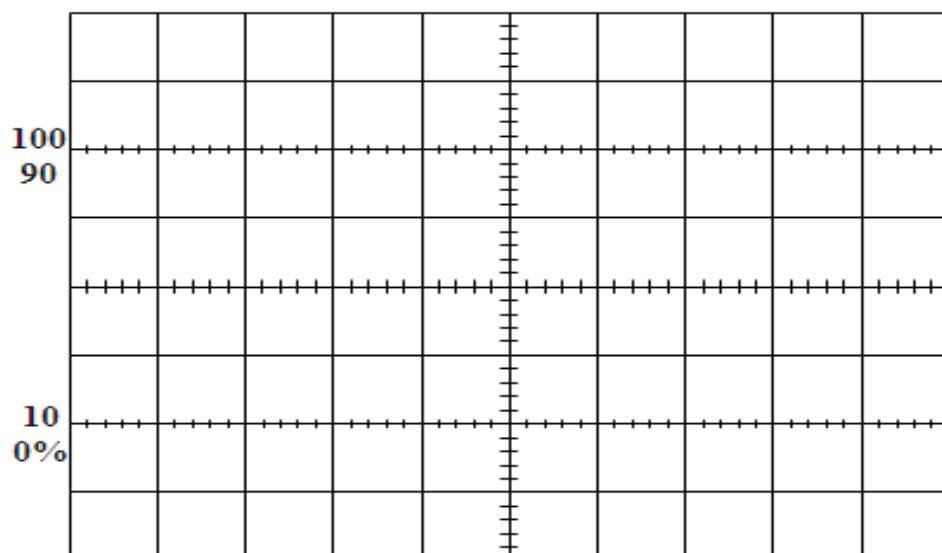
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

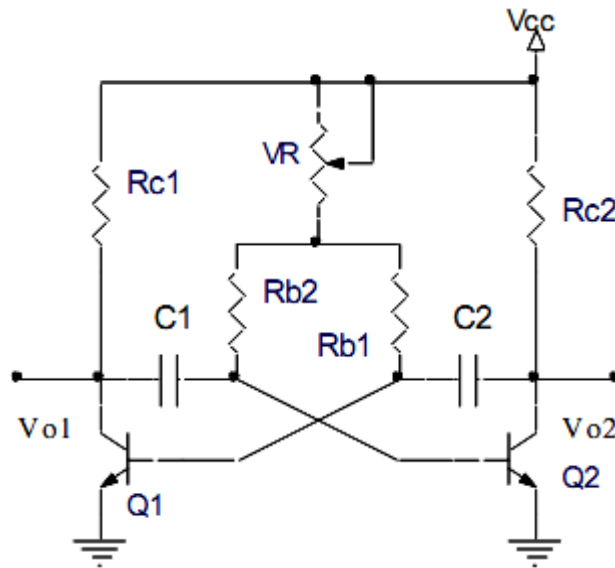
- Volts/Div



Hình 2.45

❖ Lần 2:

Hãy ráp mạch như hình 2.46 $R_{C1} = R_{C2} = 1K\Omega$; $R_{B1} = R_{B2} = 27K\Omega$; $V_R = 50K\Omega$; $C_1 = 1\mu F$; $C_2 = 0,1 \mu F$; $V_{cc} = 12V$.



Hình 2.46

Đo và vẽ V_{BE1} (kênh 1) & V_{o1} (kênh 2) khi V_R ở giá trị nhỏ nhất vào hình 2.46.

Kênh 1:

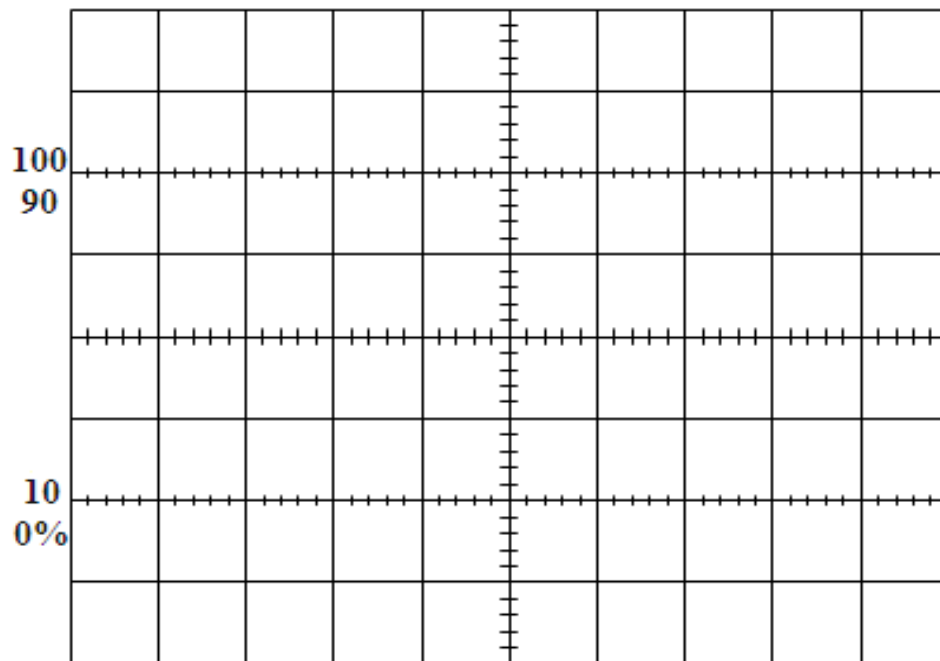
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.46

- Tính tần số điện áp ngõ ra theo hình 2.46.

.....

- Tính tần số điện áp ngõ ra theo lý thuyết.

.....

.....

.....

.....

- So sánh kết quả của hai lần tính trên.

.....

.....

.....

.....

Đo và vẽ VBE2 (kênh 1) & Vo2(kênh 2) khi VR ở giá trị lớn nhất vào hình 2.47

Kênh 1:

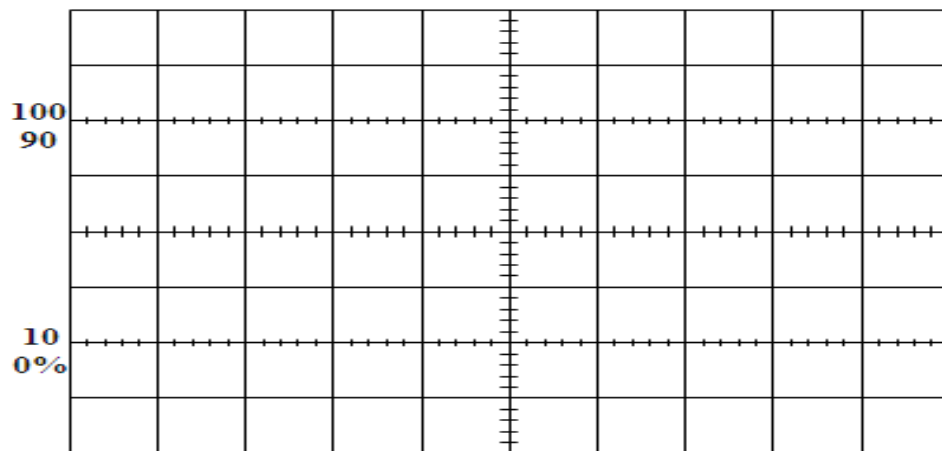
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.47

- Tính tần số điện áp ngõ ra theo hình 2.47.

.....

.....

.....

.....

- Tính tần số điện áp ngõ ra theo lý thuyết.

.....

.....

.....

.....

- So sánh kết quả của hai lần tính trên.

.....

.....

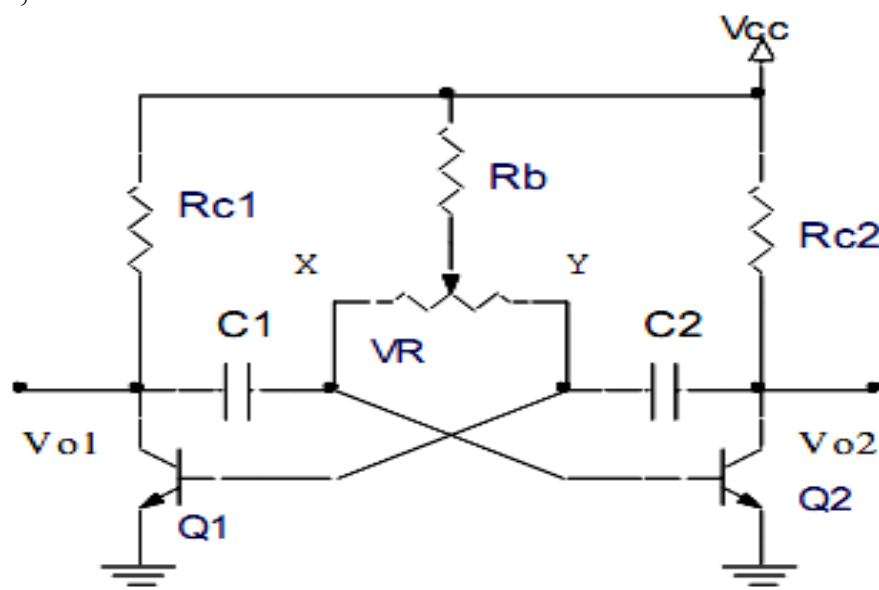
.....

.....

- Nhận xét sự phụ thuộc điện áp ngõ ra theo vị trí của biến trở? Tại sao?

❖ Lần 3:

Hãy ráp mạch như hình 2.48 $R_{C1} = R_{C2} = 1K\Omega$; $R_{B1} = R_{B2} = 27K\Omega$; $V_R = 50K\Omega$; $C_1 = 1\mu F$; $C_2 = 0,1\mu F$; $V_{cc} = 12V$.



Hình 2.48

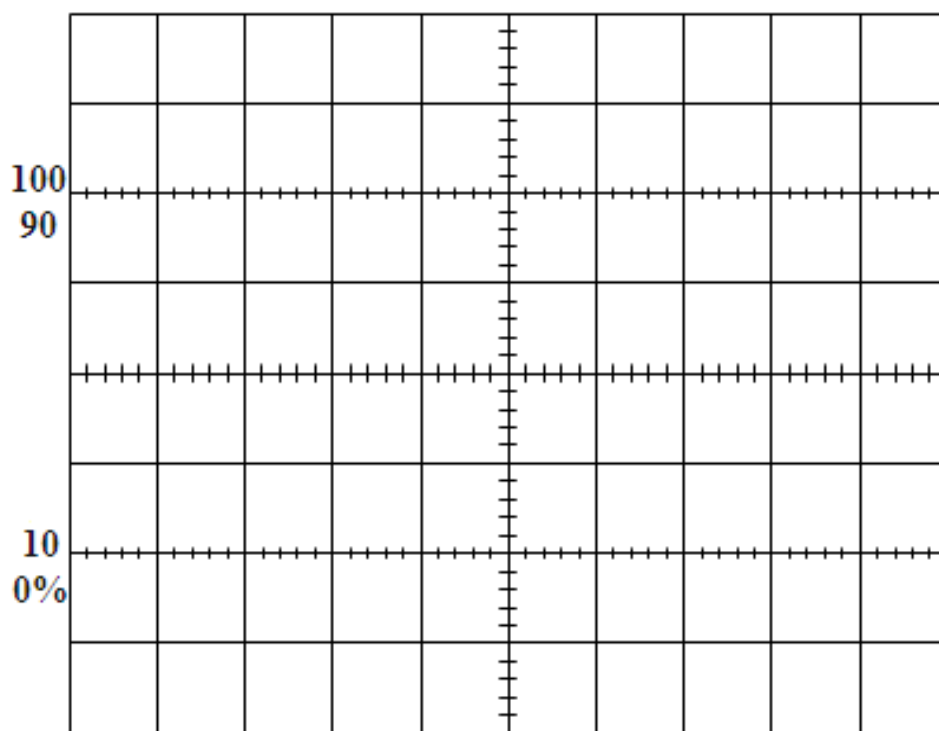
Đo và vẽ V_{BE1} (kênh 1) & V_{o1} (kênh 2) khi V_R ở vị trí X vào hình 2.49.

Kênh 1:

- Time/Div:
- Volts/Div:

Kênh 2:

- Time /Div
- Volts/Div



Hình 2.49

- Tính tần số điện áp ngõ ra theo hình 2.49.

.....

.....

- Tính tần số điện áp ngõ ra theo lý thuyết.

.....

.....

.....

- So sánh kết quả của hai lần tính trên.

.....

.....

.....

- Đo và vẽ VBE1 (kênh 1) & Vo1(kênh 2) khi VR ở vị trí Y vào hình 2.50.

Kênh 1:

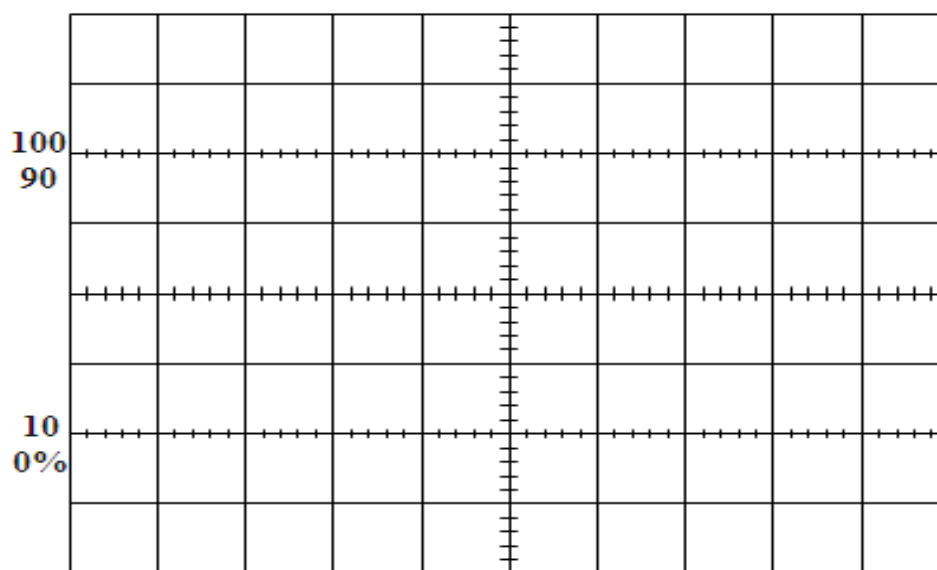
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.50

- Tính tần số điện áp ngõ ra theo hình 2.50.

.....

.....

.....

- Tính tần số điện áp ngõ ra theo lý thuyết.

.....
- So sánh kết quả của hai lần tính trên.

.....
.....
.....
.....
- Nhận xét sự phụ thuộc điện áp ngõ ra theo vị trí của biến trở? Tại sao?

.....
.....
.....
.....
❖ Nhận xét:

1/. Khi Q1 dẫn VO1 bằng bao nhiêu Volt? Khi Q1 tắt VO1 bằng bao nhiêu Volt? Khi Q2 dẫn VO2 bằng bao nhiêu Volt? Khi Q2 tắt VO2 bằng bao nhiêu Volt? Tại sao?

.....
.....
.....
.....
2/. Khi nào thì Q1 dẫn, Q2 tắt và ngược lại?

.....
.....
.....
.....
3/. Q1 và Q2 có cùng dẫn, cùng tắt đồng thời không? Tại sao?

.....
.....
.....
.....
4/. Tần số dao động của mạch phụ thuộc vào yếu tố nào? Tại sao?

.....
.....
.....
.....
5/. Thời gian dẫn của Q1, thời gian tắt của Q1 phụ thuộc vào yếu tố nào? Tại sao?

.....
.....
.....
6/. Tại sao mạch được gọi là mạch bất ổn?

.....
.....
.....
.....
7/. Trình bày nguyên lý hoạt động của mạch?

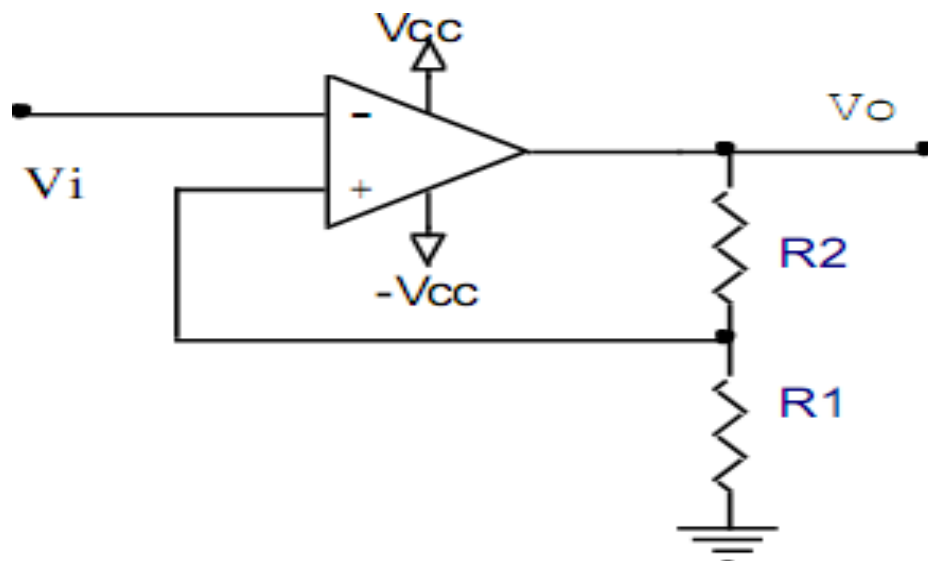
.....
.....
.....
.....
8/. Phân biệt sự khác nhau của các mạch trong các lần đo? Giải thích?

.....
.....
.....
.....
II. Mạch dao động đa hài dùng Op-Amp

4. Mạch Schmitt Trigger

❖ Lần 1:

Hãy ráp mạch như hình 2.51 với $R1=R2=10K\Omega$; $\pm V_{cc}=\pm 12V$.



Hình 2.51

Điều chỉnh nguồn tín hiệu là xung tam giác có biên độ 10V, $f=1KHz$ cấp vào V_i .

Đo và vẽ V_i (kênh 1) & V_o (kênh 2) vào hình 2.52.

Kênh 1:

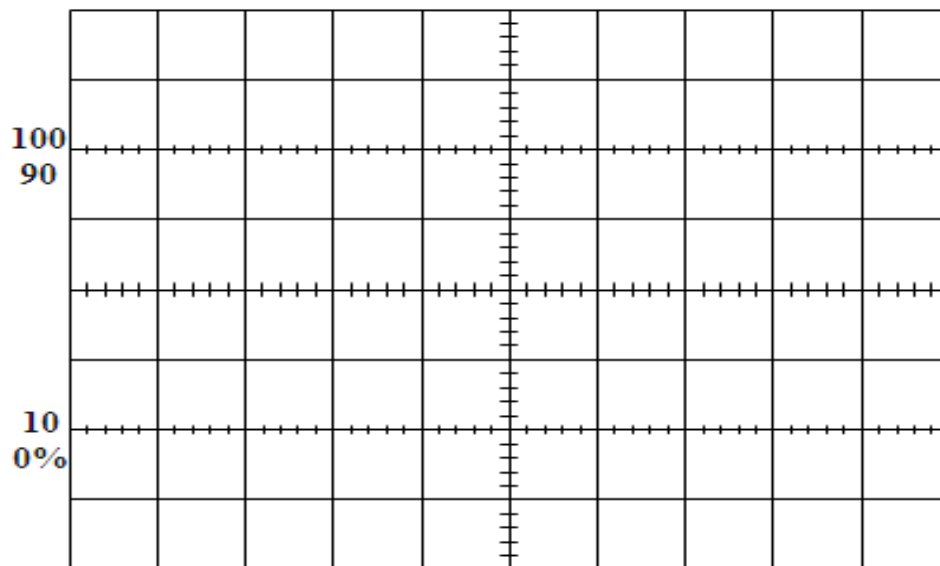
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.52

Đo và vẽ V_i (kênh 1) & V_+ (kênh 2) vào hình 2.43.

Kênh 1:

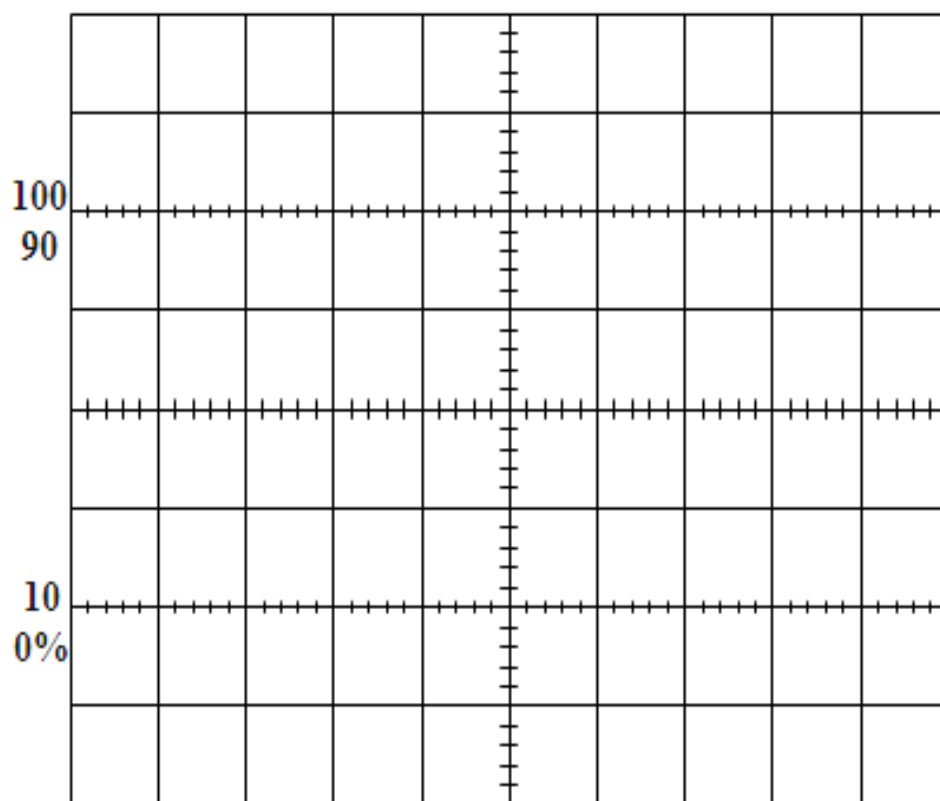
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.53

❖ Lần 2:

Thực hiện như lần 1 nhưng điều chỉnh nguồn tín hiệu là sóng sin có biên độ 10V, $f=2\text{KHz}$ cấp vào V_i .

Đo và vẽ V_i (kênh 1) & V_o (kênh 2) vào hình 2.54

Kênh 1:

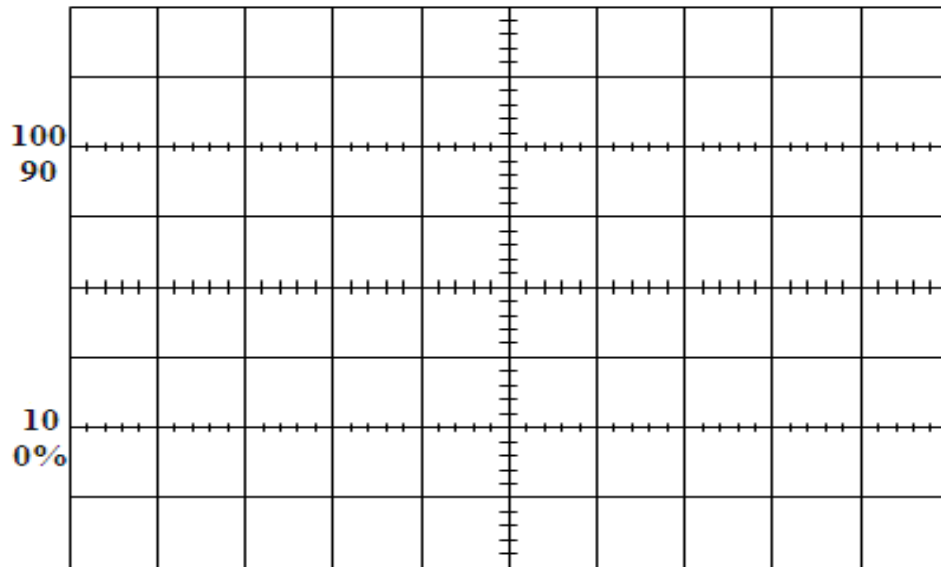
Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.54

Đo và vẽ V_i (kênh 1) & V_o (kênh 2) vào hình 2.52

Kênh 1:

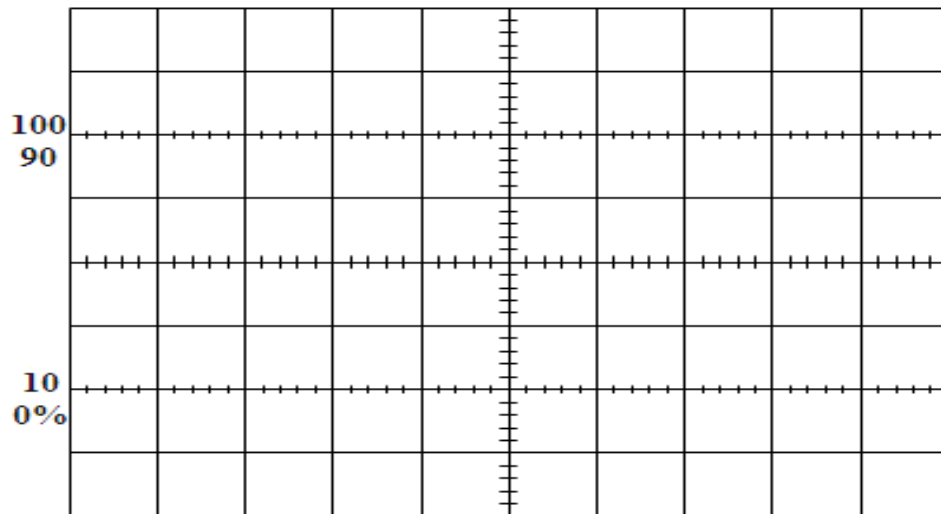
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.52

❖ Lần 3:

Thực hiện như lần 1 nhưng thay $R_1=10K\Omega$, $R_2=33K\Omega$ và điều chỉnh nguồn tín hiệu là xung tam giác có biên độ 10V, $f=3KHz$ cấp vào V_i .

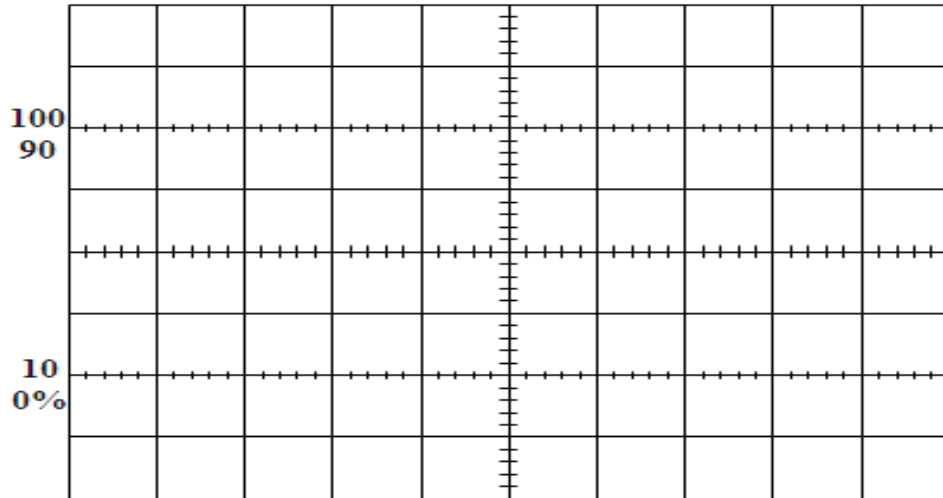
Đo và vẽ V_i (kênh 1) & V_o (kênh 2) vào hình 2.53

Kênh 1:

- Time/Div:
- Volts/Div:

Kênh 2:

- Time /Div
- Volts/Div



Hình 2.53

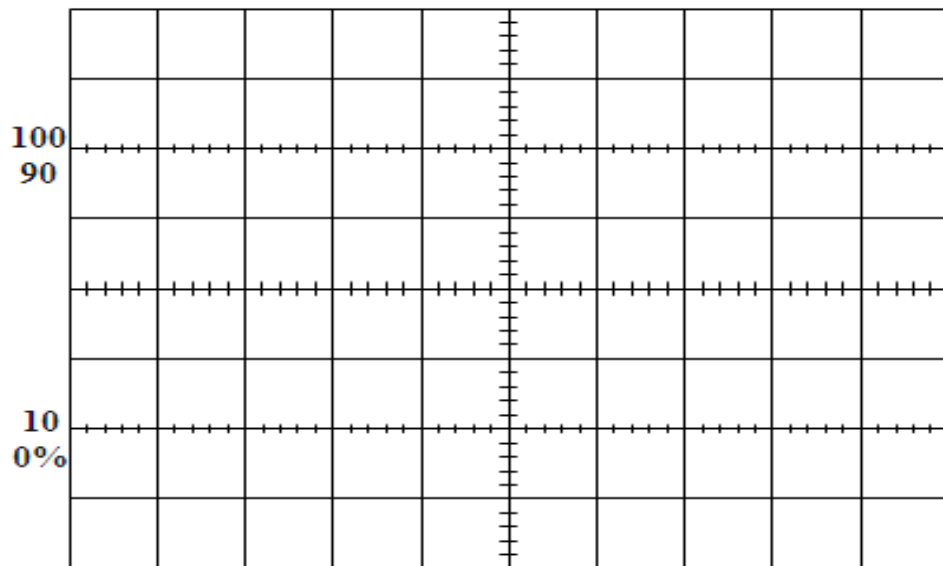
Đo và vẽ V_i (kênh 1) & V_o (kênh 2) vào hình 2.54

Kênh 1:

- Time/Div:
- Volts/Div:

Kênh 2:

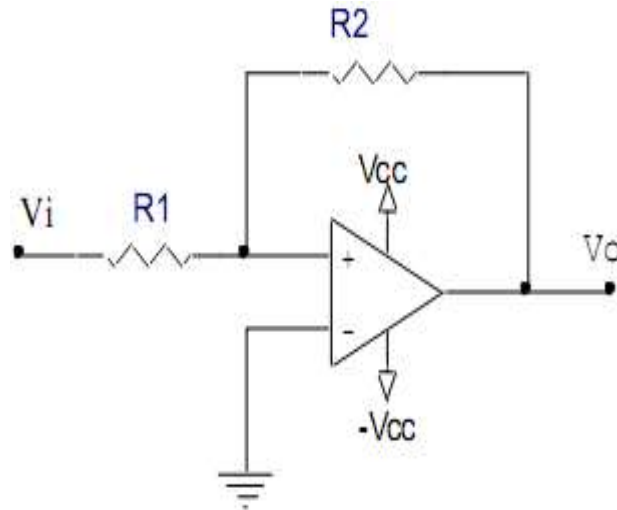
- Time /Div
- Volts/Div



Hình 2.54

❖ Lần 4:

Hãy ráp mạch như hình 2.58 với $R1=10\text{ K}\Omega$, $R2=20\text{ K}\Omega$, $\pm V_{cc}=\pm 12\text{V}$.



Hình 2.58

Điều chỉnh nguồn tín hiệu là xung tam giác có biên độ 10V, $f=1\text{KHz}$ cấp vào Vi.

Đo và vẽ Vi (kênh 1) & Vo(kênh 2) vào hình 2.49

Kênh 1:

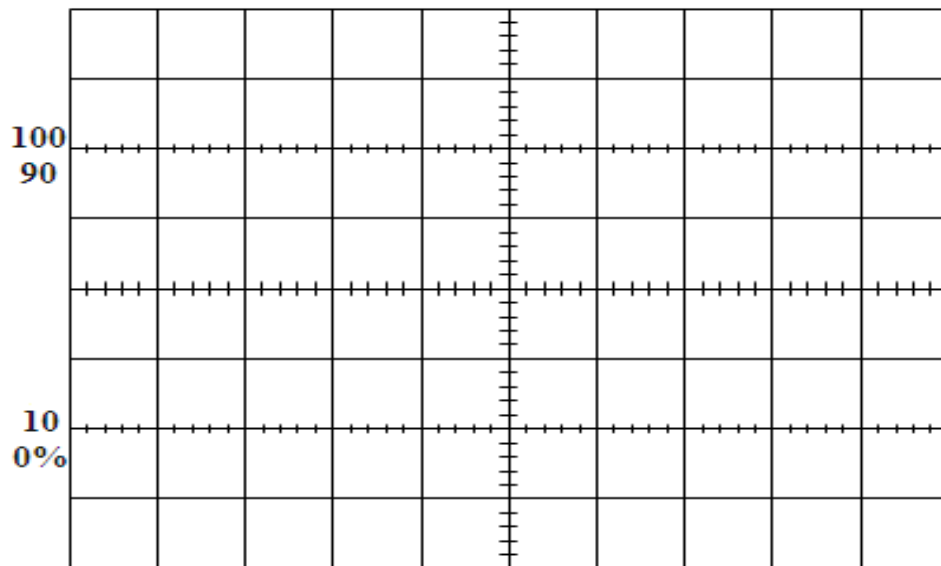
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.49

Đo và vẽ Vi (kênh 1) & Vo(kênh 2) vào hình 2.50

Kênh 1:

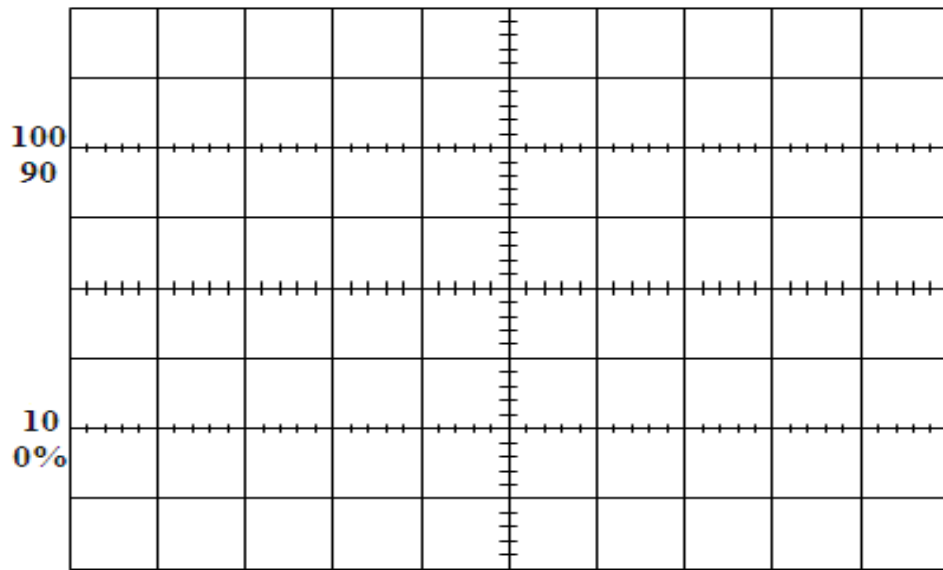
- Time/Div:

Kênh 2:

- Time /Div

- Volts/Div:

- Volts/Div



Hình 2.50

❖ Lần 5:

Thực hiện như lần 4 nhưng điều chỉnh nguồn tín hiệu là sóng sin có biên độ 10V, $f=2\text{KHz}$ cấp vào Vi.

Đo và vẽ Vi (kênh 1) & Vo(kênh 2) vào hình 2.51

Kênh 1:

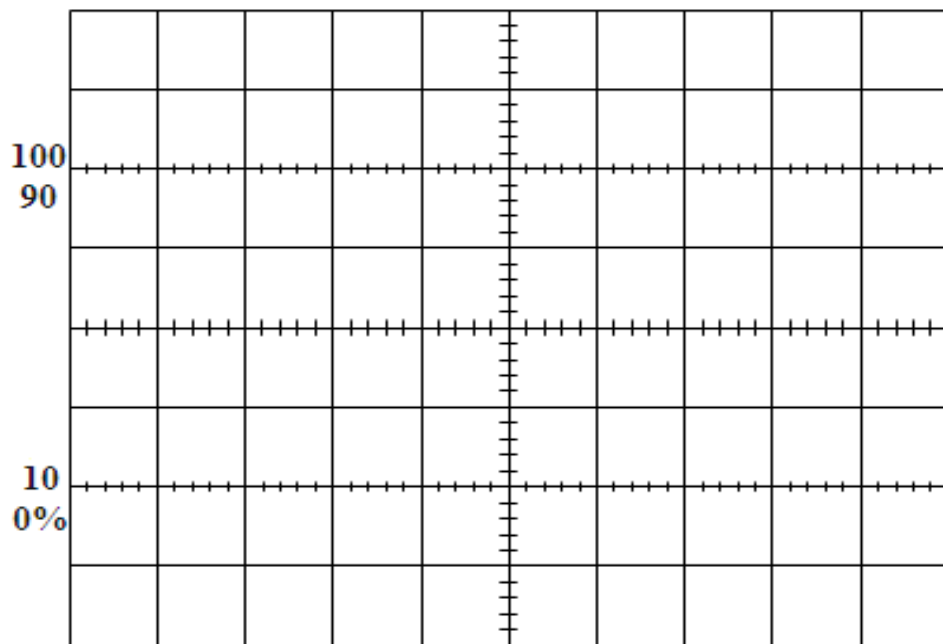
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.51

Đo và vẽ V_i (kênh 1) & V_+ (kênh 2) vào hình 2.52

Kênh 1:

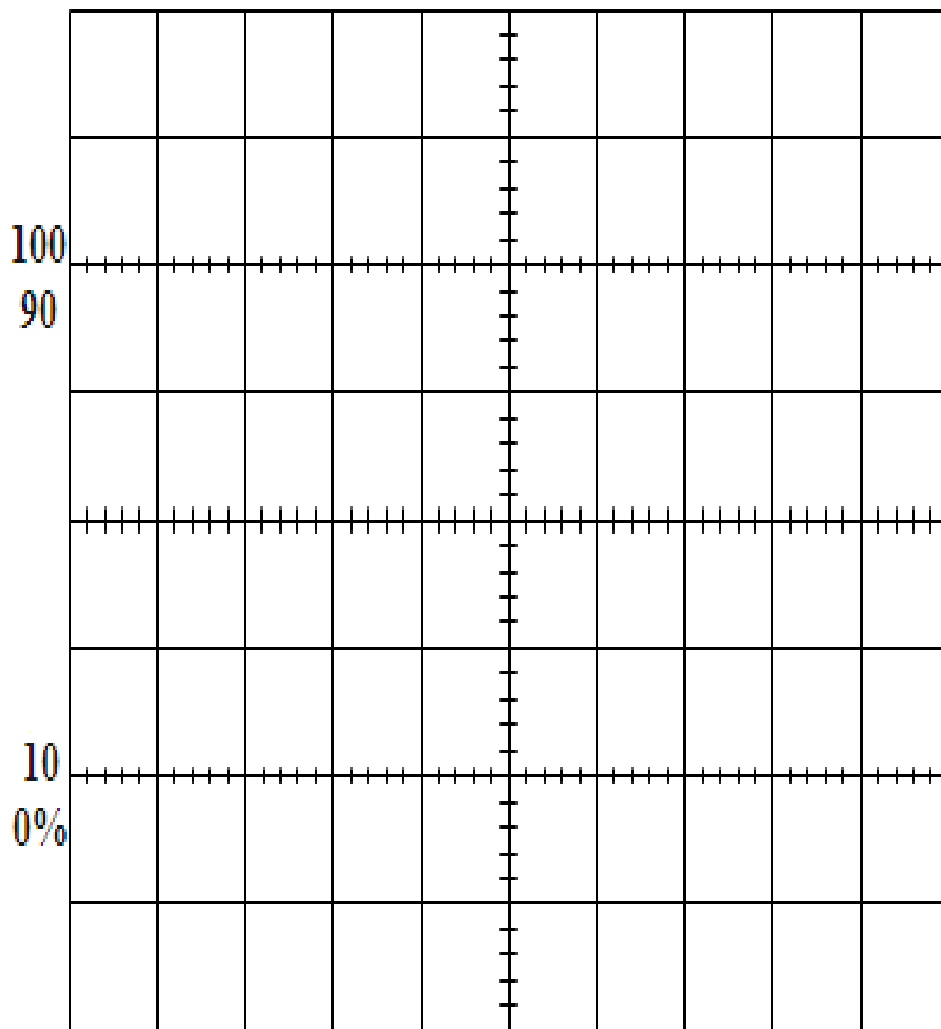
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.52

❖ Lần 6:

Thực hiện như lần 1 nhưng thay $R_1=10K\Omega$, $R_2=47K\Omega$ và điều chỉnh nguồn tín hiệu là xung tam giác có biên độ 10V, $f=3KHz$ cấp vào V_i .

Đo và vẽ V_i (kênh 1) & V_o (kênh 2) vào hình 2.53.

Kênh 1:

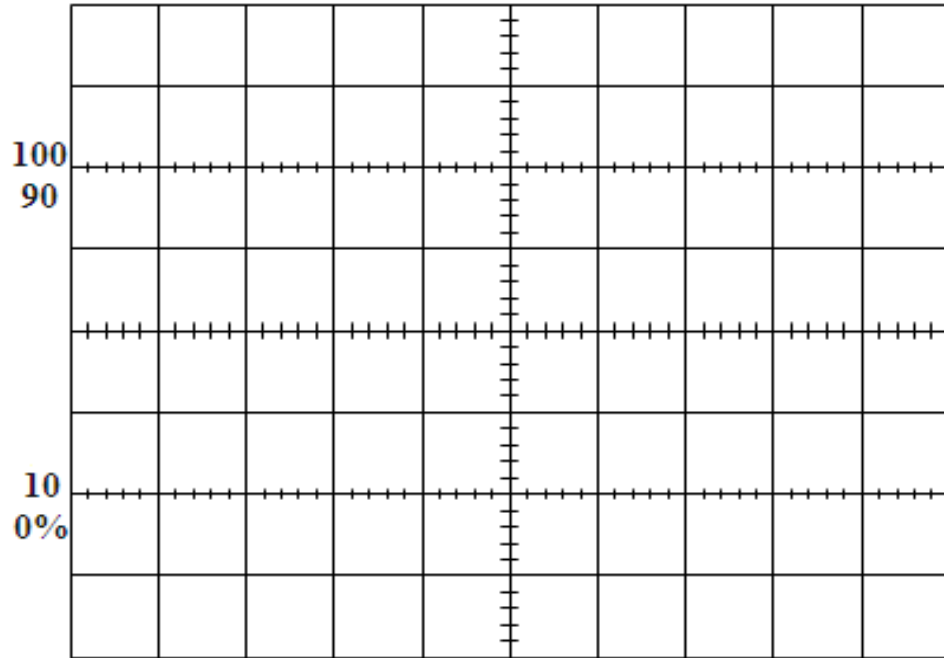
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.53

Đo và vẽ V_i (kênh 1) & V_+ (kênh 2) vào hình 2.54

Kênh 1:

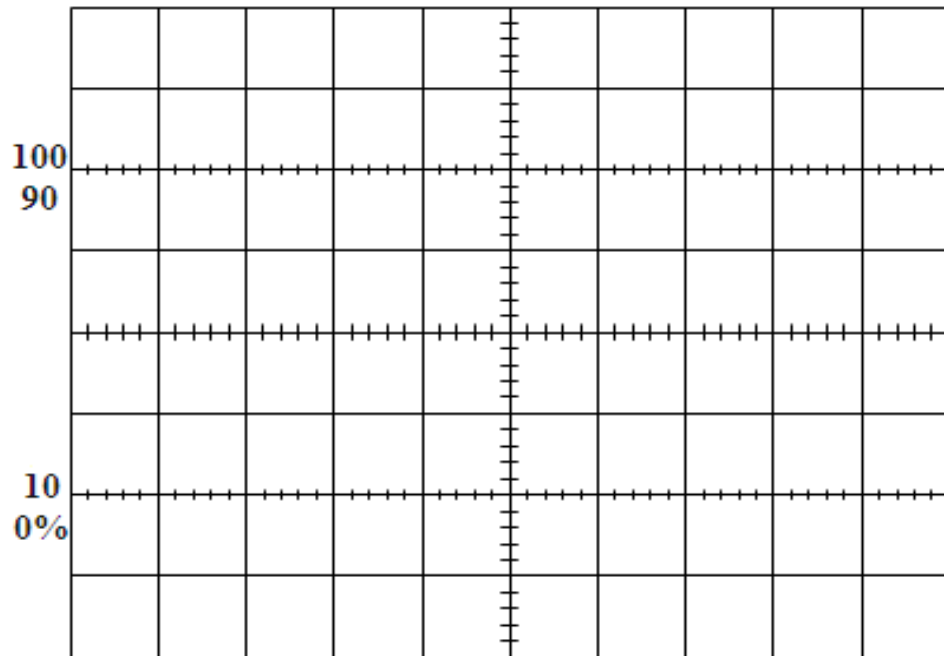
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.54

❖ Nhận xét:

1/. So sánh dạng điện áp V_I và V_O (hình dạng, biên độ, tần số)? Hình dạng điện áp ngõ vào có ảnh hưởng đến dạng điện áp ngõ ra không ?

.....

2/. Điện áp ngõ ra của Opamp thay đổi trạng thái từ $-V_{cc}$ tới $+V_{cc}$ khi nào?
 Điện áp ngõ ra của Opamp thay đổi trạng thái từ $+V_{cc}$ tới $-V_{cc}$ khi nào?
 (so sánh trường hợp ở lần 1 và trường hợp ở lần 4)

.....

3/. Điện thế V_+ thay đổi như thế nào trong từng trường hợp? Nếu V_I có biên độ nhỏ hơn biên độ của V_+ thì điện áp V_O như thế nào ?

.....

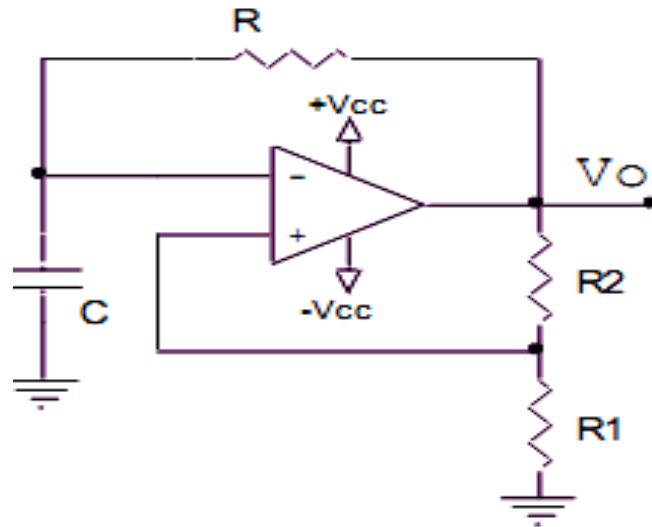
4/. Trình bày nguyên lý hoạt động của mạch và giải thích dạng điện áp theo từng khoảng thời gian ?

.....

5. Mạch bất ổn

❖ Lần 1:

Hãy ráp mạch như hình 2.55 với $R_1=R_2=10K\Omega$; $\pm V_{cc}=\pm 12V$; $R=47K\Omega$; $C=0,1\mu F$.



Hình 2.55

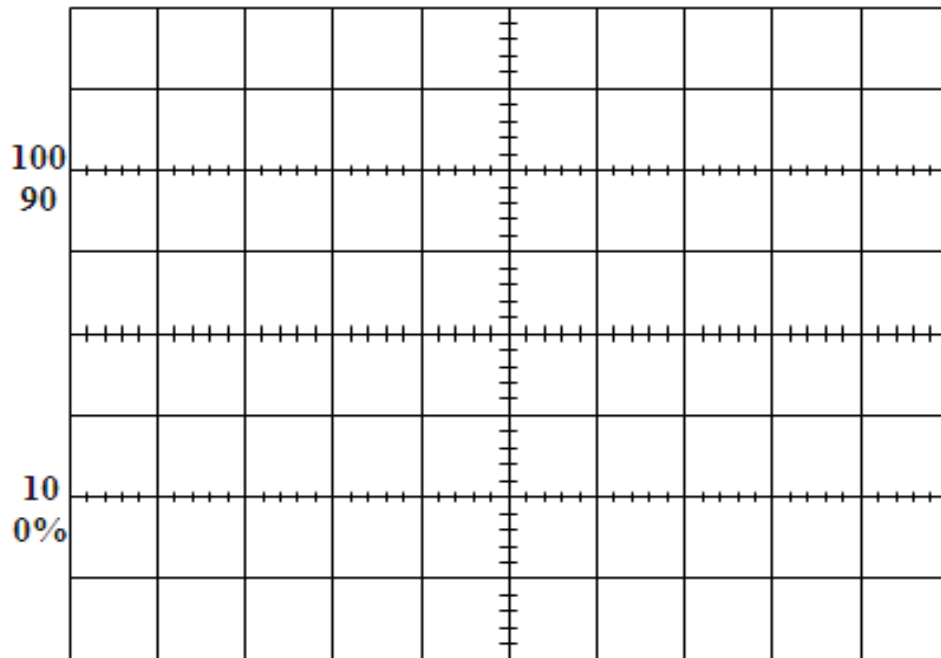
Đo và vẽ V_- (kênh 1) & V_O (kênh 2) vào hình 2.56.

Kênh 1:

- Time/Div:
- Volts/Div:

Kênh 2:

- Time /Div
- Volts/Div



Hình 2.56

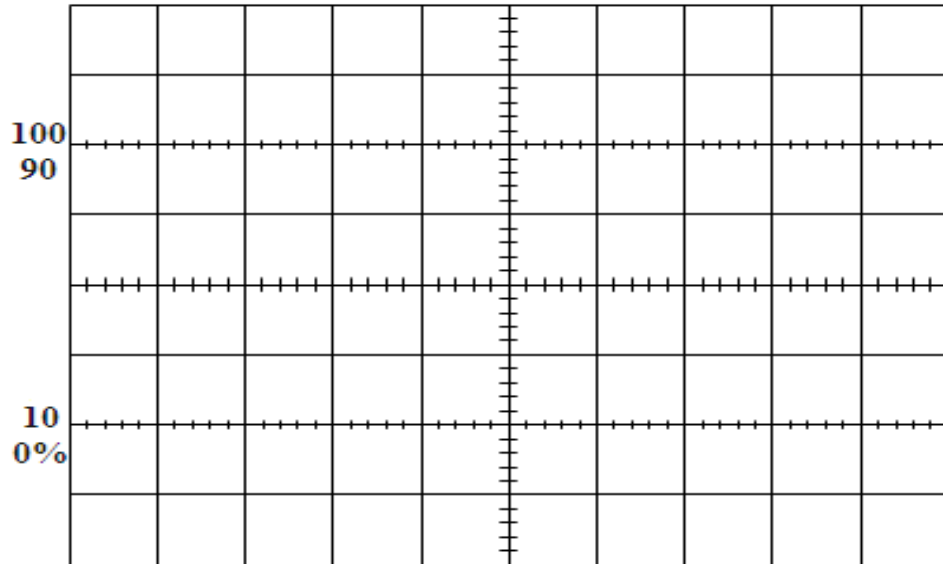
Đo và vẽ V_- (kênh 1) & V_+ (kênh 2) vào hình 2.57

Kênh 1:

- Time/Div:
- Volts/Div:

Kênh 2:

- Time /Div
- Volts/Div



Hình 2.57

❖ Lần 2:

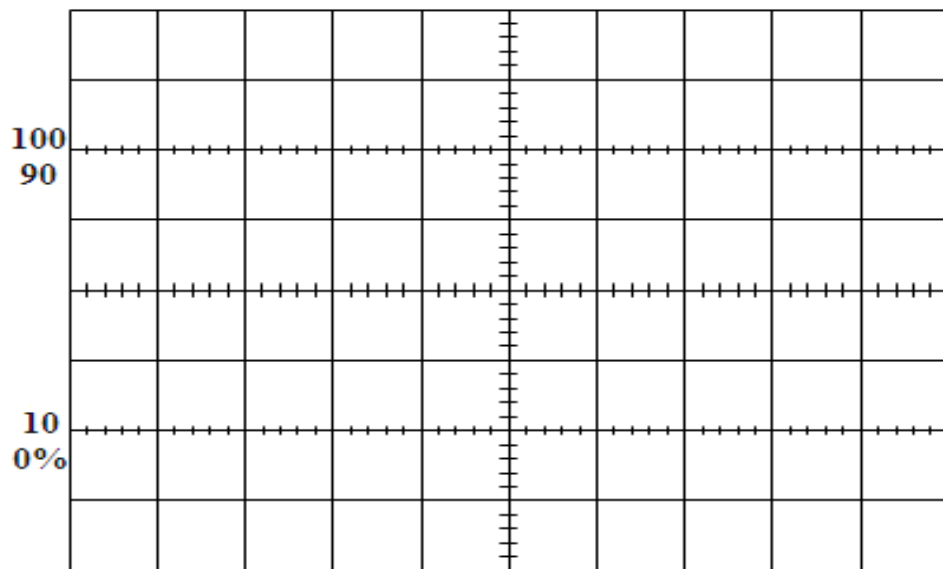
Thực hiện như lần 1 nhưng thay $R_1=10K\Omega$, $R_2=33K\Omega$. Đo và vẽ V_- (kênh 1) & V_o (kênh 2) vào hình 2.58

Kênh 1:

- Time/Div:
- Volts/Div:

Kênh 2:

- Time /Div
- Volts/Div



Hình 2.58

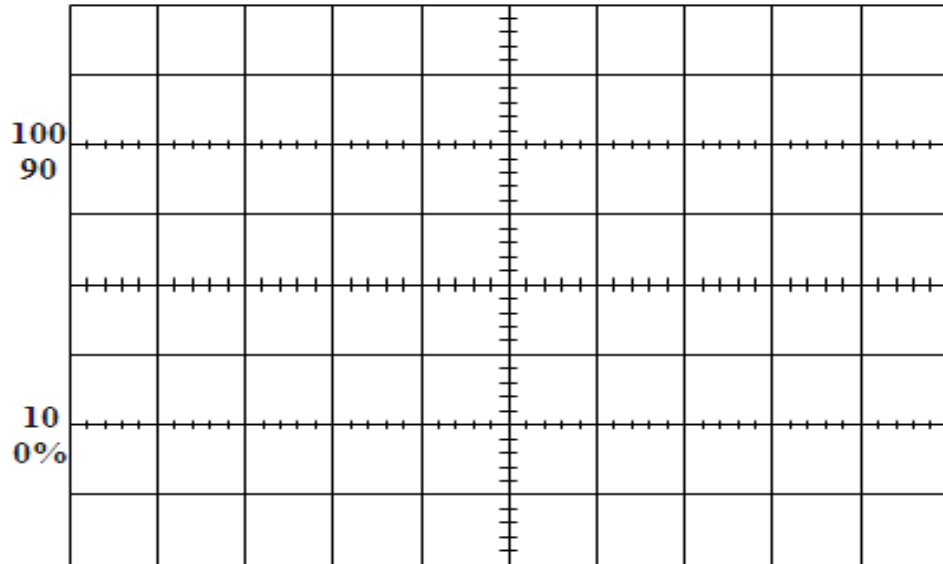
Đo và vẽ V_- (kênh 1) & V_+ (kênh 2) vào hình 2.59

Kênh 1:

- Time/Div:
- Volts/Div:

Kênh 2:

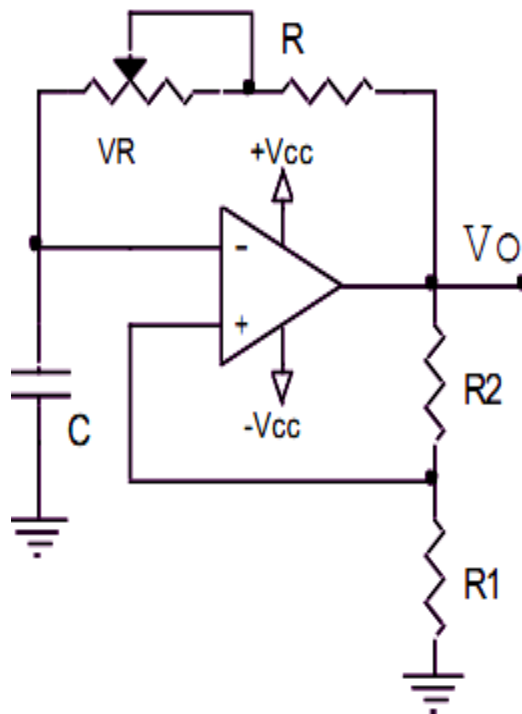
- Time /Div
- Volts/Div



Hình 2.59

❖ Lần 3:

Hãy ráp mạch như hình 2.60 với $R_1=R_2=10\text{K}\Omega$; $\pm V_{CC} = \pm 12\text{V}$; $R=1\text{K}\Omega$; $C=0,1\mu\text{F}$; $V_R=50\text{K}\Omega$.



Hình 2.60

Đo và vẽ V_- (kênh 1) & V_o (kênh 2) khi V_R ở giá trị bé nhất vào hình 2.61

Kênh 1:

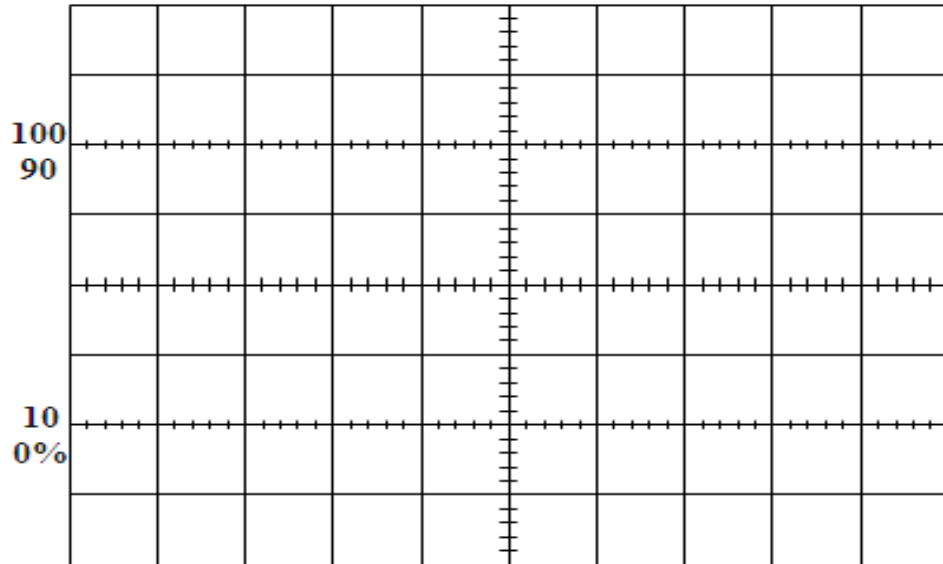
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.61

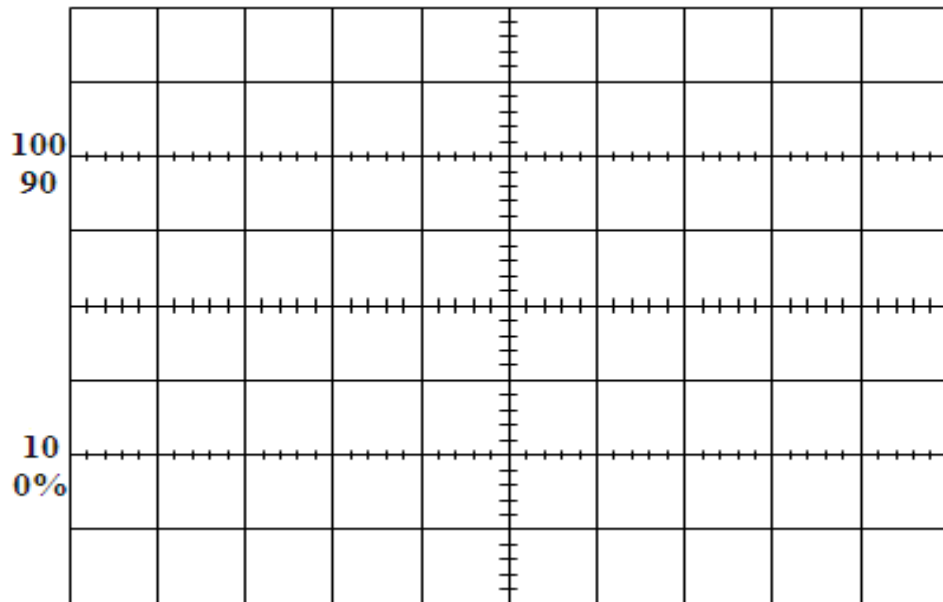
Đo và vẽ V- (kênh 1) & V+ (kênh 2) khi VR ở giá trị bé nhất vào hình 2.62

Kênh 1:

- Time/Div:
- Volts/Div:

Kênh 2:

- Time /Div
- Volts/Div



Hình 2.62

- Tính tần số điện áp ngõ ra theo hình 2.62

.....

.....

.....

.....

- Tính tần số điện áp ngõ ra theo lý thuyết.

.....

.....

.....

.....

- So sánh kết quả của hai lần tính trên.

.....

.....

.....

.....

.....

.....

- Đo và vẽ V- (kênh 1) & Vo(kênh 2) khi VR ở giá trị lớn nhất vào hình 2.63

Kênh 1:

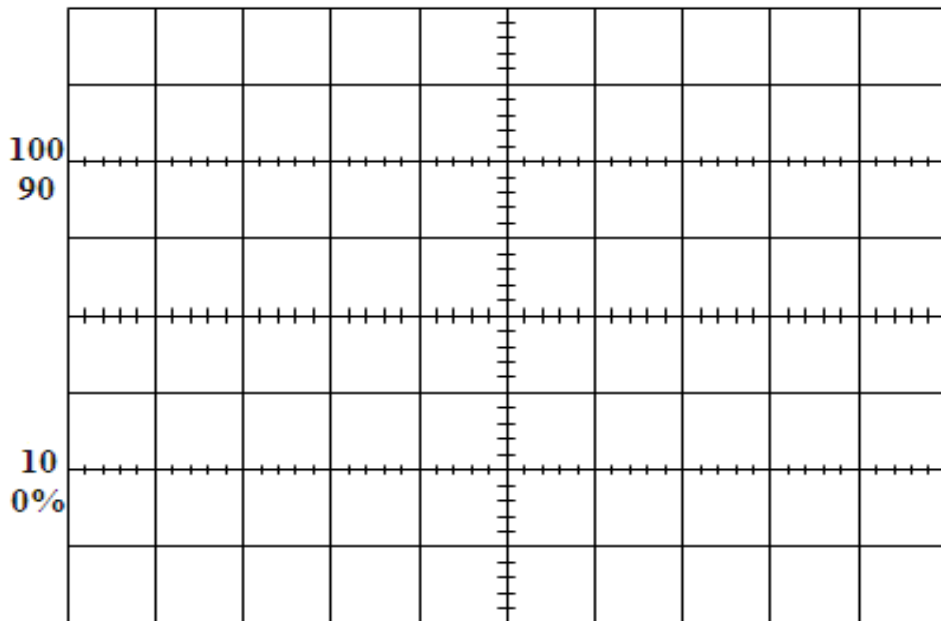
Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.63

- Đo và vẽ V- (kênh 1) & V+ (kênh 2) khi VR ở giá trị lớn nhất vào hình 2.64

Kênh 1:

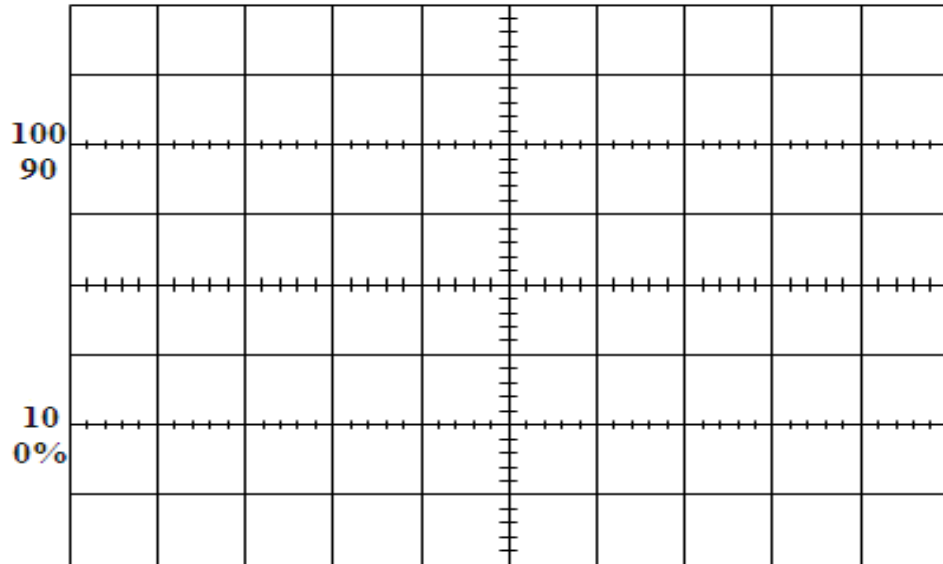
Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.64

- Tính tần số điện áp ngõ ra theo hình 2.64.

.....

.....

.....

- Tính tần số điện áp ngõ ra theo lý thuyết.

.....

.....

.....

- So sánh kết quả của hai lần tính trên.

.....

.....

.....

- Nhận xét sự phụ thuộc điện áp ngõ ra theo vị trí của biến trở ? Tại sao?

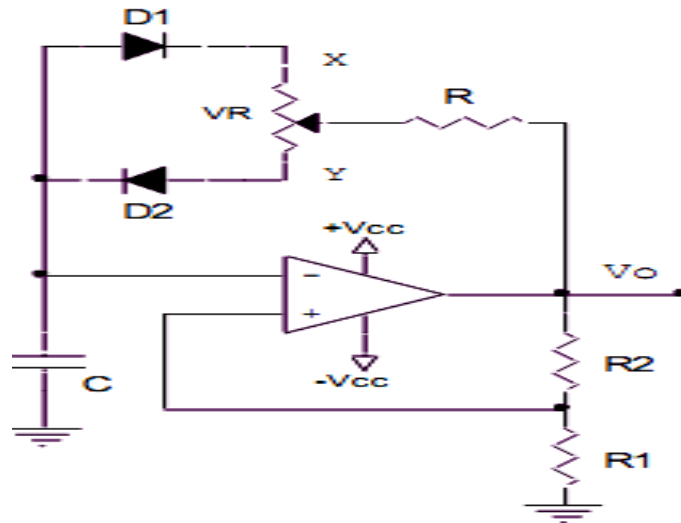
.....

.....

.....

❖ Lần 4:

Hãy áp mạch như hình 2.65 với $R_1 = R_2 = 10\text{K}\Omega$, $\pm V_{cc} = \pm 12\text{V}$; $R = 1\text{K}\Omega$; $C = 0,1\mu\text{F}$; $V_R = 50\text{K}\Omega$.



Hình 2.65

Đo và vẽ V_- (kênh 1) & V_+ (kênh 2) khi VR ở vị trí X vào hình 2.66.

Kênh 1:

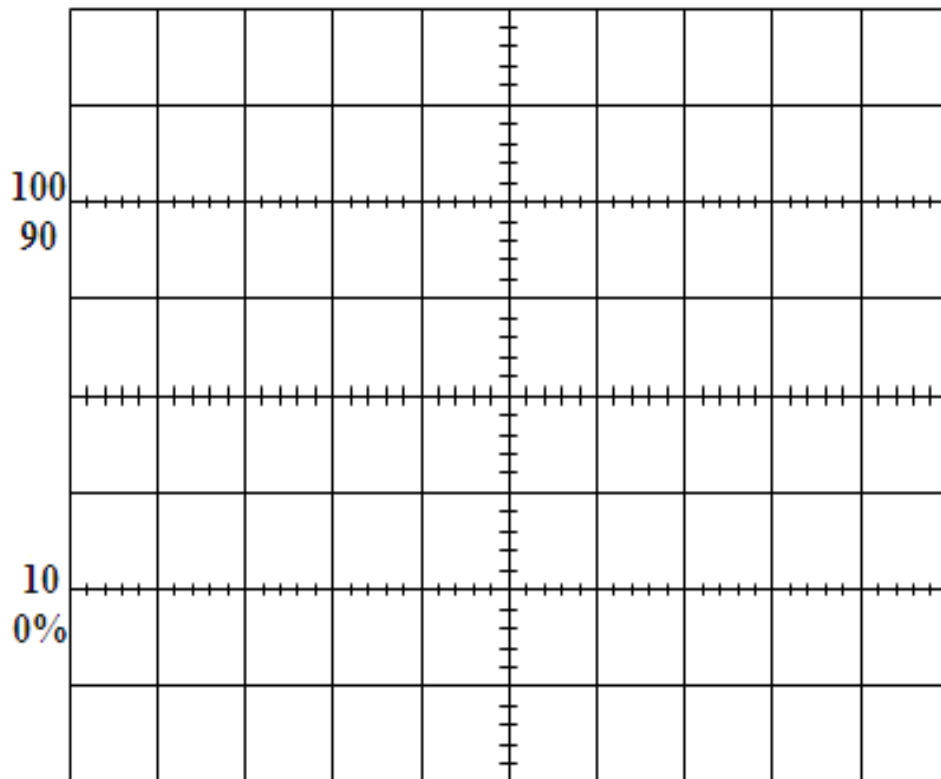
Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.66

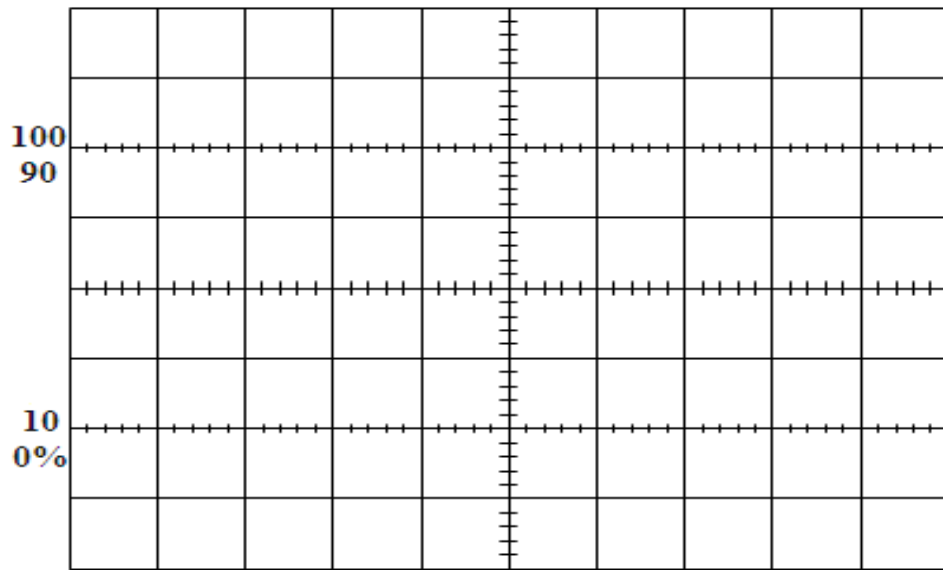
Đo và vẽ V_- (kênh 1) & V_+ (kênh 2) khi VR ở vị trí X vào hình 2.67

- Time/Div:

- Time /Div

- Volts/Div:

- Volts/Div



Hình 2.67

- Tính tần số điện áp ngõ ra theo hình 2.67.

.....

.....

.....

.....

- Tính tần số điện áp ngõ ra theo lý thuyết.

.....

.....

.....

.....

- So sánh kết quả của hai lần tính trên.

.....

.....

.....

.....

.....

.....

- Đo và vẽ V- (kênh 1) & Vo(kênh 2) khi V_R ở vị trí Y vào hình 2.68

Kênh 1:

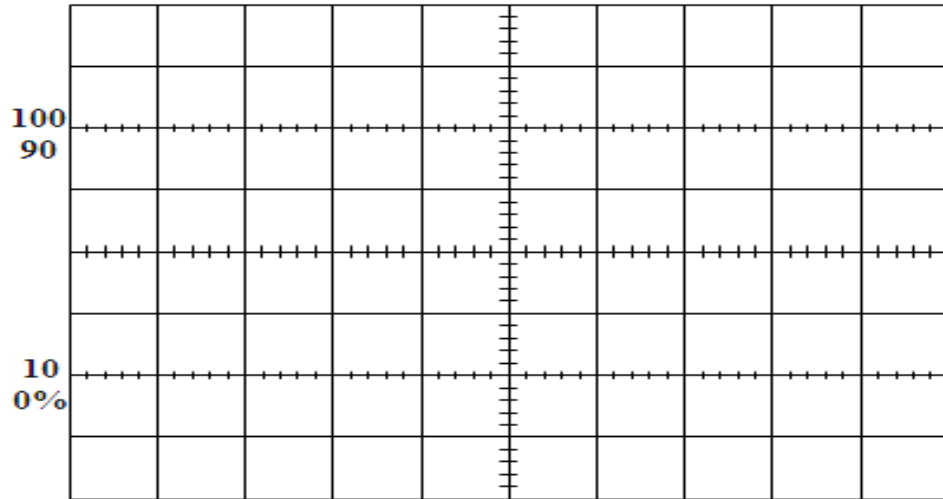
Kênh 2:

- Time/Div:

- Time /Div

- Volts/Div:

- Volts/Div



Hình 2.68

- Đo và vẽ V_- (kênh 1) & V_+ (kênh 2) khi V_R ở vị trí Y vào hình 2.69

Kênh 1:

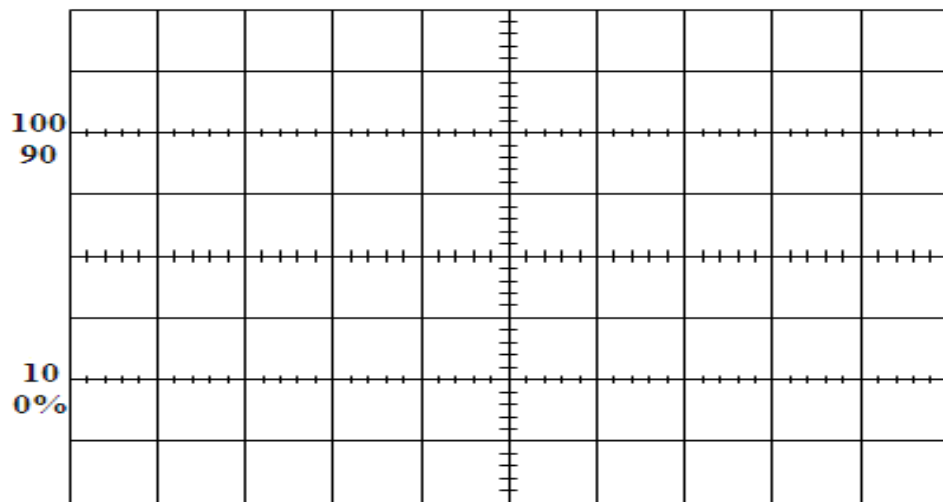
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.69

- Tính tần số điện áp ngõ ra theo hình 2.69.

.....

- Tính tần số điện áp ngõ ra theo lý thuyết.

.....

- So sánh kết quả của hai lần tính trên.

.....

.....

.....

- Nhận xét sự phụ thuộc điện áp ngõ ra theo vị trí của biến trở? Tại sao?

.....

.....

.....

❖ Nhận xét:

1/. Tần số dao động của mạch phụ thuộc vào yếu tố nào? Tại sao?

.....

.....

.....

2/. Tại sao mạch được gọi là mạch bất ổn?

.....

.....

.....

3/. Trình bày nguyên lý hoạt động của mạch?

.....

.....

.....

4/. Phân biệt sự khác nhau của các mạch trong các lần đo? Giải thích?

.....

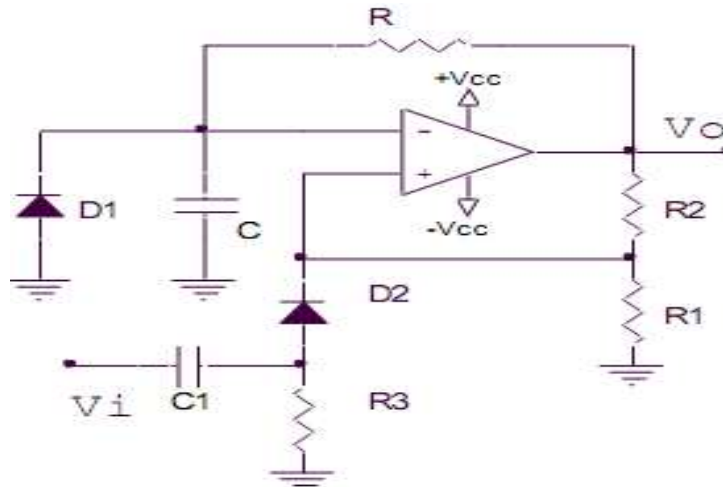
.....

.....

6. Mạch đơn ổn

❖ Lần 1:

Hãy ráp mạch như hình 2.70 với $R_1 = R_2 = 10K\Omega$; $\pm V_{cc} = \pm 12V$; $R = 4,7K\Omega$; $C = 0,1\mu F$; $R_3 = 330\Omega$; $C_1 = 0,1\mu F$.



Hình 2.70

Điều chỉnh nguồn tín hiệu là xung vuông đơn cực có biên độ là 5V, tần số 500Hz, cấp vào VI.

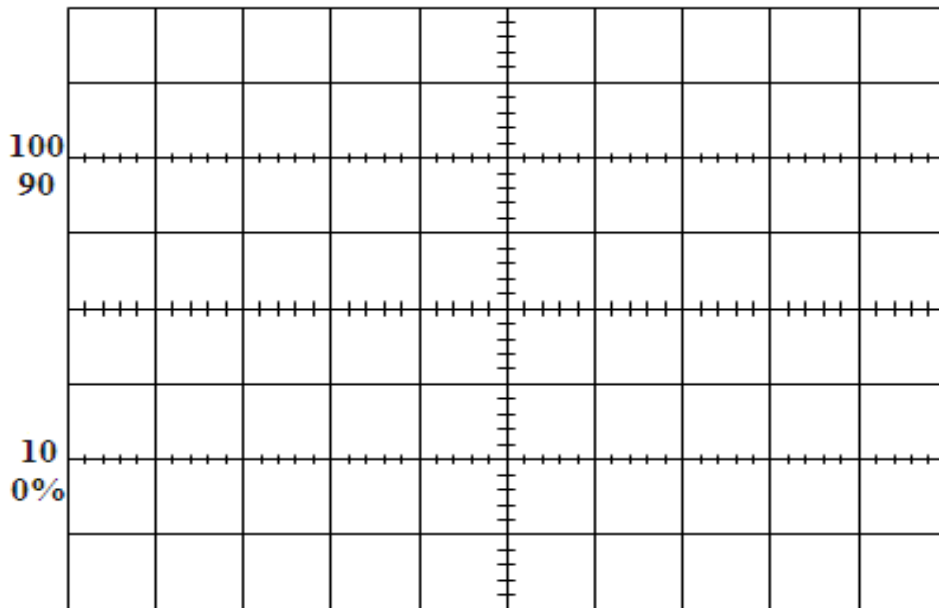
Đo và vẽ V- (kênh 1) & V_O (kênh 2) hình 2.71

Kênh 1:

- Time/Div:
- Volts/Div:

Kênh 2:

- Time /Div
- Volts/Div



Hình 2.71

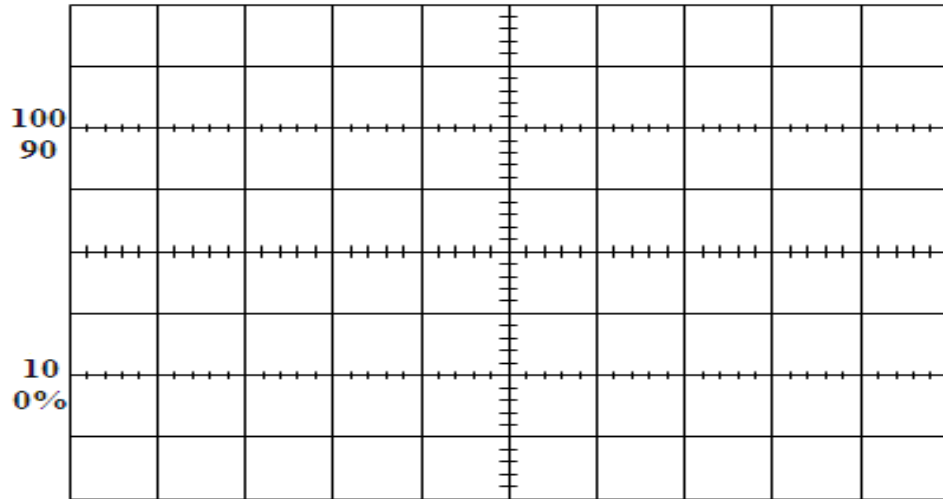
Đo và vẽ V-(kênh 1) & V+(kênh 2) vào hình 2.72

Kênh 1:

- Time/Div:
- Volts/Div:

Kênh 2:

- Time /Div
- Volts/Div



Hình 2.72

❖ Lần 2:

Thực hiện như lần 1 nhưng thay $R_1=10K\Omega$, $R_2=33K\Omega$.

Đo và vẽ V_- (kênh 1) & V_o (kênh 2) vào hình 2.73

Kênh 1:

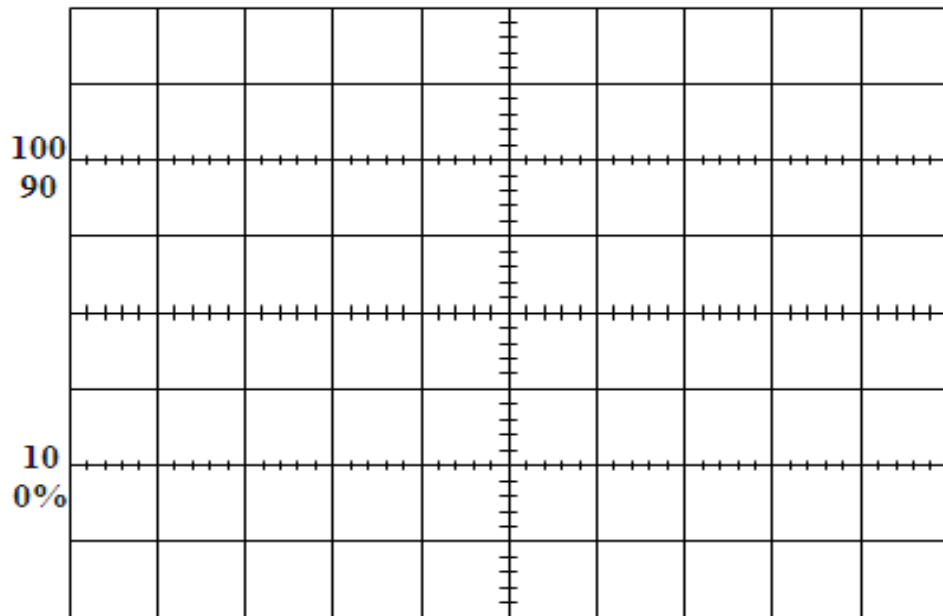
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.73

Đo và vẽ V_- (kênh 1) & V_+ (kênh 2) vào hình 2.74

Kênh 1:

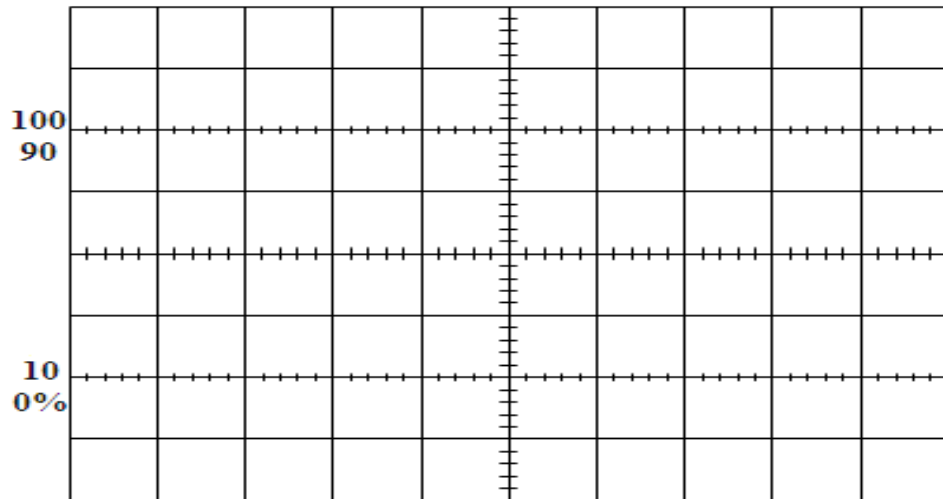
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

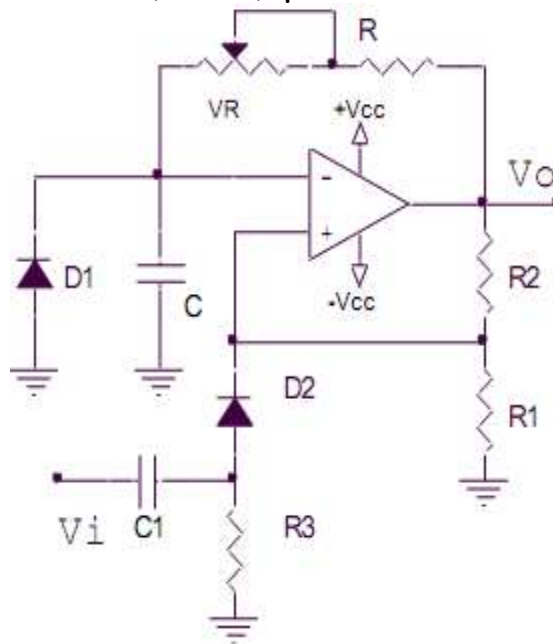
- Volts/Div



Hình 2.74

❖ Lần 3:

Hãy ráp mạch như hình 2.75, với $R_1=R_2=10\text{K}\Omega$; $\pm V_{cc} = \pm 12\text{V}$; $R=2,2\text{K}\Omega$; $C=0,1\mu\text{F}$; $V_R = 2\text{K}\Omega$, $R_3= 330\Omega$; $C_1=0,1\mu\text{F}$.



Hình 2.75

Điều chỉnh nguồn tín hiệu là xung - vuông đơn cực có biên độ là 5V, tần số 200Hz, cấp vào V_i .

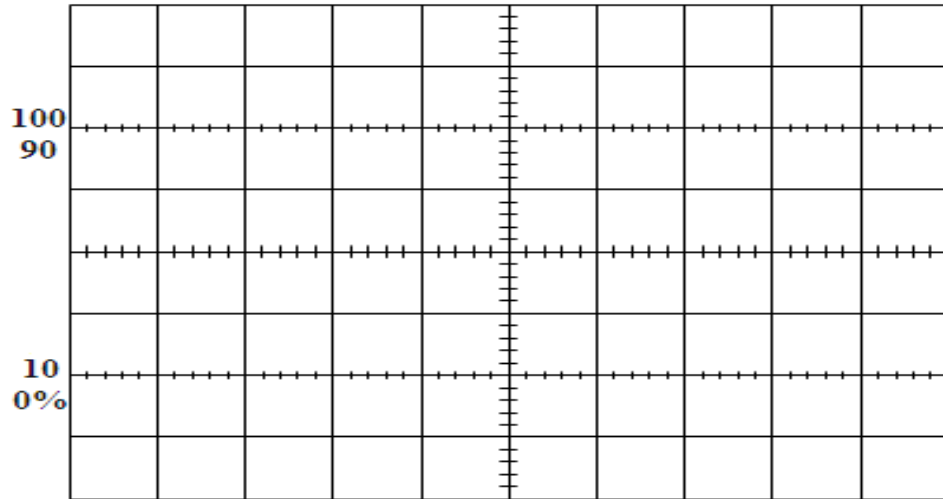
Đo và vẽ V_- (kênh 1) & V_o (kênh 2) khi V_R ở giá trị bé nhất vào hình 2.76.

Kênh 1:

- Time/Div:
- Volts/Div:

Kênh 2:

- Time /Div
- Volts/Div



Hình 2.76

Đo và vẽ V- (kênh 1) & V+ (kênh 2) khi VR ở giá trị bé nhất vào hình 2.77.

Kênh 1:

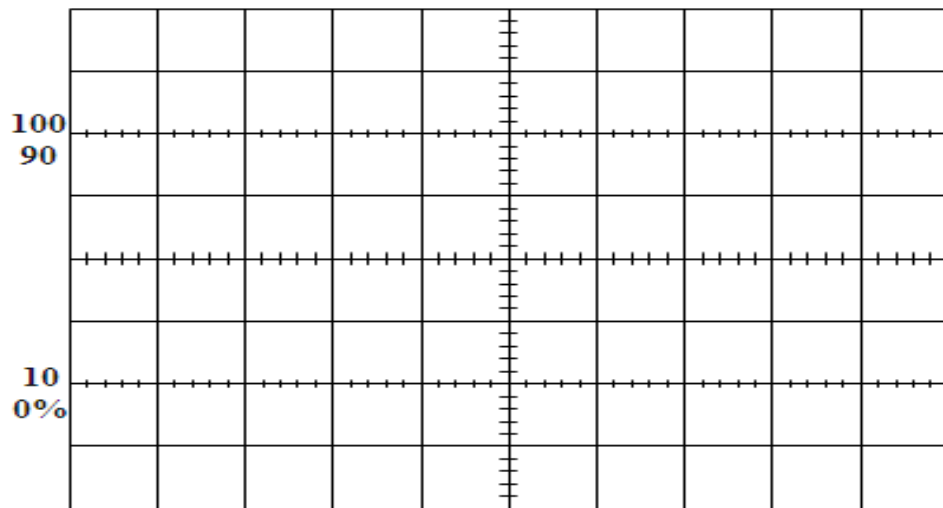
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.77

- Tính tần số điện áp ngõ ra theo hình 2.77.

.....

- Tính độ rộng xung theo hình H5 và theo lý thuyết. So sánh kết quả.

.....

.....
 - Đo và vẽ V- (kênh 1) & Vo(kênh 2) khi VR ở giá trị lớn nhất vào hình 2.78

Kênh 1:

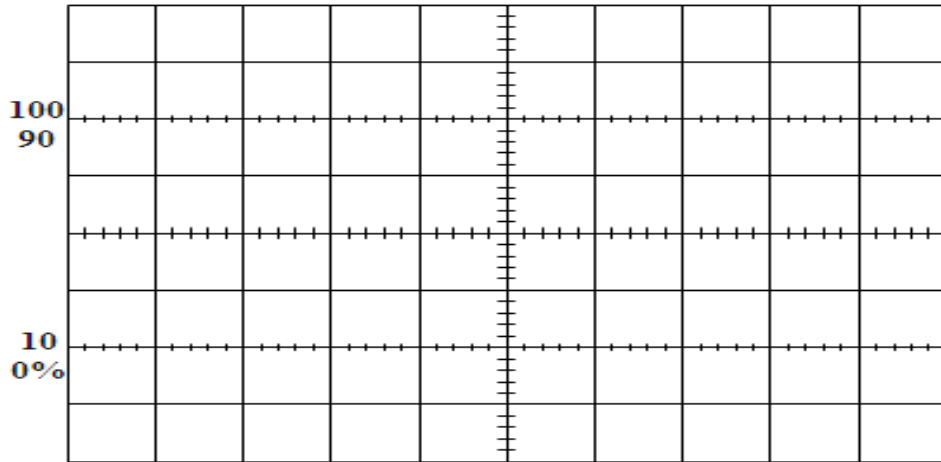
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.78

Đo và vẽ V- (kênh 1) & V+ (kênh 2) khi VR ở giá trị lớn nhất vào hình 2.79

Kênh 1:

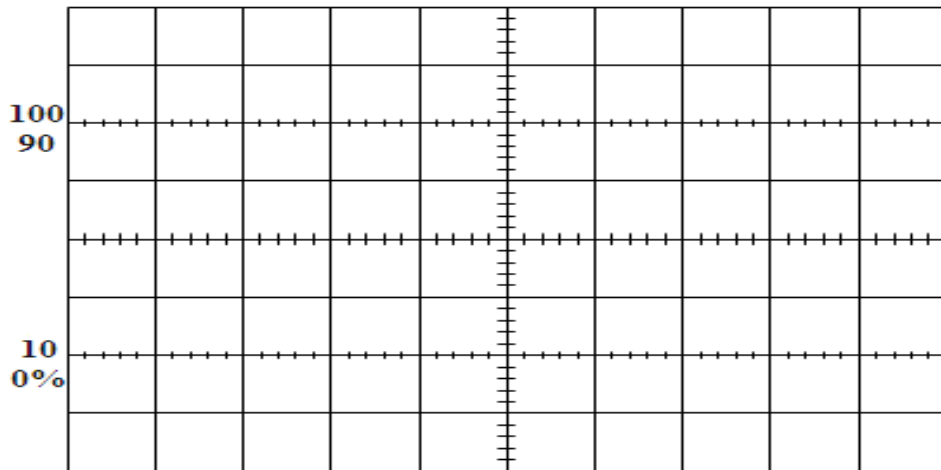
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 2.79

- Tính tần số điện áp ngõ ra theo hình 2.79

.....

- Tính độ rộng xung theo hình 2.79 và theo lý thuyết. So sánh kết quả.

.....

.....

.....

.....

- Nhận xét sự phụ thuộc điện áp ngõ ra theo vị trí của biến trở? Tại sao?

.....

.....

.....

❖ Nhận xét:

1/. Tần số dao động của mạch phụ thuộc vào yếu tố nào? Tại sao?

.....

.....

.....

.....

2/. Thời gian OpAmp làm việc ở vùng bão hòa dương phụ thuộc vào yếu tố nào? Thời gian OpAmp làm việc ở vùng bão hòa âm phụ thuộc vào yếu tố nào? Tại sao?

.....

.....

.....

.....

3/. Trình bày nguyên lý hoạt động của mạch?

.....

.....

.....

.....

4/. Phân biệt sự khác nhau của các mạch trong các lần đo? Giải thích?

.....

.....

.....

➤ YÊU CẦU VỀ ĐÁNH GIÁ KẾT QUẢ HỌC TẬP BÀI 2

+ Nội dung:

+ Về kiến thức: Trình bày được khái niệm, phân biệt sự khác nhau của các mạch đa hài bất ổn - đơn ổn – lưỡng ổn, mạch schmitt trigger, ...

+ Về kỹ năng: sử dụng thành thạo các dụng cụ đo để đo được các hình dạng, biên độ, tần số của mạch đa hài và schmitt trigger một cách chính xác.

+ Về thái độ: Đảm bảo an toàn và vệ sinh công nghiệp.

+ Phương pháp:

+ Về kiến thức: Được đánh giá bằng hình thức kiểm tra viết, trắc nghiệm.

+ Về kỹ năng: Đánh giá kỹ năng thực hiện đo được các thông số trong mạch điện theo yêu cầu của bài.

+ Thái độ: Tỉ mỉ, cẩn thận, chính xác, ngăn nắp trong công việc.

BÀI 3

MẠCH HẠN CHẾ BIÊN ĐỘ VÀ GHIM ĐIỆN ÁP

Mã Bài:MD28 - 03

Giới thiệu

Trong hệ thống tuyến tính, khi một tín hiệu dạng sin tác động ở ngõ vào, ngõ ra không bị biến dạng. Ở những hệ thống này, các linh kiện được dùng là những phần tử tuyến tính. Đối với những phần tử không tuyến tính (phi tuyến) đặc tuyến Volt-Ampere không là đường thẳng. Đặc tính không tuyến tính được áp dụng trong việc biến đổi dạng sóng ngõ vào. Dạng sóng này rất hữu dụng trong những ứng dụng kỹ thuật xung.

Một dạng mạch được khảo sát trong chương này mà dạng sóng ra không tuyến tính gọi là mạch hạn chế biên độ. Mạch hạn chế biên độ cũng được xem tương đương như một mạch hạn chế biên độ, mạch chọn điện áp, hay mạch chọn biên độ.

Mạch định mức DC của tín hiệu AC đạt đến một mức xác định, mà không bị biến dạng sóng gọi là mạch ghim điện áp. Mạch ghim điện áp được dựa trên cơ sở như một mạch phục hồi thành phần điện áp DC. Nó dùng để ổn định nền hoặc đỉnh của tín hiệu xung ở một mức xác định nào đó bằng hoặc khác không. Như vậy mạch sẽ ghim tín hiệu ở những mức DC khác nhau.

Mục tiêu:

- Trình bày được cấu tạo, nguyên lý hoạt động các mạch hạn chế biên độ và ghim áp.
- Nêu được các ứng dụng của mạch hạn chế biên độ và ghim áp trong kỹ thuật.
- Lắp ráp, sửa chữa, đo kiểm được các mạch hạn chế biên độ và ghim áp đúng yêu cầu kỹ thuật.
- Rèn luyện tính tư duy, tác phong công nghiệp.

1. Mạch hạn biên

- *Mục tiêu: Trình bày được khái niệm, nêu và phân biệt sự khác nhau của mạch hạn chế biên độ âm khi mạch phân cực thuận nghịch, tác động của điện dung và transistor lên mạch hạn biên.*

1.1. Khái niệm

Trong hệ thống tuyến tính, khi một tín hiệu dạng sin tác động ở ngõ vào, ngõ ra không bị biến dạng. Ở những hệ thống này, các linh kiện được dùng là những phần tử tuyến tính. Đối với những phần tử không tuyến tính

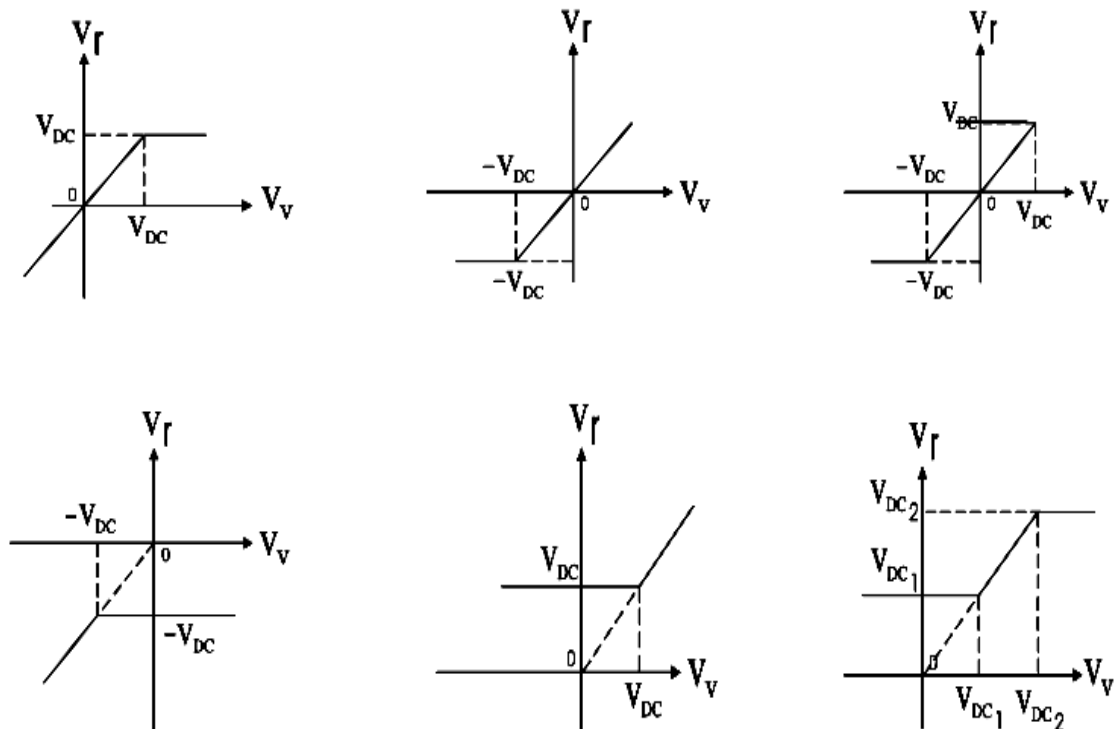
(phi tuyến) đặc tuyến Volt-Ampere không là đường thẳng. Đặc tính không tuyến tính được áp dụng trong việc biến đổi dạng sóng ngõ vào. Dạng sóng này rất hữu dụng trong những ứng dụng kỹ thuật xung.

Mạch hạn chế biên độ là mạch mà tín hiệu đầu ra lặp lại tín hiệu đầu vào khi điện áp đầu vào chưa vượt qua một giá trị nào đó gọi là ngưỡng của mạch hạn chế, còn ngược lại điện áp đầu ra sẽ giữ nguyên một giá trị không đổi khi điện áp đầu vào vượt ra ngoài ngưỡng hạn chế của mạch. Giá trị không đổi đó gọi là mức hạn chế.

Một mạch hạn chế biên độ được định nghĩa như một mạch hạn chế biên độ điện áp bởi sự cắt bỏ những thành phần không cần thiết của dạng sóng ngõ vào. Sự cắt bỏ này có thể thực hiện bên trên hoặc bên dưới của tín hiệu ngõ vào một mức nào đó.

Mạch hạn chế biên độ là một mạng hai cửa, có đường đặc tính là những đường gãy lý tưởng, có một đường nghiêng đi qua hoặc không đi qua gốc tọa độ, một hay hai đường nằm ngang có nhiệm vụ loại bỏ những thành phần không cần thiết của tín hiệu ngõ vào. Ngõ ra quan hệ với ngõ vào theo phương trình: $v_r = f(v_v)$.

Các dạng đặc tuyến vào –ra có thể có (hình 3.1).



Hình 3.1

Về thực chất mạch hạn chế biên độ đóng vai trò như một chuyển mạch điện tử (switching). Nếu như khóa mắc nối tiếp với tải thì tín hiệu sẽ đi qua khi khóa đóng và bị chặn lại khi khóa mở, tức là đóng vai trò của một phần tử phi tuyến. Để thực hiện yêu cầu đó, người ta dùng các phần tử không tuyến tính như: Diode, Transistor, Op-amp.... Riêng mạch hạn chế dùng Transistor và Op-amp, ngoài nhiệm vụ cắt bỏ những thành phần không cần thiết còn khuếch đại tín hiệu, nên còn gọi là mạch hạn chế khuếch đại.

Những yêu cầu của mạch hạn chế biên độ là độ sắc khi cắt, độ ổn định của ngưỡng. Điều này phụ thuộc vào những phần tử phi tuyến được sử dụng.

1.2. Mạch hạn chế biên độ dùng Diode

Theo cách mắc của Diode, chia mạch hạn chế biên độ dùng Diode thành hai loại song song và nối tiếp.

- Mạch hạn chế nối tiếp có Diode được mắc nối tiếp với tải.
- Mạch hạn chế song song có Diode được nối song song với tải.

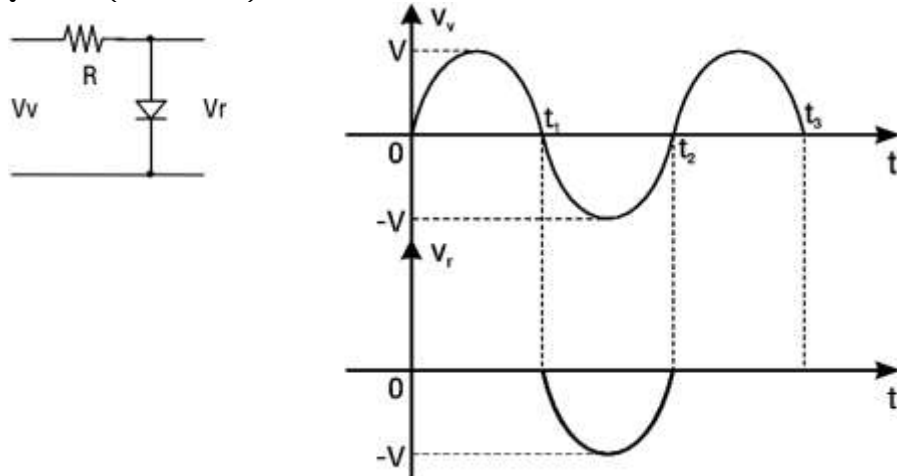
Theo chức năng, mạch hạn chế biên độ nối tiếp và song song được chia thành hai loại hạn chế biên độ âm, hạn chế biên độ dương và mạch hạn chế biên độ hai phía.

- Hạn chế biên độ âm là cắt bỏ thành phần âm của dạng sóng tín hiệu vào và chỉ giữ lại thành phần dương.
- Hạn chế biên độ dương là cắt bỏ thành phần dương của dạng sóng tín hiệu vào và chỉ giữ lại phần âm

Hạn chế biên độ hai phía là cắt bỏ cả thành phần âm và thành phần dương của tín hiệu vào một mức nào đó.

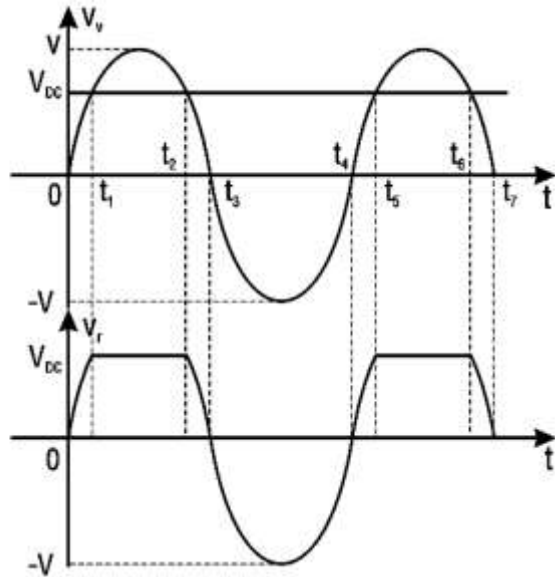
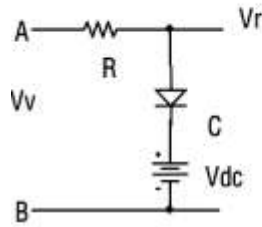
1.2.1. Mạch hạn chế biên độ dương.

- **Dạng mạch 1** (hình 3.2):



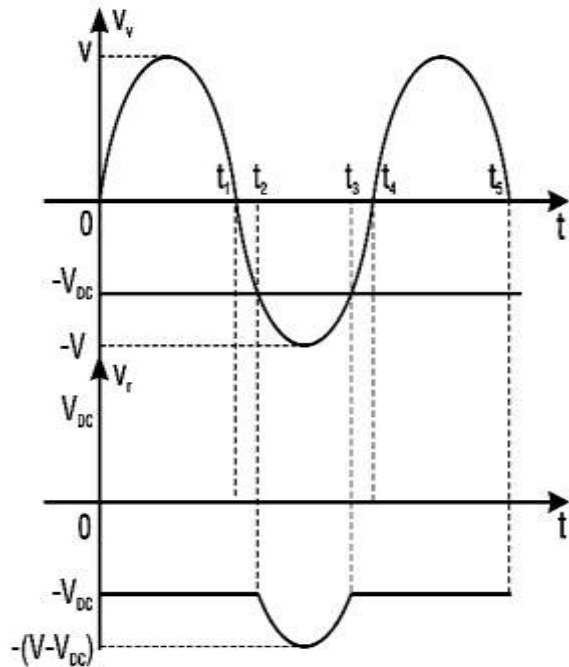
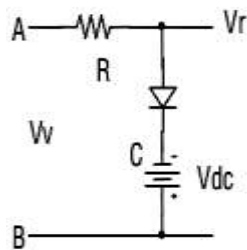
Hình 3.2

• **Dạng mạch 2** (hình 3.3)



Hình 3.3 Ngưỡng hạn chế biên độ $V_{DC} = V$

• **Dạng mạch 3** (hình 3.4)



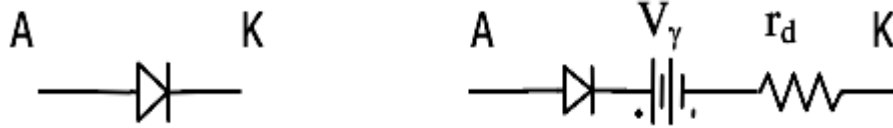
Hình 3.4

1.2.2. Mạch hạn chế biên độ Âm

Xét tín hiệu ngõ vào là dạng sóng sin có biên độ max là $\pm V$

Dạng mạch 1

Đối với Diode thực tế, khi phân cực thuận thì có dạng tương đương như hình 3.5:



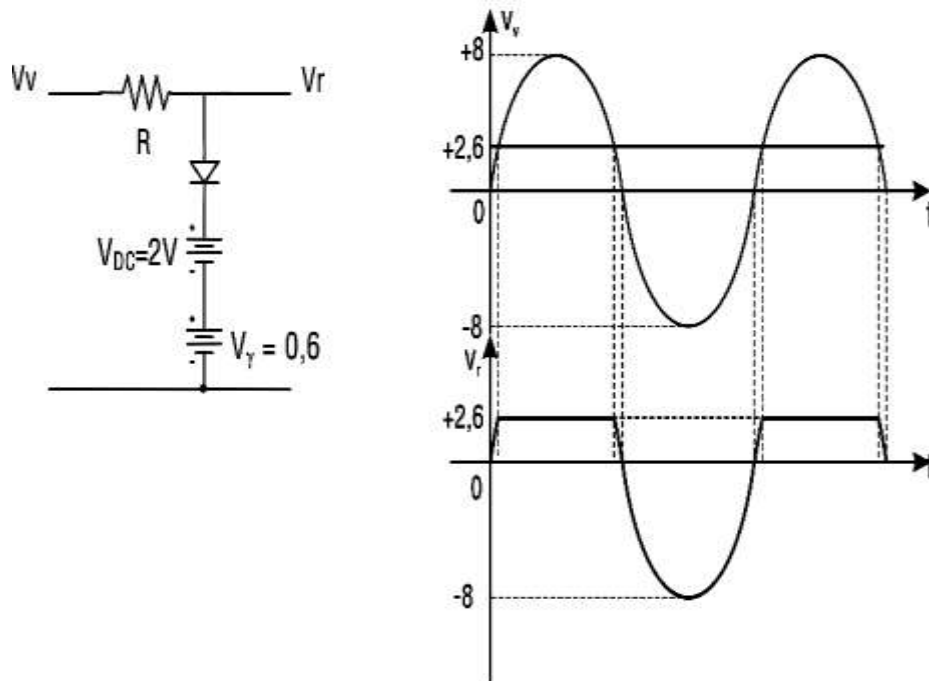
Hình 3.5

- Xét V_γ

Khi V_γ so sánh được với V_V , nhất là với V_{DC} , thì ta phải kể V_γ vào mạch. Trường hợp này thường là mạch sử dụng Diode loại Si, có $v_\gamma = 0,6V$, và nguồn V_{DC} bé.

Khi $V_{DC} \gg V_\gamma$, thì ta có thể bỏ qua V_γ

Ta xét dạng mạch mà trong đó V_γ so sánh được với V_{DC} hình 3.6



Hình 3.6

Đây là dạng mạch hạn chế biên độ song song, có $V_v = 8 \sin \omega t$

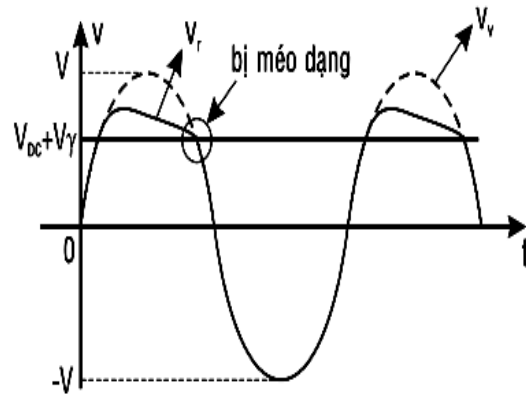
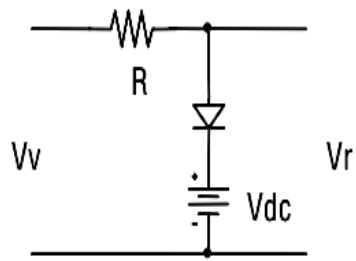
Nếu $V_v > V_\gamma + V_{DC} = 2,6 (V)$, thì Diode dẫn, tín hiệu vào được truyền đến ngõ ra, lúc này ta có $V_R = V_{DC} + V_\gamma = 2,6 (V)$. Nếu $v_v < V_\gamma + V_{DC} = 2,6(v)$, thì Diode ngưng dẫn, do đó $V_r = V_v = 8 \sin \omega t$.

- Xét r_d

Khi D dẫn thì tồn tại điện trở thuận r_d (điện trở động), r_d so sánh được với R (điện trở tải), lúc đó tín hiệu ra sẽ bị méo không còn sắc sảo nữa.

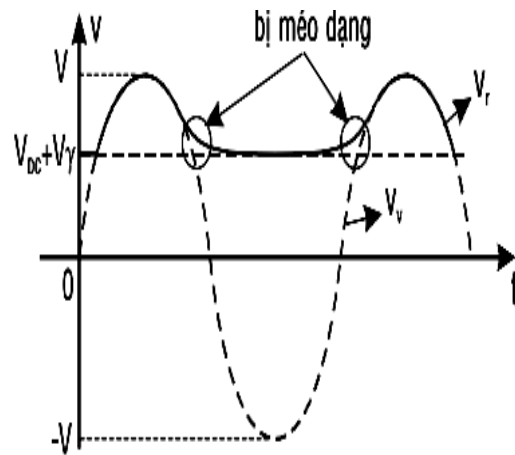
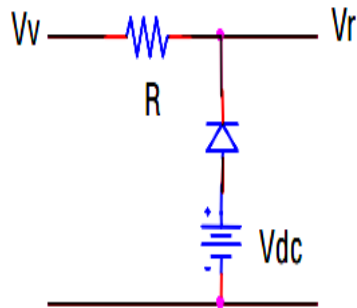
❖ Các dạng méo có thể gặp như sau:

Trường hợp a, hình 3.7



Hình 3.7

Trường hợp b, hình 3.8

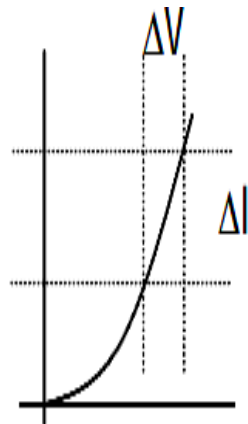
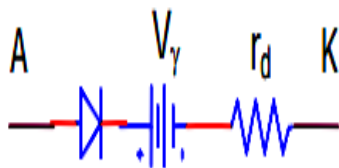


Hình 3.8

- Chứng minh

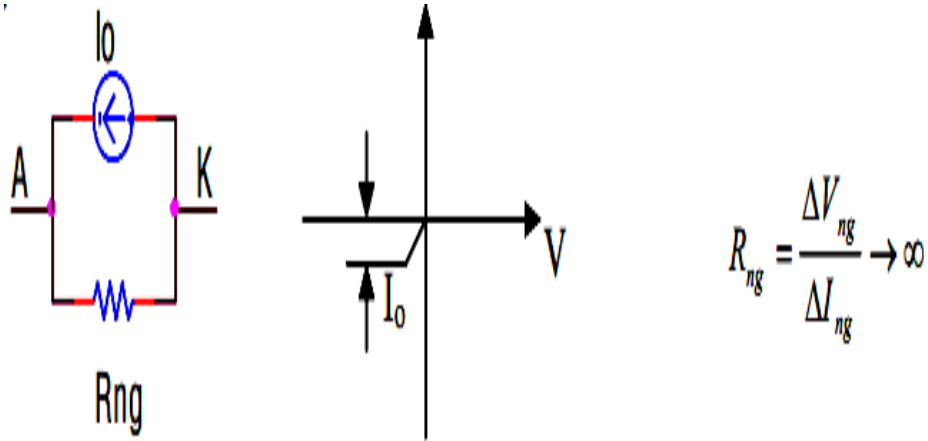
Xét **trường hợp a** hình 3.7, mạch tương đương của diode D khi D là Diode thực tế.

Phân cực thuận, hình 3.9



$$r_d = \frac{\Delta V}{\Delta I}$$

Hình 3.9

Phân cực nghịch, Hình 3.10

Hình 3.10

Giả sử $R_{ng} \rightarrow \infty$ hay $R_{ng} \gg R$ (điều này phù hợp với thực tế nhất là khi diode là loại Si)

+ Khi $V_v < V_{DC} + V_\gamma$, diode phân cực nghịch, D tắt $\Rightarrow V_r = V_v$ hay $\frac{V_r}{V_v} = 1$

+ Khi $V_v \geq V_{DC} + V_\gamma$, D phân cực thuận $\Rightarrow$ D dẫn.

Lúc này $V_m = V_{DC} + V_\gamma + V_{rd}$.

Ta có: $V_{rd} = i \cdot r_d$ (*)

$$\text{Mà } i = \frac{v_v - (V_{DC} + V_\gamma)}{R + r_d} = v_v \cdot \frac{1}{R + r_d} - (V_{DC} + V_\gamma) \cdot \frac{1}{R + r_d}$$

$$\text{Phương trình (*) } \Rightarrow v_{ra} = v_v \cdot \frac{r_d}{R + r_d} - (V_{DC} + V_\gamma) \cdot \frac{1}{R + r_d} + (V_{DC} + V_\gamma)$$

$$\Rightarrow v_{ra} = v_v \cdot \frac{r_d}{R + r_d} + (V_{DC} + V_\gamma) \cdot \left(1 - \frac{r_d}{R + r_d}\right)$$

$$\Rightarrow v_{ra} = v_v \cdot \frac{r_d}{R + r_d} + (V_{DC} + V_\gamma) \cdot \left(\frac{R}{R + r_d}\right)$$

- Nếu $r_d \ll R$ (ví dụ: $r_d = 5 \Omega$, $R = 1M$), thì $\left(\frac{R}{R + r_d}\right) \rightarrow 1$ thì quan hệ

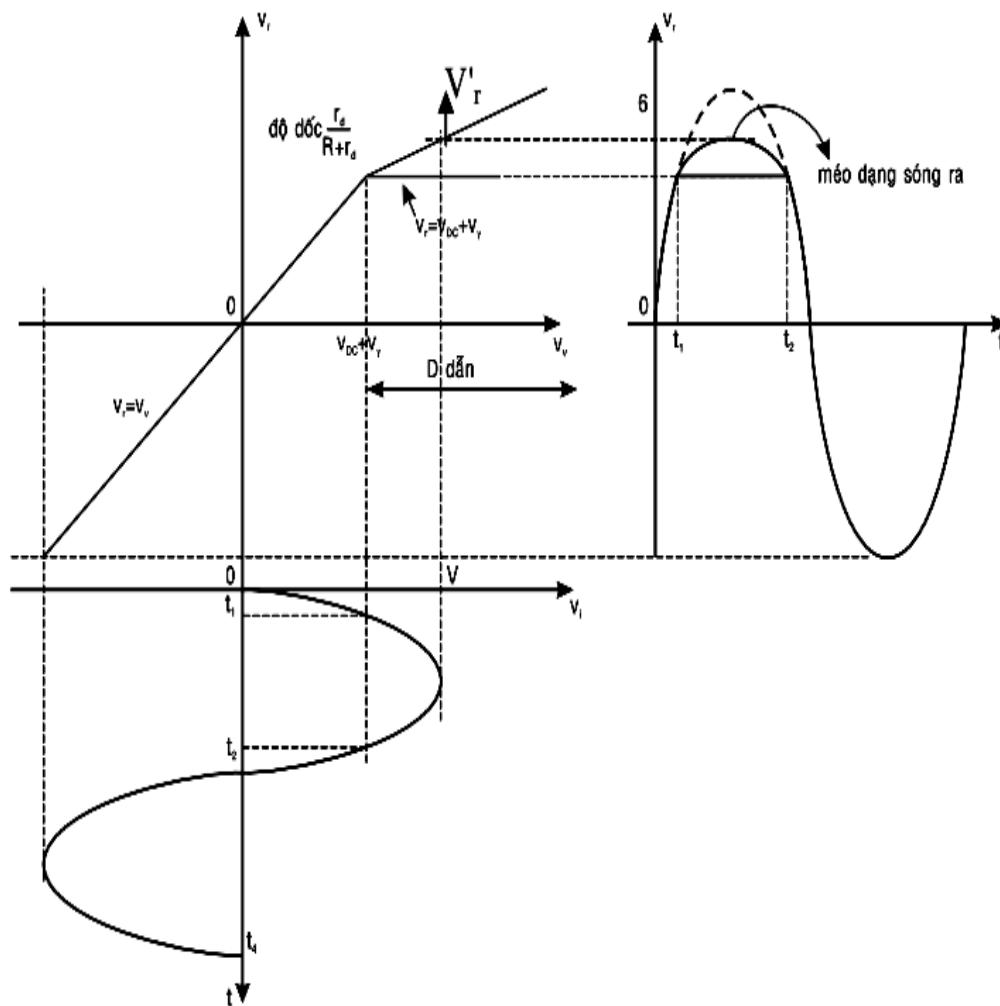
giữa điện áp ra và điện áp vào là:

$$v_{ra} = v_v + V_{DC} + V_\gamma, \text{ nếu } R \text{ lớn thì } \left(\frac{1}{R}\right) \rightarrow 0, \text{ do đó } V_R = V_{DC} + V_\gamma$$

- Nếu r_d có thể so sánh với R (VD $r_d = 5\Omega$, $R=10\Omega$) thì quan hệ vào - ra như hình 3.11.

$$v_{ra} = v_v \cdot \frac{r_d}{R+r_d} + (V_{DC} + V_\gamma) \cdot \left(\frac{R}{R+r_d} \right) = V'_r$$

Độ dốc : $\frac{r_d}{R+r_d}$



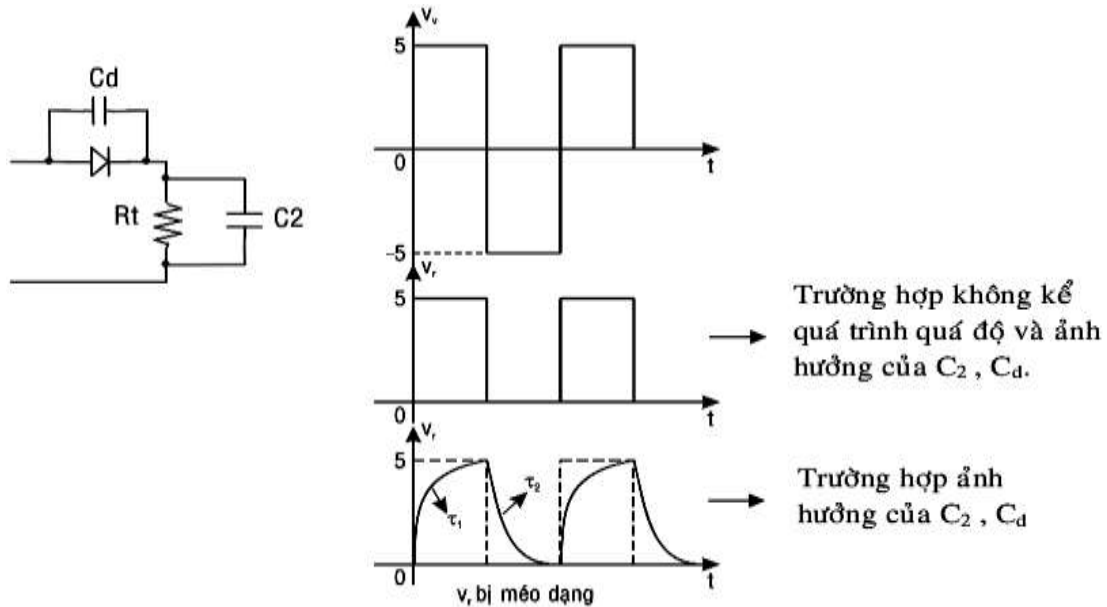
Hình 3.11

1.2.3. Ảnh Hưởng Của Điện Dung Liên Cực C_d

Giữa hai cực của Diode tồn tại một điện dung liên cực. Điện dung này cũng làm dạng sóng ra bị méo.

Chúng ta khảo sát sự ảnh hưởng của tụ C_d đến dạng sóng ngõ ra.

Xét dạng mạch như hình 3.12



Hình 3.12

Giải thích hoạt động:

Khi $V_v = 5(\text{V})$ thì D phân cực thuận, D dẫn, do đó tụ C_d và C_2 được nạp với thời hằng nạp là $t_1 = r_d (C_d + C_2)$.

Khi $v_v = -5(\text{V})$ thì D ngưng dẫn $\Rightarrow$ tụ C_2 xả qua R với thời hằng là $t_2 = RC_2$, mà $t_1 < t_2$ (vì $R \gg r_d$), thời gian xả hết lâu hơn so với thời gian nạp đầy.

1.3. Mạch hạn biên dùng Transistor

Transistor là linh kiện phi tuyến và có thể được dùng cho mạch hạn chế biên độ. Điều này xảy ra khi transistor đi từ vùng tắt vào trong vùng tích cực hoặc khi transistor đi từ vùng tích cực đến vùng bão hòa. Như vậy, nếu tín hiệu ngõ vào thay đổi làm cho một trong hai quá trình này xảy ra, ngõ ra sẽ bị hạn biên. Vì ta mong muốn điện áp ngõ ra của phần không bị hạn chế biên độ sẽ giữ nguyên dạng của tín hiệu vào nên ta cần có dòng ngõ vào (không phải điện áp ngõ vào) sẽ có hình dạng của tín hiệu. Lý do là vì trong vùng tích cực, dòng điện có độ thay đổi tuyến tính hơn là điện áp. Do đó, trong các mạch hạn chế biên độ dùng transistor cũng như trong các mạch transistor tín hiệu lớn khác, ta sẽ sử dụng mạch lái dòng. Điện trở R, thường biểu diễn nội trở nguồn hoặc một điện trở cần phải có trong mạch, phải lớn khi so sánh với điện trở ngõ vào của transistor trong vùng tích cực. Dưới các điều kiện này, dòng ngõ vào sẽ có hình dạng rất giống với điện áp ngõ vào như công thức dưới đây.

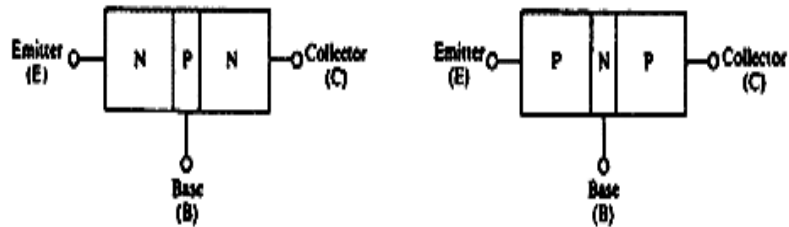
$$i_B = \frac{(v_i - V_\gamma)}{R}.$$

Khi BJT được tạo nên bằng cách đặt bán dẫn loại P giữa hai bán dẫn loại N như hình 3.13(a), nó được gọi là BJT loại NPN. Ngược lại, hình 3.13(b) cho thấy cấu trúc của BJT loại PNP.



Hình 3.13. Cấu trúc transistor NPN và PNP

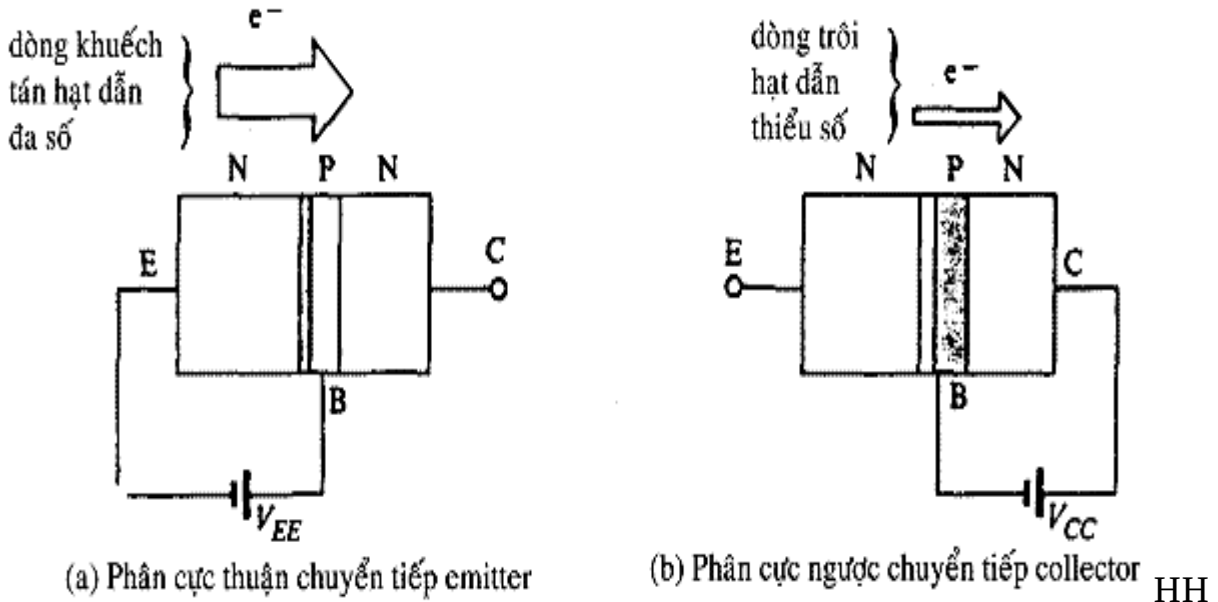
Vùng bán dẫn nằm giữa được gọi là miền nền (base). Hai vùng hai bên, một vùng được gọi là miền phát (emitter) và một vùng được gọi là miền thu (collector). Ở các phần sau ta sẽ dùng cả thuật ngữ tiếng Việt hoặc tiếng Anh để chỉ các cực và các miền của transistor. Thông thường, trong các BJT rời, các miền này được gắn với các chân linh kiện nổi ra bên ngoài để có thể thực hiện các kết nối với mạch ngoài. Các BJT trong các mạch tích hợp có thể không có các chân kết nối này. Các chân linh kiện được đặt theo tên của miền mà nó kết nối vào. Hình 3.14 trình bày các chân linh kiện được kết nối với các vùng trong BJT.



Hình 3.14: Các cực base, emitter, collector của transistor NPN và PNP

Trong thực tế, BJT được chế tạo với miền nền rất hẹp và mật độ hạt dẫn trong nó cũng rất thấp do nó được kích thích với rất ít tạp chất. Cả hai đặc điểm này đều rất quan trọng đối với một transistor.

Vì cả hai loại BJT này đều có đặc tính giống nhau do đó ta chỉ xem xét trên loại NPN. Các tính chất cả loại PNP có thể suy ra từ NPN bằng cách thay đổi loại hạt dẫn, cực tính của điện áp cũng như chiều dòng điện như ta sẽ thấy trong phần sau. Để BJT có thể hoạt động bình thường trong chế độ khuếch đại, cần phải phân cực cả hai chuyển tiếp của BJT. Chuyển tiếp giữa miền nền và miền phát phải phân cực thuận và chuyển tiếp giữa miền nền và miền thu phải phân cực ngược. Hình 3.15 trình bày cách thức phân cực cho cả hai chuyển tiếp.

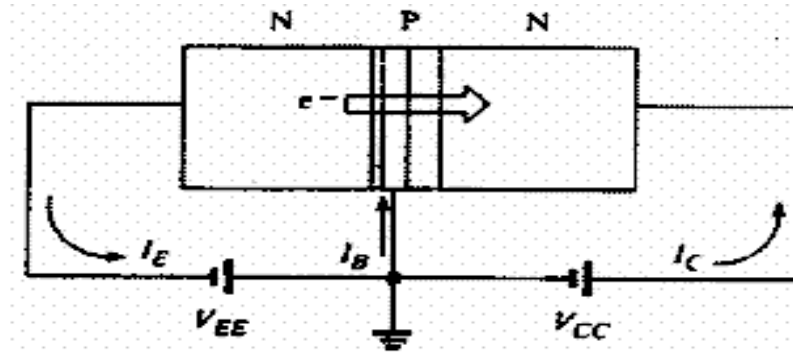


Hình 3.15. Phân cực chuyển tiếp PNP trong transistor NPN

Ta có thể thấy là trong hình 3.15(a), chuyển tiếp được phân cực thuận bởi nguồn áp. Khi chuyển tiếp này được phân cực thuận, dòng khuếch tán của các electron tự do sẽ được “phát” đi từ miền phát emitter, bề rộng vùng nghèo thu hẹp. Ta đã biết đến điều này khi xét phân cực của một chuyển tiếp trong chương 2. Ta nói rằng hạt dẫn được phun (injected) từ emitter vào miền nền base. Thật ra khi được phân cực thuận, còn có dòng lỗ trống đi từ base sang emitter, tuy nhiên như ta đã đề cập ở phần trên, vì mật độ hạt dẫn trong miền nền rất thấp nên ta có thể bỏ qua dòng này so với dòng electron tự do phát đi từ emitter.

Hình 3.15(b) trình bày phân cực ngược chuyển tiếp được thực hiện bằng nguồn. Kết quả của phân cực ngược là bề rộng vùng nghèo mở rộng, dòng điện chỉ có thể đi từ miền nền base sang miền thu collector vì là dòng của các hạt dẫn thiểu số. Tuy nhiên, như phân tích ở phần trên, các electron tự do được phun vào miền nền sẽ trở thành hạt dẫn thiểu số, các electron này sẽ tiếp tục trôi sang miền thu collector dưới tác dụng của phân cực ngược.

Hình 3.16 cho thấy transistor NPN khi được phân cực đồng thời cả hai chuyển tiếp. Chú ý là miền nền base được nối đất, tức là điểm có điện thế được quy ước là 0 volts. Miền phát emitter âm so với miền nền base và miền thu collector dương so với miền nền base. Đây là điều kiện cần thiết để phân cực thuận j_E và phân cực ngược j_C .

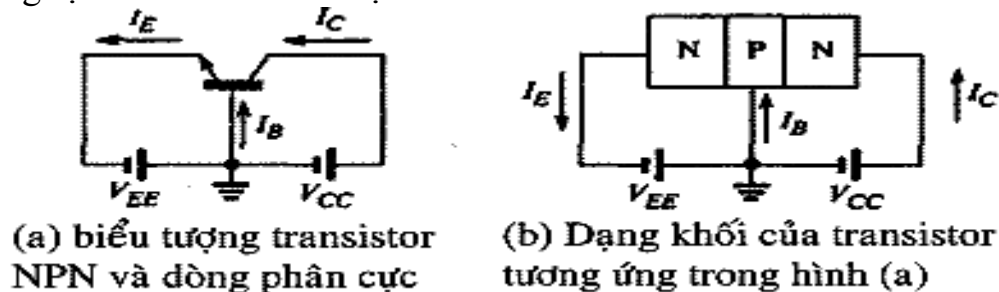


Hình 3.16. Transistor NPN khi có tác dụng phân cực.

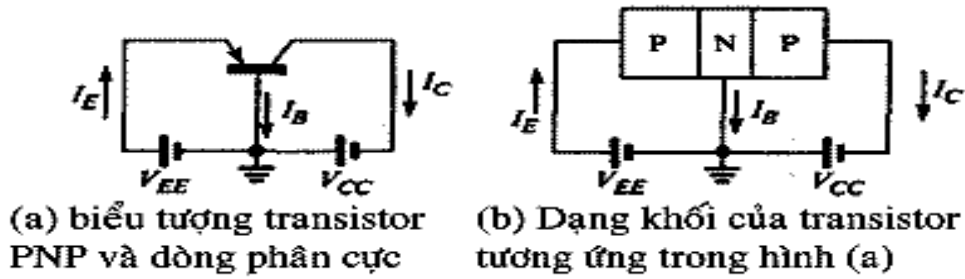
Vì miền nền hẹp và mật độ hạt dẫn rất thấp do đó rất ít electron bị tái hợp trong miền này. Các electron này sẽ khuếch tán sang miền thu dưới tác dụng của phân cực ngược j_C . Chúng ta kết luận là dòng electron là dòng chi phối trong transistor NPN. Đối với transistor PNP, dòng lỗ trống sẽ là dòng chi phối chủ yếu.

Trong thực tế, mặc dù mật độ lỗ trống trong miền nền rất thấp, quá trình tái hợp vẫn có thể xảy ra. Khi mỗi electron tái hợp với một lỗ trống, một electron sẽ rời miền nền thông qua cực nền B sinh ra một dòng nền rất nhỏ, giá trị của nó chỉ khoảng 2% dòng electron phát đi từ emitter.

Trong hình 3.16, mũi tên được vẽ để chỉ hướng qui ước của dòng trong transistor NPN, hướng này là ngược với hướng của dòng electron. Dòng qui ước chảy từ V_{CC} vào cực C được gọi là dòng cực thu, hoặc dòng collector I_C . Dòng chảy vào cực nền được gọi là dòng nền, hoặc dòng base I_B , và dòng từ V_{EE} chảy vào cực phát được gọi là dòng cực phát, hoặc dòng emitter I_E . Hình 3.17a) trình bày biểu tượng mạch của một transistor NPN. Hình 3.18(a) là biểu tượng của transistor PNP. So sánh hình 3.17 và hình 3.18, chúng ta cần phải để ý chiều của mũi tên tại cực E, để dễ nhớ, ta có thể xem là mũi tên này chỉ chiều qui ước của dòng điện. Hơn nữa, cực tính của nguồn V_{CC} và V_{EE} là ngược nhau cho BJT loại NPN và PNP.



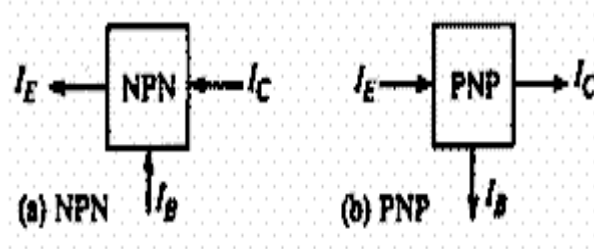
Hình 3.17. Sơ đồ transistor NPN tương đương



Hình 3.18. Sơ đồ transistor PNP tương đương

Để nhấn mạnh và làm rõ hơn hoạt động của BJT, hình 3.19 thay biểu tượng BJT bằng một khối và chỉ rõ chiều dòng điện chảy vào và ra khỏi khối. Áp dụng định luật Kirchhoff

Ta có: $I_E = I_C + I_B$



Hình 3.19. Mỗi loại transistor được thay bằng một hình vuông được chỉ rõ dòng vào và ra của linh kiện.

2. Mạch ghim áp

- Mục tiêu: Trình bày được các phần tử cần có trong mạch ghim áp (R, C , Diod và nguồn DC) nó có vai trò như thế nào trong mạch.

Mạch ghim điện áp, mạch dịch mức DC của tín hiệu AC đạt đến một mức xác định, mà không bị biến dạng sóng. Mạch ghim áp được dựa trên cơ sở như một mạch phục hồi thành phần điện áp DC. Nó dùng để ổn định nền hoặc đỉnh của tín hiệu xung ở một mức xác định nào đó bằng hoặc khác không.

Dạng sóng điện áp có thể bị dịch một mức, do nguồn điện áp không phụ thuộc được cộng vào. Mạch ghim áp vận hành dịch mức, nhưng nguồn cộng vào không lớn hơn dạng sóng độc lập. Lượng dịch phụ thuộc vào dạng sóng hiện thời.

Mạch ghim áp cần có:

- +Tụ C đóng vai trò phần tử tích năng lượng.
- +Diode D đóng vai trò khóa.

+Điện trở R.

+Nguồn DC tạo mức DC.

Hai loại mạch ghim áp chính: Mạch ghim áp Diode và Transistor. Dạng này ghim mức biên độ dương hoặc mức biên độ âm, và cho phép ngõ ra mở rộng chỉ theo một hướng từ mức chuẩn. Mạch ghim áp khóa (đồng bộ) duy trì ngõ ra tại một số mức cố định cho đến khi được cung cấp xung đồng bộ và lúc đó ngõ ra mới được cho phép liên hệ với dạng sóng ngõ vào.

Điều kiện mạch ghim áp: Giá trị R và C phải được chọn để hằng số thời gian $t = RC$ đủ lớn để sụt áp qua tụ không quá lớn. Trong phần lý thuyết này ta xem tụ nạp đầy sau $3t_n$ và tụ xả hết sau $3t_x$. Nguyên lý làm việc của các mạch ghim điện áp dựa trên việc ứng dụng hiện tượng thiên áp, bằng cách làm cho các hằng số thời gian phóng và nạp của tụ trong mạch khác hẳn nhau.

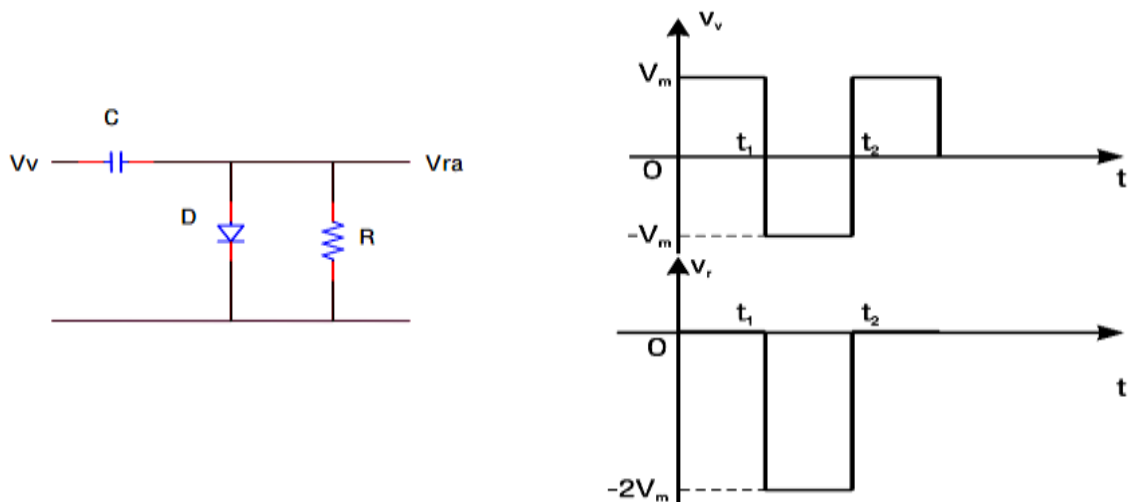
2.1. Mạch ghim áp dùng Diode

Loại mạch ghim áp đơn giản sử dụng một Diode kết hợp với mạch RC. Tụ C đóng vai trò là phần tử tích - phóng năng lượng điện trường, Diode D đóng vai trò là khóa điện tử, còn nguồn DC tạo mức chuẩn.

Các giá trị R và C phải chọn thích hợp, để hằng số thời gian $t = RC$ đủ lớn nhằm làm sụt áp qua tụ C không quá lớn hoặc tụ C không được xả điện nhanh. Tụ nạp đầy và phóng điện hết trong thời gian $3t$ đến $5t$, ở đây các Diode được xem là lý tưởng.

2.1.1. Mạch ghim đỉnh trên của tín hiệu ở mức không

Xét tín hiệu vào là chuỗi xung có biên độ max là $\pm V_m$ (hình 3.20)



Hình 3.20

Đây là mạch ghim áp đỉnh trên của tín hiệu ở mức điện áp là 0v. Điện trở R có giá trị lớn, với nhiệm vụ là nhằm khắc phục nhược điểm: Khi biên độ tín hiệu vào giảm thì mất khả năng ghim đỉnh trên của tín hiệu vào ở mức không.

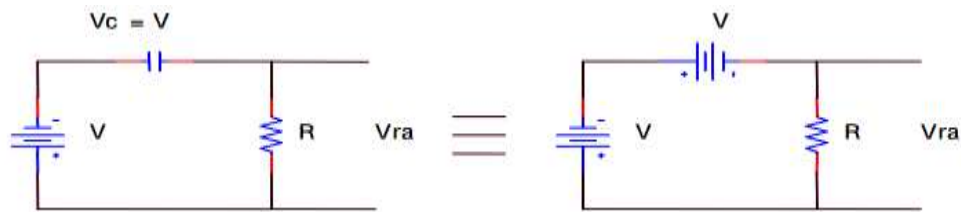
❖ Giải thích nguyên lý hoạt động

Thời điểm từ 0 đến t_1 , thời điểm tồn tại xung dương đầu tiên, $V_v = V_m$, Diode D dẫn, tụ C được nạp điện qua Diode (không qua R, vì điện trở thuận của D rất nhỏ), cực âm của tụ tại điểm A, tụ nạp với hằng số thời gian là:

$$\tau_n = CR_d = 0 \Rightarrow V_C = +V_m$$

Lúc này $V_r = V_v - V_C = 0$

Thời điểm từ t_1 đến t_2 , thời điểm mà ngõ vào tồn tại xung âm, $V_v = -V_m$, Diode bị phân cực nghịch, D ngưng dẫn, lúc này tụ C phóng điện qua R, có dạng mạch tương đương như hình 3.21.

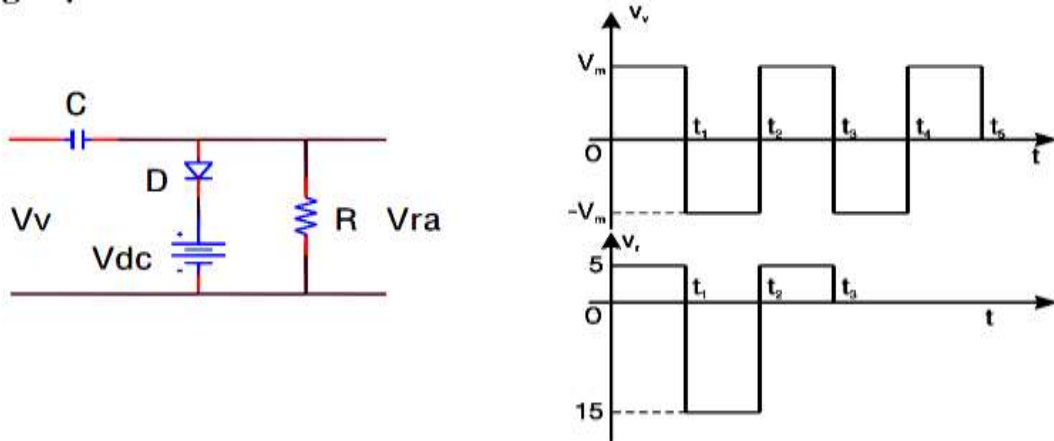


Hình 3.21

Thời hằng phóng điện là $\tau_f = CR$, thời gian này rất lớn so với khoảng thời gian từ t_1 đến t_2 , do vậy tụ C chưa kịp xả mà vẫn còn tích lại một lượng điện áp là $V_c = V_m$.

Do vậy, $v_r = v_v - v_c = -V_m - V_m = -2V_m$.

2.1.2. Mạch ghim đỉnh trên của tín hiệu ở mức điện áp bất kỳ (hình 3.22)



Hình 3.22

Tín hiệu vào là dạng xung có tần số $f = 1 \text{ Hz}$ và biên độ max là $\pm V_m$. Giả sử cho $C = 0,1 \mu\text{F}$, $V_{DC} = 5\text{V}$, $R = 1000 \text{ k}\Omega$, $V_m = 10\text{V}$

Ta có $f = 1\text{KHz} \Rightarrow T = \frac{1}{f} = 1(\text{ms})$. Bán kỳ có thời gian $\frac{T}{2} = 0,5(\text{ms})$

• **Giải thích nguyên lý hoạt động:**

Thời điểm từ 0 đến t_1 , ngõ vào tồn tại xung dương $V_v = V_m = 10\text{V} > V_{DC}$, Diode D dẫn điện, tụ C được nạp điện qua Diode D với hằng số thời gian $\tau = r_d.C \approx 0$

Ta có: $V_{DC} + V_\gamma + V_C = V_v$. Giá trị điện áp mà tụ nạp đây là:

$$V_C = V_v + V_\gamma - V_{DC} = 10 - 5 = 5(\text{V})$$

Do đó $V_{ra} = V_{DC} - V_\gamma = 5(\text{V})$

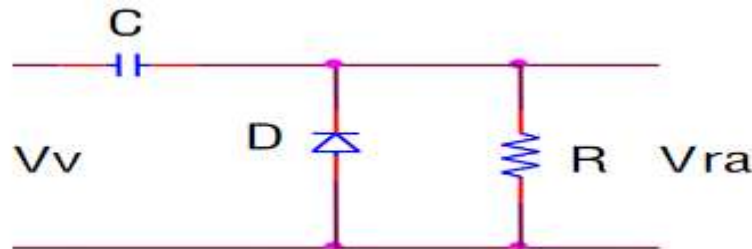
Thời điểm từ t_1 đến t_2 thì ngõ vào tồn tại xung âm, $V_v = -V_m = -10\text{V}$, Diode D ngưng dẫn, tụ C phóng điện qua R, với thời hằng phóng điện

$$\tau_f = CR = 0,1 \cdot 10^{-6} \cdot 10^6 = 0,1(\text{s}) = 10(\text{ms}).$$

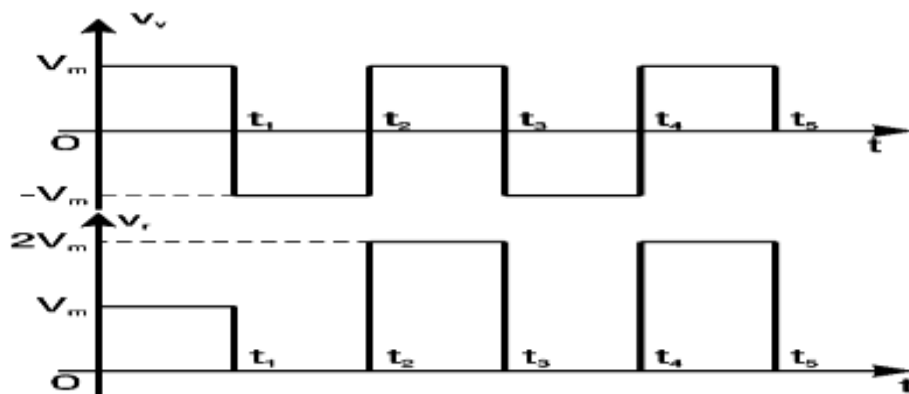
Vậy sau 5τ thì tụ phóng hết, tức sau $5 \cdot 10 = 50(\text{ms})$, thời gian này lớn gấp 20 lần thời gian từ t_1 đến t_2 ($0,5\text{ms}$), do vậy vc vẫn giữ mức điện áp là $5\text{V} \rightarrow V_r = V_v - V_c = -10 - 5 = -15\text{V}$.

Nếu đảo cực tính của nguồn VDC thì đỉnh trên ghim ở mức điện áp là $-5(\text{V})$.

2.1.3. Mạch ghim đỉnh dưới của tín hiệu ở mức không (hình 3.23a)



Hình 3.23a: Sơ đồ mạch



Hình 3.23b: Sơ đồ tín hiệu

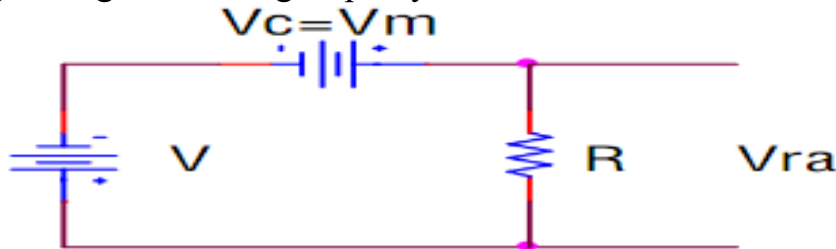
Mạch này có chức năng cố định đỉnh dưới của tín hiệu ở mức 0(v).

❖ **Giải thích nguyên lý hoạt động** (hình 3,23b)

Thời điểm từ 0 đến t_1 , tồn tại xung dương, $V_v = +V_m$, Diode ngưng dẫn, tụ C được nạp qua R với hằng số thời gian là $\tau_n = RC$, vì R rất lớn nên τ_n rất lớn, do đó $\tau_n \gg$ so với khoảng thời gian từ 0 đến t_1 . Do vậy tụ C gần như không được nạp $v_c = 0$, do đó $V_{ra} = V_v = +V_m$.

Thời điểm t_1 đến t_2 , ngõ vào tồn tại xung âm, $V_v = -V_m$, Diode dẫn điện, tụ C được nạp qua Diode, thời hằng nạp là $\tau_n = r_d, C \approx 0$, $v_c = V_m$ (tụ nạp đầy tức thời), lúc này $V_{ra} = V_v + V_c = -V_m + V_m = 0$.

Thời điểm từ t_2 đến t_3 , ngõ vào tồn tại xung dương tiếp theo $V_v = +V_m$, Diode ngưng dẫn, tụ C xả qua R với hằng số thời gian là $\tau_n = RC \cdot \tau_f$ rất lớn so với bán kỳ từ t_2 đến t_3 , do vậy tụ C vẫn giữ nguyên mức điện áp là V_m . Mạch tương đương của trường hợp này xem hình 3.24



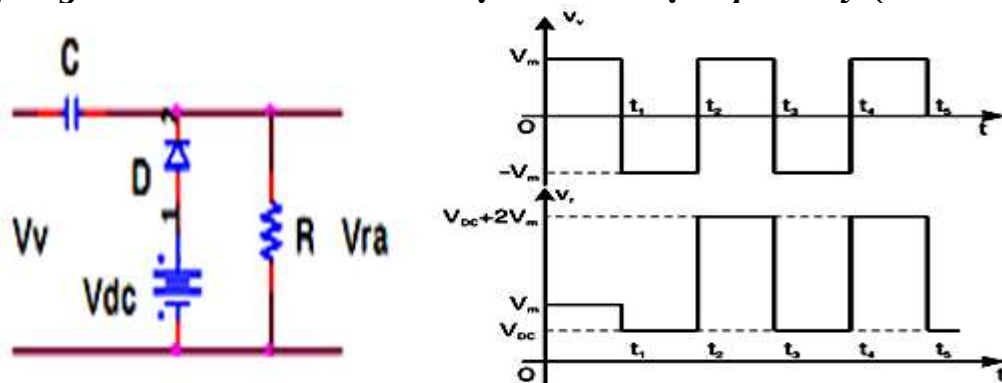
Hình 3.24

Ta có $V_{ra} = V_v + V_c = V_m + V_m = 2V_m$

Nhận xét

Thời điểm từ 0 đến t_1 dạng sóng ra có xung dương không ổn định so chuỗi xung ra. Do vậy, xung này không xét đến mà chỉ xét các xung ổn từ thời điểm t_1 trở đi.

2.1.4. Mạch ghim đỉnh dưới của tín hiệu ở mức điện áp bất kỳ (hình 3.25).



Hình 3.25: Sơ đồ mạch và tín hiệu

Nguồn V_{DC} tạo mức ghim dưới của tín hiệu vào, $V_{DC} = 1/2 V_m$

• **Giải thích nguyên lý hoạt động**

Thời điểm từ 0 đến t_1 , ngõ vào tồn tại xung dương, $V_v = +V_m$, $V_{DC} < V_m$, Diode D ngưng dẫn, tụ C được nạp qua R với hằng số thời gian $\tau_n = RC$, do τ_n rất lớn so với khoảng thời gian từ 0 đến t_1 , nên tụ C gần như không được nạp, $v_c = 0$, như vậy $V_{ra} = V_v = +V_m$.

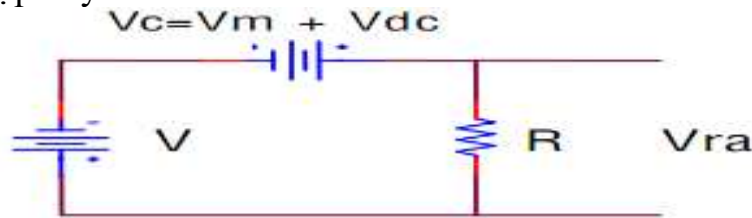
Thời điểm từ t_1 đến t_2 ngõ vào tồn tại xung âm, $V_v = -V_m$, D dẫn, tụ C được nạp qua D, cực dương của tụ tại điểm A, thời hằng nạp là $\tau_n = r_d$, $C \approx 0$, tụ C nạp đầy tức thời

$$\text{Ta có } V_c + V_v = V_{DC} - V_\gamma$$

tụ nạp đầy đến giá trị là $v_c = V_{DC} - v_v = V_{DC} + V_m$

$$\text{Do đó } V_{ra} = V_{DC} + V_\gamma = V_{DC}$$

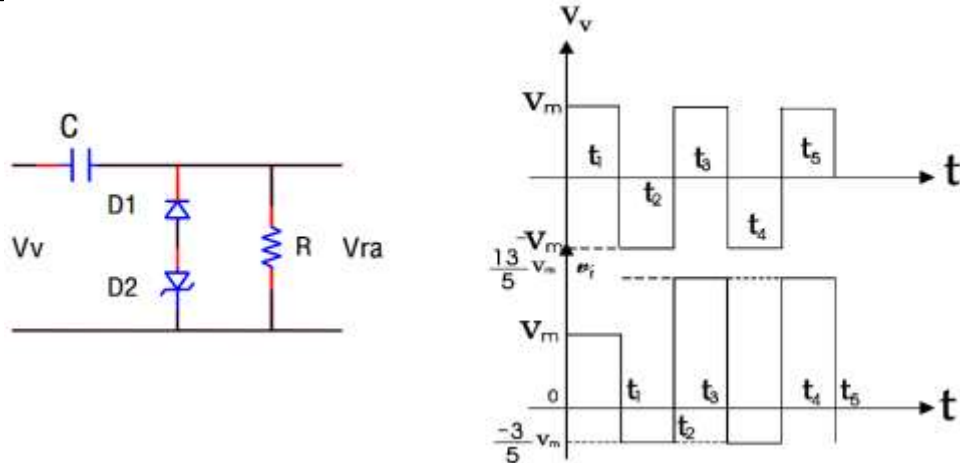
Thời điểm từ t_2 đến t_3 ngõ vào tồn tại xung dương tiếp theo, $V_v = +V_m$, Diode ngưng dẫn, tụ C phóng điện qua R với hằng số thời gian $\tau_n = RC$. τ_f rất lớn so với bán kỳ từ t_2 đến t_3 do vậy tụ C vẫn cố định mức điện áp $v_c = V_{DC} + V_m$ trong khoảng thời gian này. Mạch tương đương hình 3.26 của trường hợp này là:



Hình 3.26

Ta có $v_r = v_v + v_c = V_m + V_{DC} + V_m = 2V_m + V_{DC}$

Dạng mạch 2 (hình 3.27)



Hình 3.27

$$V_{Z2} = 1/2 V_m$$

$$\Rightarrow v_r = \frac{r_d}{r_d + R_{ng}} \cdot V_m$$

$$V_{z2} + V_{\gamma 1} = (1/2 + 1/100)V_m = 3/5 V_m$$

Giải thích nguyên lý hoạt động

Thời điểm từ 0 đến t_1 , ngõ vào tồn tại xung dương $V_v = +V_m$, cả D_1 và D_2 ngưng dẫn, tụ C được nạp qua R với hằng số thời gian Ω , do τ_n rất lớn so với khoảng thời gian từ 0 đến t_1 , nên tụ C gần như không được nạp $V_c = 0$, $V_{ra} = V_v = +V_m$ thời điểm từ t_1 đến t_2 ngõ vào tồn tại xung âm, $V_v = -V_m$, lúc này D_1 hoạt động như Diode thường, D_2 hoạt động như Diode Zenner. Tụ C được nạp qua D_1 và D_2 , thời hằng nạp là $\tau_n = RC$, $C \approx 0$, tụ C nạp đầy tức thời, giá trị lớn nhất mà tụ có thể nạp được là:

$$V_c = -V_v + V_{Z2} + V_{\gamma 1} = V_m + 3/5 V_m = 8/5 V_m$$

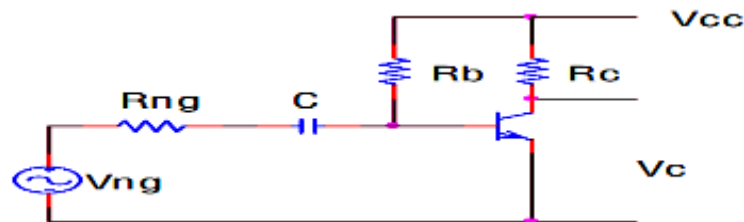
$$\text{Do đó } V_{ra} = -(V_{Z2} + V_{\gamma 1}) = -3/5 V_m$$

Thời điểm từ t_2 đến t_3 ngõ vào tồn tại xung dương tiếp theo, $V_v = +V_m$, Diode ngưng dẫn, tụ C phóng điện qua R với hằng số thời gian $\tau_n = RC$. Do t_f rất lớn so với bán kỳ từ t_2 đến t_3 , do vậy tụ C vẫn có định mức điện áp là $V_c = 8/5 V_m$

$$\text{Ta có } V_{ra} = V_v + V_c = V_m + 8/5 V_m = 13/5 V_m$$

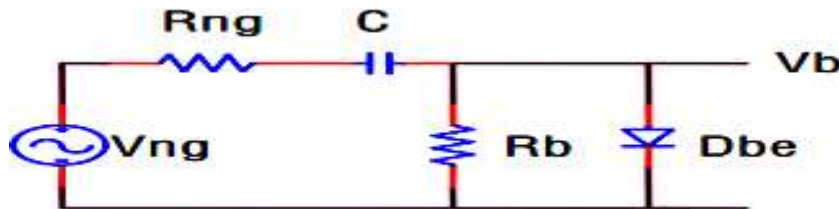
2.2. Mạch ghim áp dùng transistor (hình 3.28)

- Xét mạch

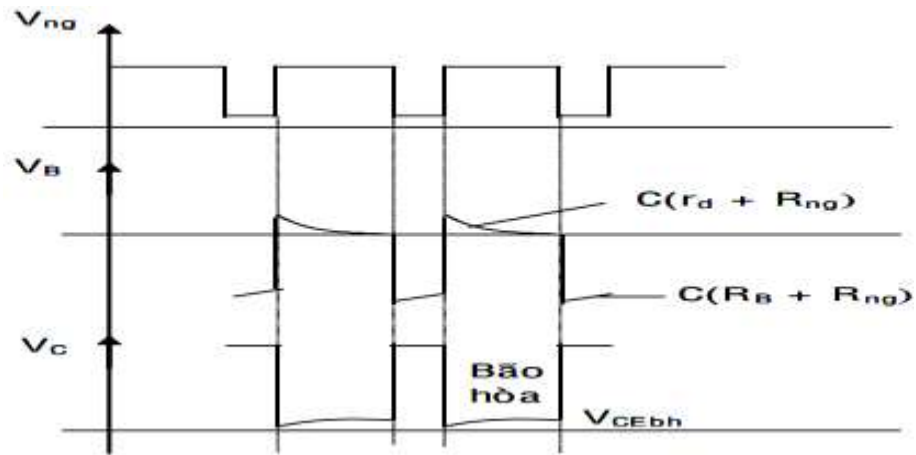


Hình 3.28

Nếu biên độ tín hiệu đủ lớn để làm tắt mở diode BE, ta có mạch kẹp ở cực nền. Khi có tín hiệu vào ta có mạch tương đương ở chế độ xác hình 3.29a và hình 3.29b



Hình 3.29a

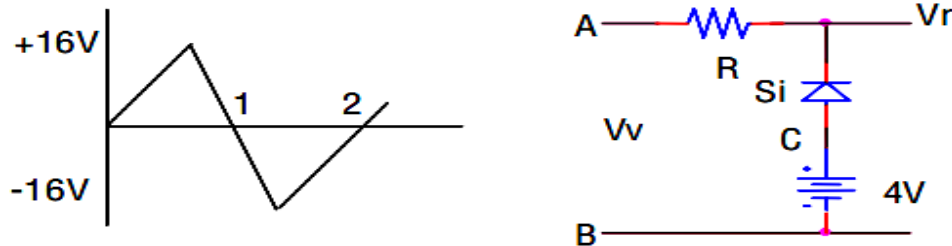


Hình 3.29b

❖ Bài tập:

Bài 1:

Vẽ đặc tuyến vào-ra và dạng sóng ra của mạch hình 3.30 sau:



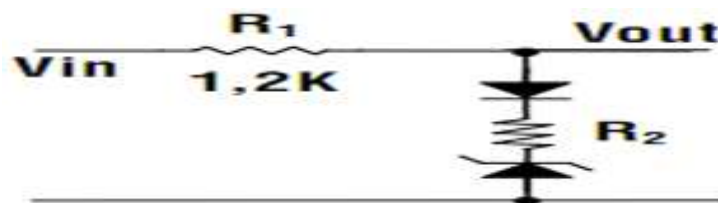
Hình 3.30

Bài 2:

Cho mạch hình 3.31 sau với $V_{in} = 18\sin\omega t$, $V_\gamma = 0.7V$, $V_Z = 8V$. Vẽ đặc tuyến vào ra ($V_{in}-V_{out}$) và dạng sóng V_{in} , V_{out} .

ứng với

- $R_2 = 0$
- $R_2 = 0.5K$
- $R_2 = 2.2K$



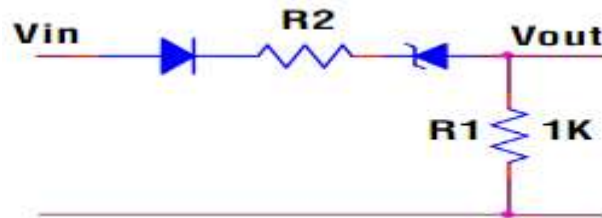
Hình 3.31

Bài 3:

Cho mạch sau (hình 3.32) với $V_{in} = 10\sin\omega t$, $V_\gamma = 0.7V$, $V_Z = 3V$, $r_D = 0$. Vẽ đặc tuyến vào-ra và dạng sóng $V_{in(t)}$, $V_{OUT(t)}$ ứng với:

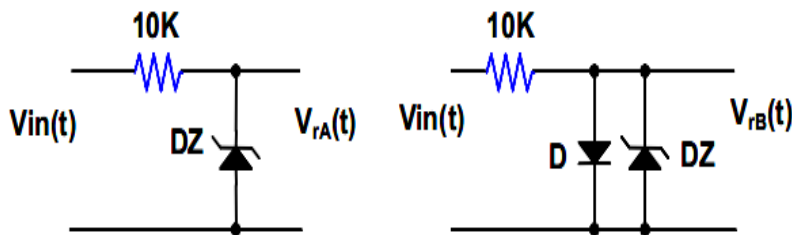
- $R_2 = 0$
- $R_2 = 220$

c). $R_2 = 2.2k$



Hình 3.32

Bài 4: Cho mạch hình 3.33 Vẽ các dạng sóng điện áp ngõ ra $V_r(t)$ khi điện áp ngõ vào $V_{in}(t)$ là điện áp khu vực, dạng sin, tần số 50Hz, 220V hiệu dụng, biết các Diode bán dẫn và ổn áp đều có $V_\gamma = 0.6V$, $V_Z = 6V$.

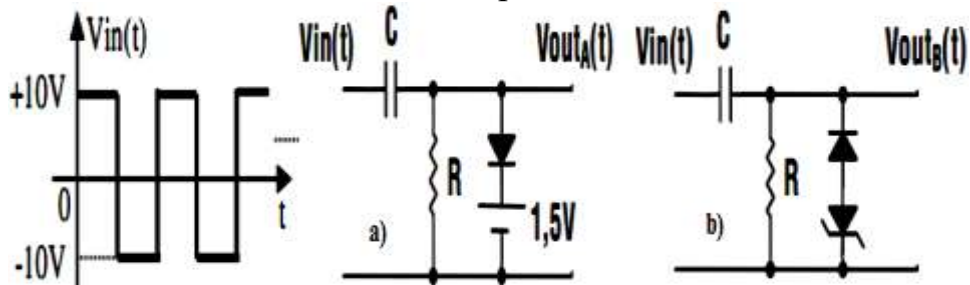


Hình 3.33

a). $r_D = 0$

b). $r_D = 0,5K$

Bài 5: Cho mạch như Hình 5.24a và Hình 5.34b. Biết $V_\gamma = 0.6V$, $V_Z = 6V$ các giá trị RC thỏa mãn điều kiện mạch kẹp



Hình 3.34a

Hình 3.34b

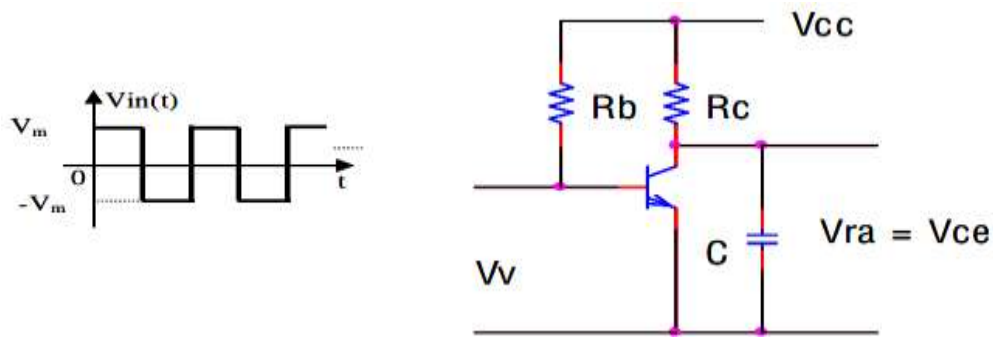
Vẽ dạng sóng ngõ ra khi

a. $r_D = 0$

b. $r_D = 20\Omega$, tín hiệu ngõ vào có $f=5kHz$, $q=50\%$

Bài 6:

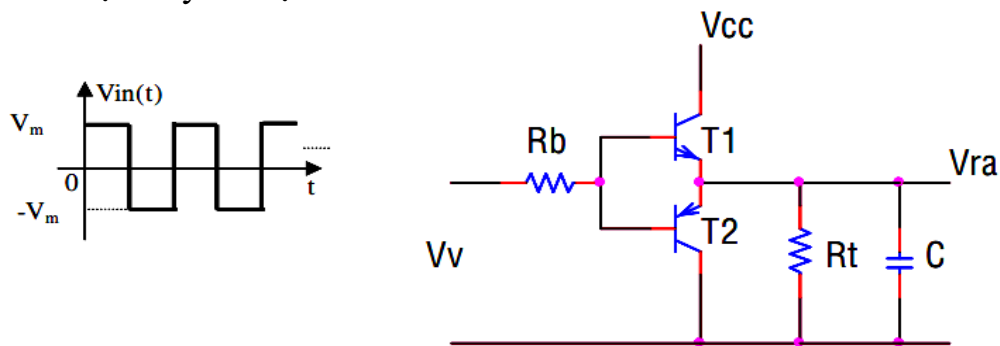
Xét mạch hình 3.35, với C là điện dung ngõ vào của tầng kế, nối song song R_t Giải thích hoạt động và vẽ dạng sóng $v_B(t)$ và $V_{RA}(t)$, giả sử BJT hoạt động ở chế độ chuyển mạch



Hình 3.35

Bài 7:

Xét mạch hình 3.36, với C là điện dung ngõ vào của tầng kế, nối song song R_t . Giải thích hoạt động và vẽ dạng sóng $v_B(t)$ và $V_{RA}(t)$, giả sử BJT hoạt động ở chế độ chuyển mạch.



Hình 3.36

Thực hành: MẠCH XÉN – MẠCH GHIM ĐIỆN ÁP

- **Mục đích yêu cầu**

Tạo các kỹ năng sử dụng máy dao động ký đúng phương pháp, an toàn khi sử dụng và trình tự vận hành.

Đo xác định các mạch hạn chế biên độ và mạch ghim áp để vẽ các dạng sóng ngõ ra vào trên các mạch, các giá trị biên độ, giá trị đỉnh của các ngõ tín hiệu.

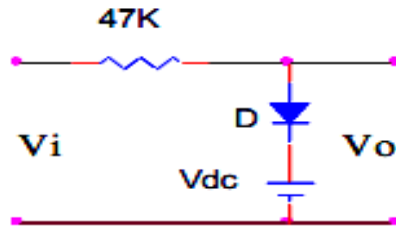
- **Các thiết bị sử dụng**

- Dao động ký; Nguồn phát sóng âm tần; Đồng hồ VOM, Dây đo dao động ký (2 dây), Dây tín hiệu máy phát sóng.

- **Các bước thực hành**

I. Mạch xén dương**1. Mạch xén song song.**❖ **Lần 1:**

Sinh Viên mắc mạch như hình 3.1



Hình 3.1

Điều chỉnh nguồn tín hiệu là sóng sin, biên độ 10V, tần số 1KHz và cấp vào VI của mạch trên.

Dùng nguồn điều chỉnh được 0→30V chỉnh $V_{dc} = 5V$.

Đo và vẽ điện áp VI (kênh 1) và Vo (kênh 2) vào hình 3.2.

Kênh 1:

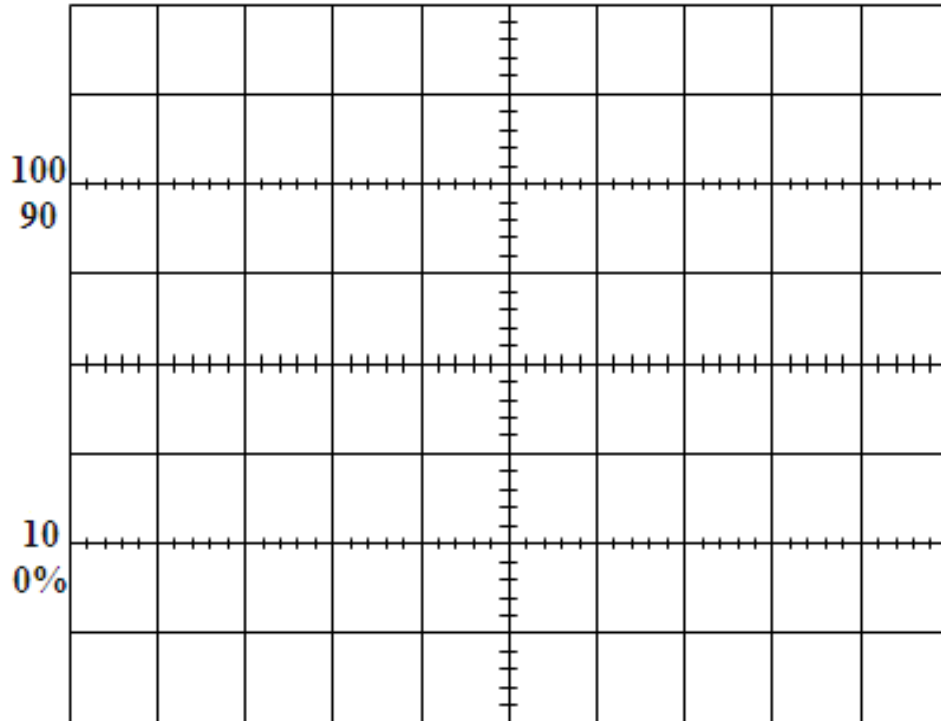
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.2

❖ Lần 2:

Thực hiện như lần một nhưng thay nguồn tín hiệu là sóng tam giác, có biên độ 10V tần số 2KHz và cấp vào VI của mạch trên.

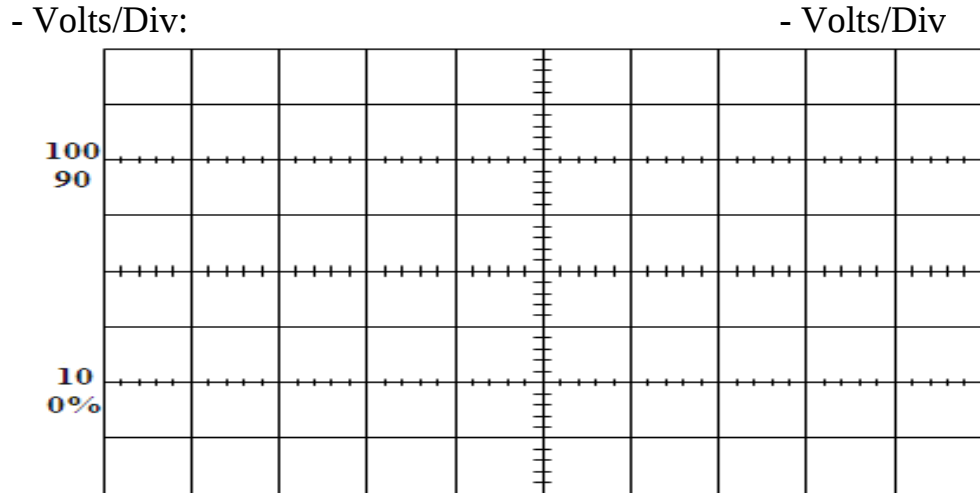
Đo và vẽ điện áp VI (kênh 1) và Vo (kênh 2) vào hình 3.3

Kênh 1:

- Time/Div:

Kênh 2:

- Time /Div



Hình 3.3

❖ Lần 3:

Thực hiện như lần một nhưng thay nguồn tín hiệu là sóng sin, có biên độ 4V tần số 3KHz và cấp vào VI của mạch trên.

Đo và vẽ điện áp VI (kênh 1) và Vo (kênh 2) vào hình 3.4.

Kênh 1:

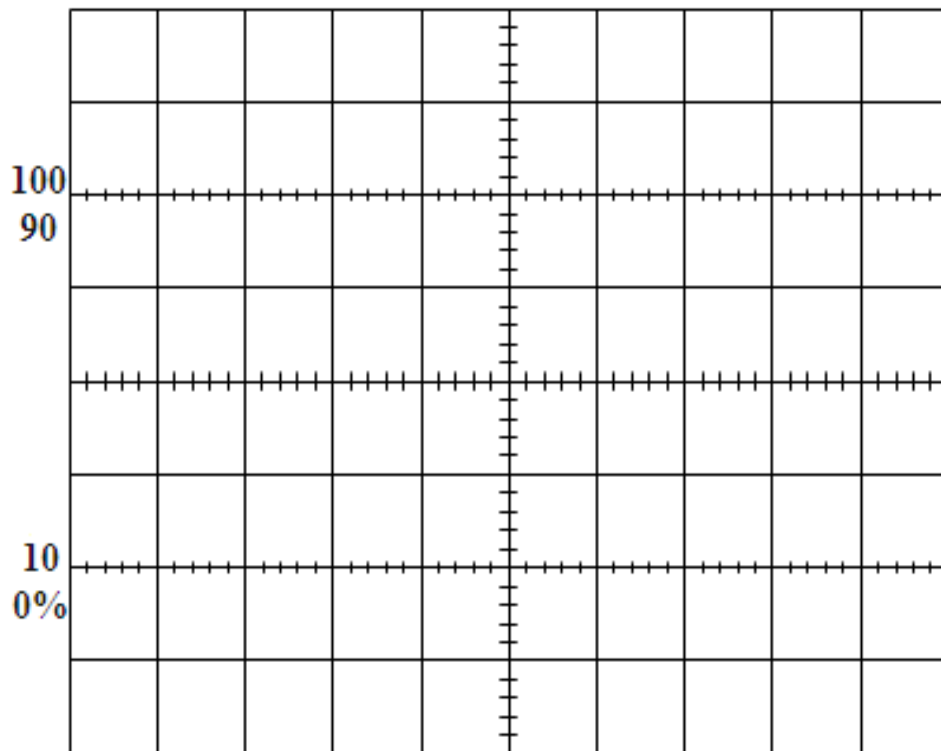
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.4

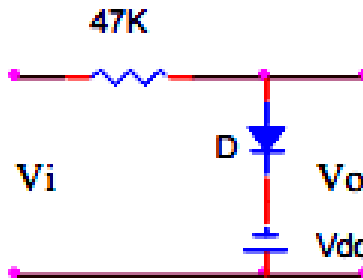
❖ Lần 4:

Để nguyên mạch đang chạy ở lần 2, điều chỉnh điện áp V_{dc} , nhìn trên OSC và nhận xét.

.....

❖ Lần 5:

Sinh Viên mắc mạch như hình 3.5



Hình 3.5

Điều chỉnh nguồn tín hiệu là sóng sin, biên độ 10V, tần số 1KHz và cấp vào V_i của mạch trên.

Dùng nguồn điều chỉnh được -30V..0 để chỉnh $V_{dc} = -5V$.

Đo và vẽ điện áp V_i (kênh 1) và V_o (kênh2) vào hình 3.5.

Kênh 1:

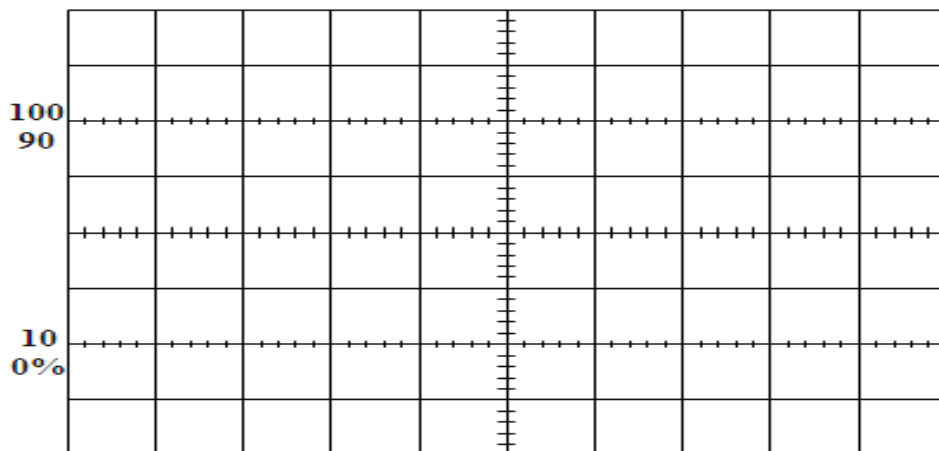
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.5.

❖ Lần 6:

Thực hiện như lần năm nhưng thay nguồn tín hiệu là sóng sin, có biên độ

4V tần số 3KHz và cấp vào VI của mạch trên.

Đo và vẽ điện áp VI (kênh 1) và Vo (kênh 2) vào hình 3.6

Kênh 1:

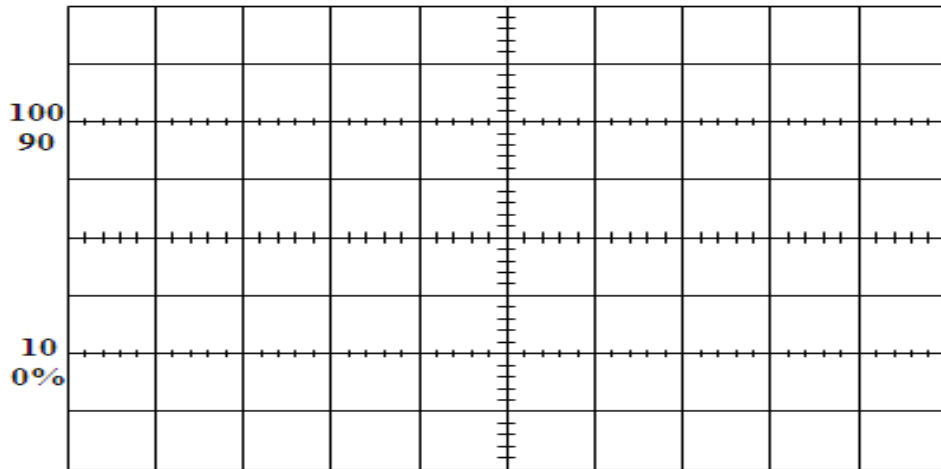
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.6.

❖ Nhận xét:

1/. So sánh dạng điện áp Vo ở mỗi lần đo (V_{max} , V_{min} , tần số tín hiệu vào và tín hiệu ra)?

.....

.....

.....

.....

.....

2/. Giải thích dạng điện áp Vo theo từng khoảng thời gian cho mỗi lần đo?

.....

.....

.....

.....

.....

3/. So sánh dạng điện áp ngõ vào và ngõ ra của các lần đo với lý thuyết đã học? Nếu khác thì tại sao?

.....

.....

.....

.....

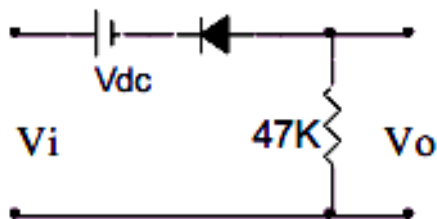
.....

.....

2. Mạch xén nối tiếp.

❖ Lần 1:

Sinh Viên mắc mạch như hình 3.7



Hình 3.7

Điều chỉnh nguồn tín hiệu là sóng sin, biên độ 10V, tần số 1KHz và cấp vào VI của mạch trên.

Dùng nguồn điều chỉnh được 0→ 30V chỉnh $V_{dc} = 5V$.

Đo và vẽ điện áp VI (kênh 1) và Vo (kênh 2) vào hình 3.8

Kênh 1:

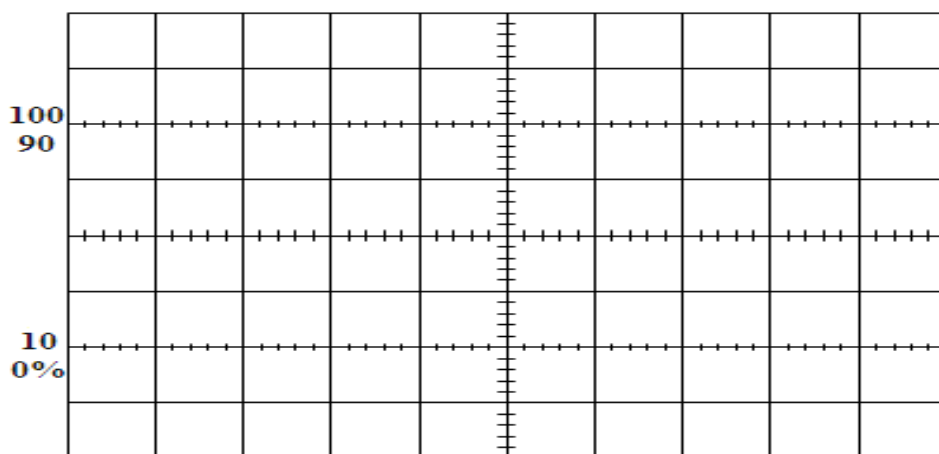
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.8

❖ Lần 2:

Thực hiện như lần một nhưng thay nguồn tín hiệu là sóng tam giác, có biên độ

10V tần số 2KHz và cấp vào VI của mạch trên.

Đo và vẽ điện áp VI (kênh 1) và Vo (kênh 2) vào hình 3.9

Kênh 1:

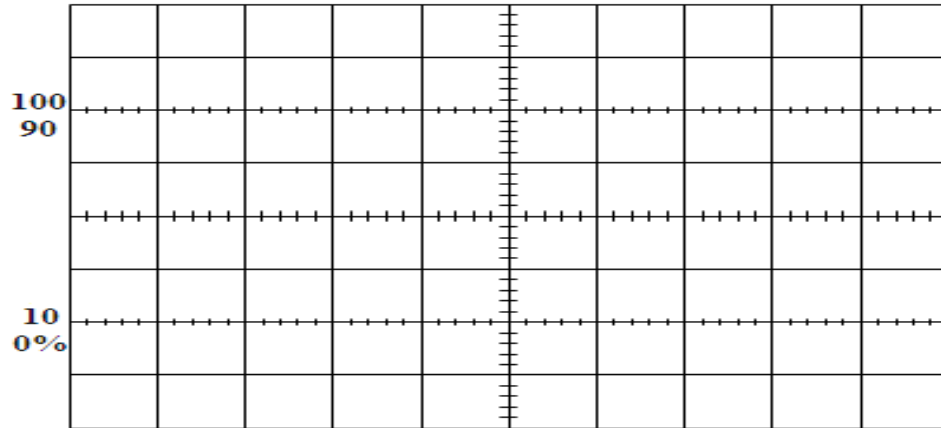
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.9

❖ Lần 3:

Thực hiện như lần một nhưng thay nguồn tín hiệu là sóng sin, có biên độ 4V tần số 3KHz và cấp vào VI của mạch trên.

Đo và vẽ điện áp VI (kênh 1) và Vo (kênh 2) vào hình 3.10

Kênh 1:

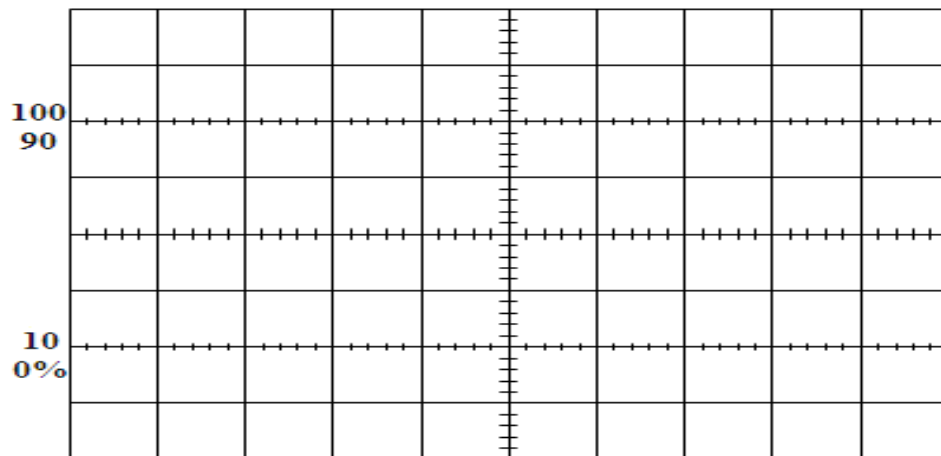
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.10

❖ Lần 4:

Để nguyên mạch đang chạy ở lần 2, điều chỉnh điện áp V_{dc} , nhìn trên OSC và nhận xét.

.....

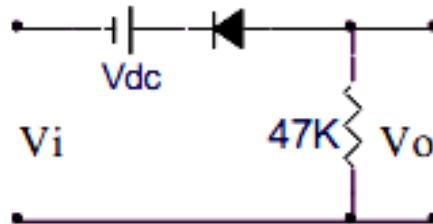
.....

.....

.....

❖ Lần 5:

Sinh Viên mắc mạch như hình 3.11



Hình 3.11

Điều chỉnh nguồn tín hiệu là sóng sin, biên độ 10V, tần số 1KHz và cấp vào V_i của mạch trên.

Dùng nguồn điều chỉnh được -30V..0 chỉnh $V_{dc} = -5V$.

Đo và vẽ điện áp V_i (kênh 1) và V_o (kênh2) vào hình 3.12.

Kênh 1:

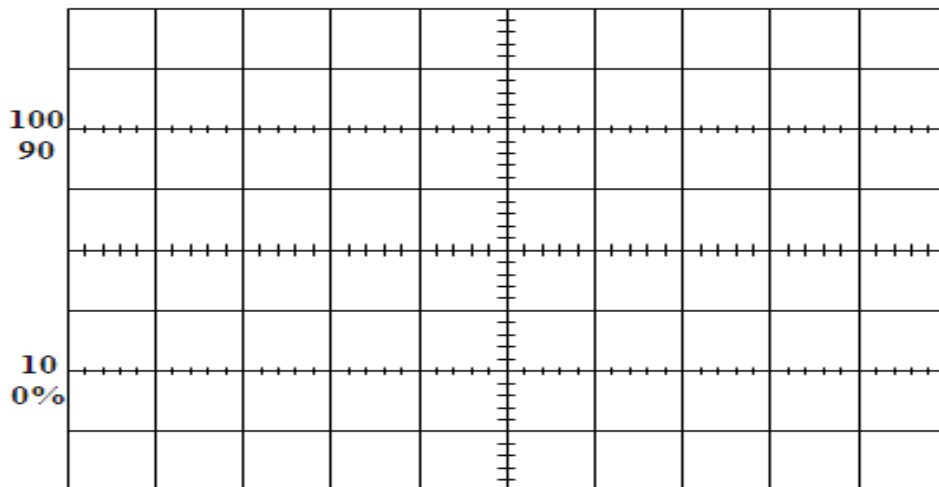
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.12

❖ Lần 6:

Thực hiện như lần năm nhưng thay nguồn tín hiệu là sóng sin, có biên độ 4V tần số 3KHz và cấp vào VI của mạch trên.

Đo và vẽ điện áp VI (kênh 1) và Vo (kênh2) vào hình 3.13.

Kênh 1:

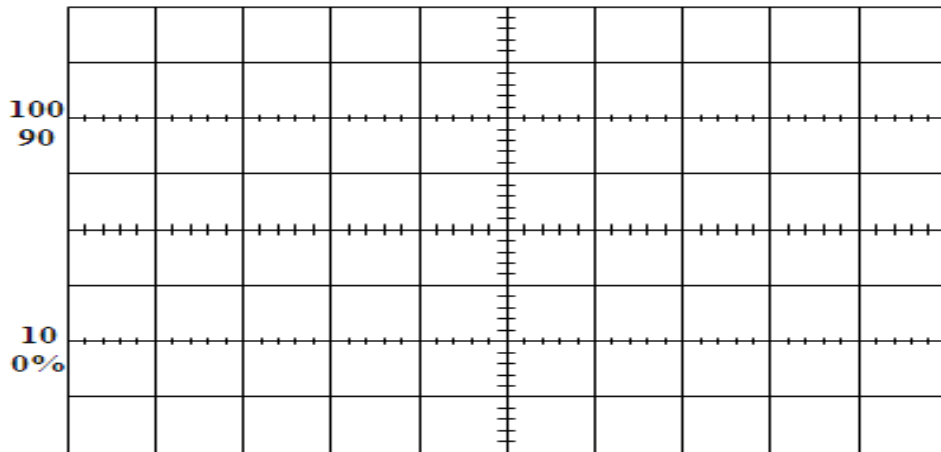
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.13

❖ Nhận xét:

1/. So sánh dạng điện áp Vo ở mỗi lần đo (V_{max} , V_{min} , tần số tín hiệu vào và tín hiệu ra)?

.....

.....

.....

.....

2/. Giải thích dạng điện áp Vo theo từng khoảng thời gian cho mỗi lần đo?

.....

.....

.....

.....

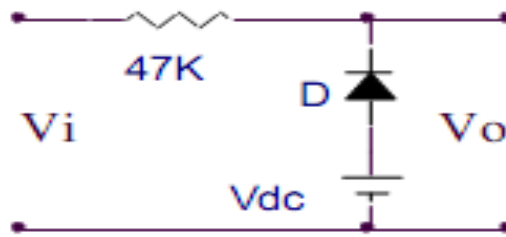
3/. So sánh dạng điện áp ngõ vào và ngõ ra của các lần đo với lý thuyết đã học? Nếu khác thì tại sao?

II. Mạch Xén Âm

2. Mạch xén song song.

❖ Lần 1:

Sinh Viên mắc mạch như hình 3.14



Hình 3.14

Điều chỉnh nguồn tín hiệu là sóng sin, biên độ 10V, tần số 1KHz và cấp vào VI của mạch trên.

Dùng nguồn điều chỉnh được 0 → 30V chỉnh $V_{dc} = 5V$.

Đo và vẽ điện áp VI (kênh 1) và Vo (2) vào hình 3.15.

Kênh 1:

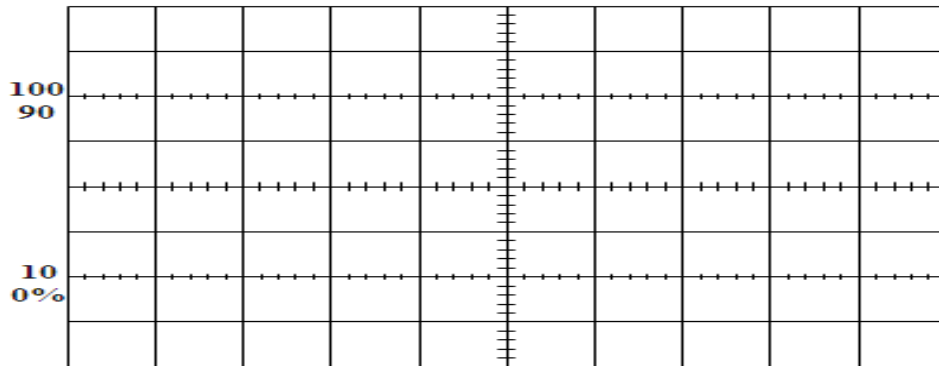
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.15

❖ Lần 2:

Thực hiện như lần một nhưng thay nguồn tín hiệu là sóng tam giác, có biên độ 10V tần số 2KHz và cấp vào VI của mạch trên.

Đo và vẽ điện áp VI (kênh 1) và Vo (kênh 2) vào hình 3.16.

Kênh 1:

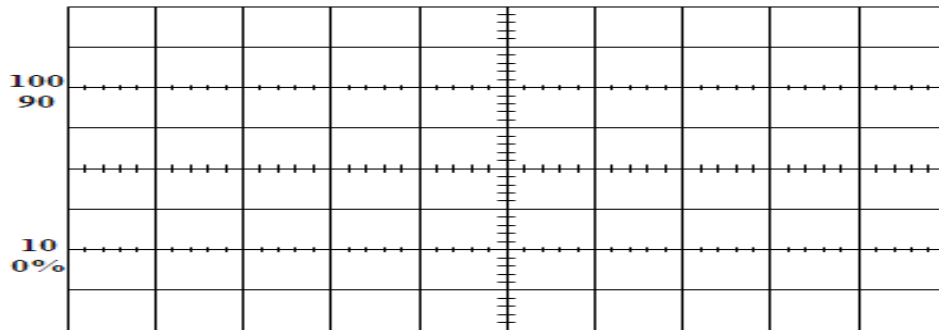
- Time/Div:

Kênh 2:

- Time /Div

- Volts/Div:

- Volts/Div



Hình 3.16

❖ Lần 3:

Thực hiện như lần một nhưng thay nguồn tín hiệu là sóng sin, có biên độ 4V tần số 3KHz và cấp vào VI của mạch trên.

Đo và vẽ điện áp VI (kênh 1) và Vo (kênh 2) vào hình 3.17

Kênh 1:

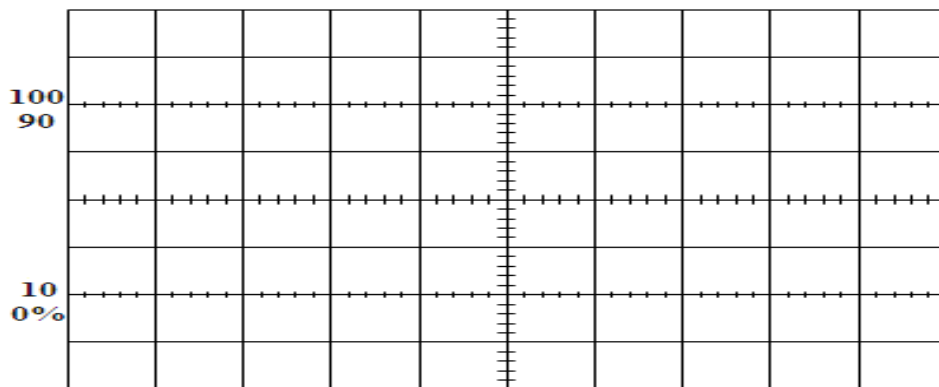
Kênh 2:

- Time/Div:

- Time /Div

- Volts/Div:

- Volts/Div



Hình 3.17

❖ Lần 4:

Để nguyên mạch đang chạy ở lần 2, điều chỉnh điện áp Vdc, nhìn trên OSC và nhận xét.

.....

.....

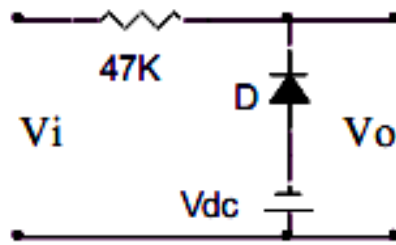
.....

.....

.....

❖ Lần 5:

Sinh Viên mắc mạch như hình 3.18



Hình2 3.18

Điều chỉnh nguồn tín hiệu là sóng sin, bi độ 10V, tần số 1KHz và cấp vào VI của mặ trên.

Dùng nguồn điều chỉnh được -30V..0 đi chỉnh $V_{dc} = -5V$.

Đo và vẽ điện áp VI (kênh 1) và Vo (kênh 2) vào hình 3.19

Kênh 1:

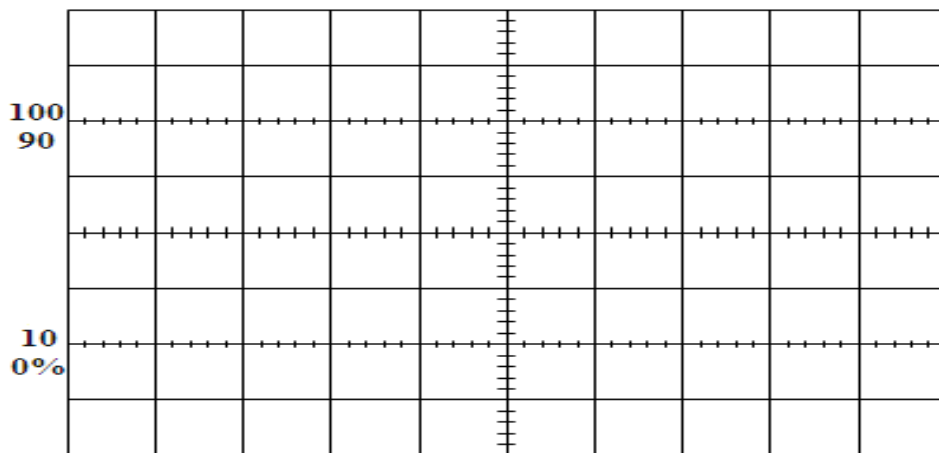
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.19

❖ Lần 6:

Thực hiện như lần năm nhưng thay nguồn tín hiệu là sóng sin, có biên độ 4V tần số

3KHz và cấp vào VI của mạch trên.

Đo và vẽ điện áp VI (kênh 1) và Vo (kênh 2) vào hình 3.20

Kênh 1:

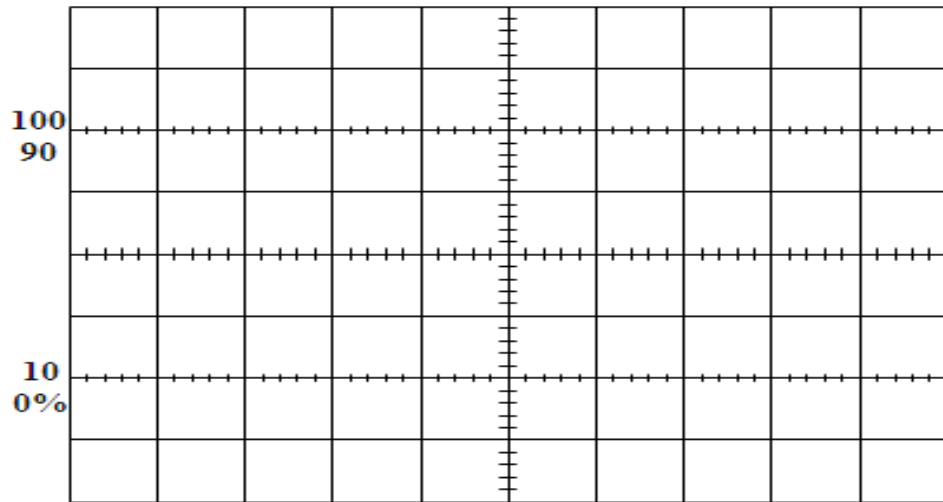
- Time/Div:

Kênh 2:

- Time /Div

- Volts/Div:

- Volts/Div



Hình 3.20

❖ Nhận xét:

1/. So sánh dạng điện áp V_o ở mỗi lần đo (V_{max} , V_{min} , tần số tín hiệu vào và tín hiệu ra)?

.....

.....

.....

.....

.....

2/. Giải thích dạng điện áp V_o theo từng khoảng thời gian cho mỗi lần đo?

.....

.....

.....

.....

.....

3/. So sánh dạng điện áp ngõ vào và ngõ ra của các lần đo với lý thuyết đã học? Nếu khác thì tại sao?

.....

.....

.....

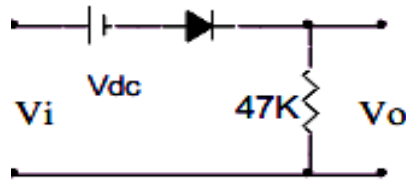
.....

.....

3. Mạch xén nối tiếp.

❖ Lần 1

Sinh Viên mắc mạch như hình 3.21



Hình .321

Điều chỉnh nguồn tín hiệu là sóng sin, độ 10V, tần số 1KHz và cấp vào VI của mạch trên.

Dùng nguồn điều chỉnh được 0→30V chỉnh Vdc = 5V.

Đo và vẽ điện áp VI (kênh 1) và Vo (kênh 2) vào hình 3.22

Kênh 1:

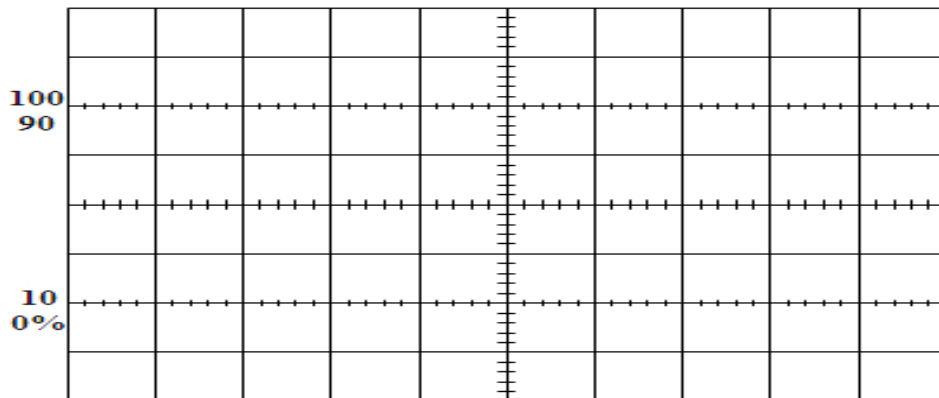
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.22

❖ Lần 2:

Thực hiện như lần một nhưng thay nguồn tín hiệu là sóng tam giác, có biên độ 10V tần số 2KHz và cấp vào VI của mạch trên.

Đo và vẽ điện áp VI (kênh 1) và Vo (kênh 2) vào hình 3.23.

Kênh 1:

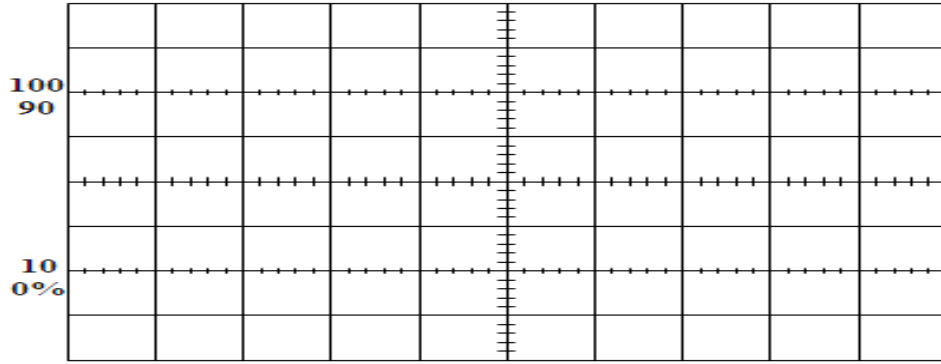
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.23.

❖ Lần 3:

Thực hiện như lần một nhưng thay nguồn tín hiệu là sóng sin, có biên độ 4V tần số

3KHz và cấp vào VI của mạch trên.

Đo và vẽ điện áp VI (kênh 1) và Vo (kênh 2) vào hình 3.24.

Kênh 1:

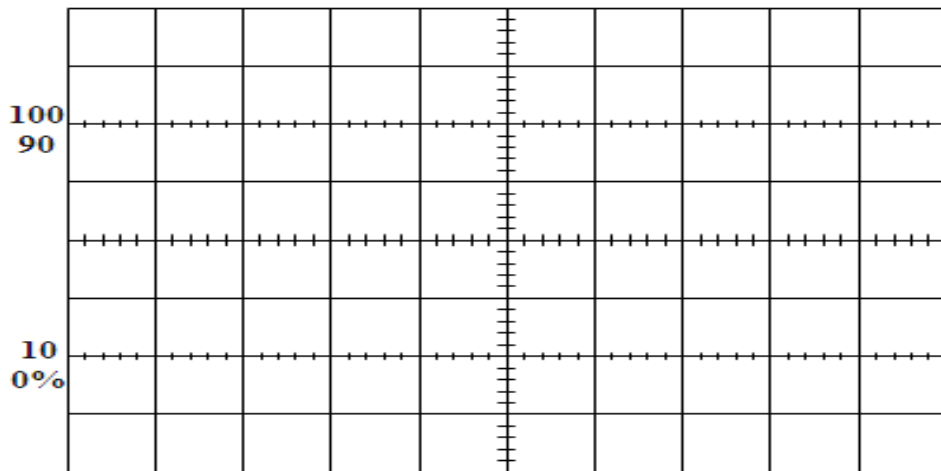
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.24

❖ Lần 4:

Để nguyên mạch đang chạy ở lần 2, điều chỉnh điện áp Vdc, nhìn trên OSC và nhận xét.

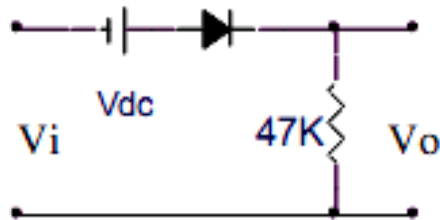
.....

.....

.....

❖ Lần 5:

Sinh Viên mắc mạch như hình 3.25



Hình 3.25

Điều chỉnh nguồn tín hiệu là sóng sin, biên độ 10V, tần số 1KHz và cấp vào VI của mạch trên.

Dùng nguồn điều chỉnh được $-30V \rightarrow 0V$ chỉnh $V_{dc} = -5V$.

Đo và vẽ điện áp VI (kênh 1) và Vo (kênh2) vào hình 3.26

Kênh 1:

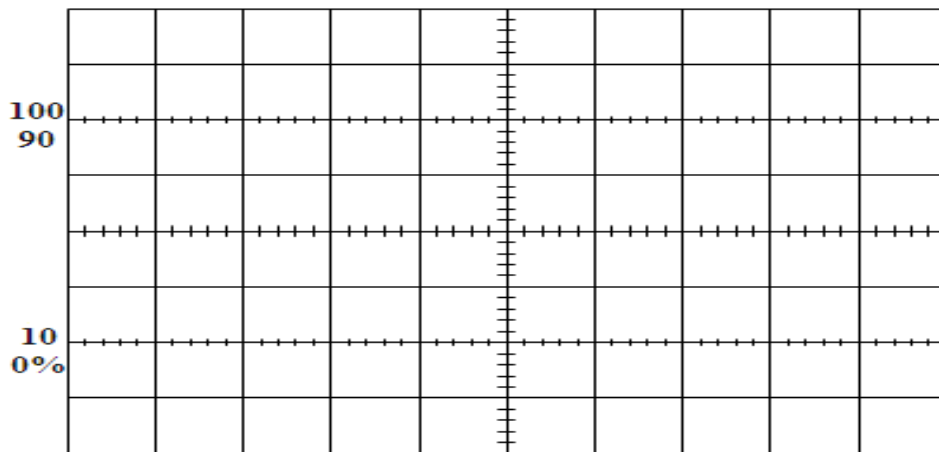
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.26

❖ Lần 6:

Thực hiện như lần năm nhưng thay nguồn tín hiệu là sóng sin, có biên độ 4V tần số 3KHz và cấp vào VI của mạch trên.

Đo và vẽ điện áp VI (kênh 1) và Vo (kênh 2) vào hình 3.27.

Kênh 1:

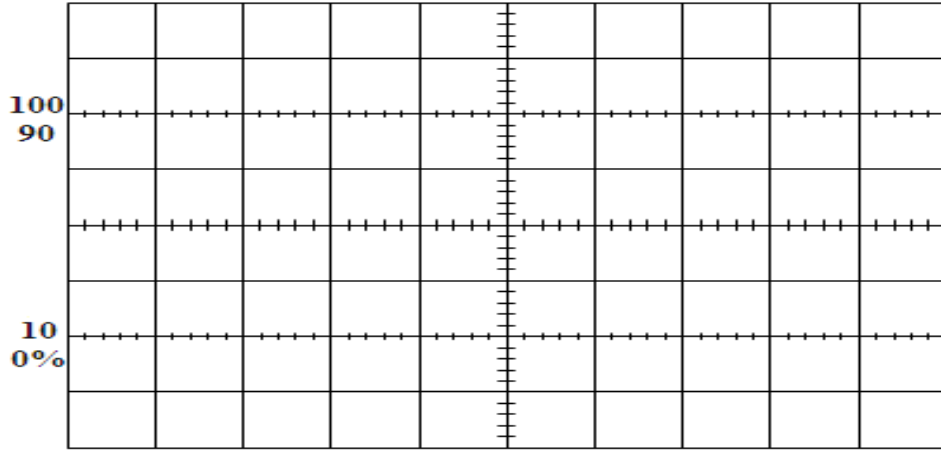
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.27

❖ Nhận xét:

1/. So sánh dạng điện áp V_o ở mỗi lần đo (V_{max} , V_{min} , tần số tín hiệu vào và tín hiệu ra)?

.....

.....

.....

.....

.....

2/. Giải thích dạng điện áp V_o theo từng khoảng thời gian cho mỗi lần đo?

.....

.....

.....

.....

.....

3/. So sánh dạng điện áp ngõ vào và ngõ ra của các lần đo với lý thuyết đã học? Nếu khác thì tại sao?

.....

.....

.....

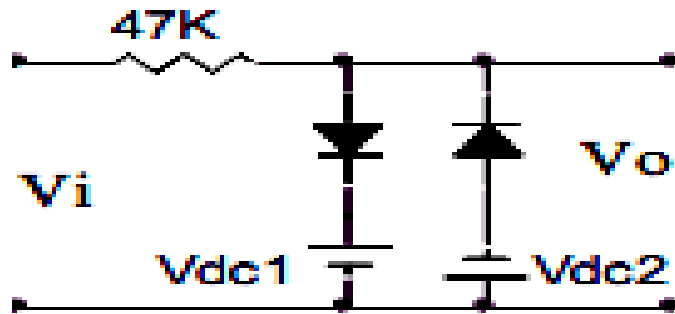
.....

.....

4. Mạch xén hai mức độc lập.

❖ Lần 1:

Sinh Viên mắc mạch như hình 3.28



Hình 3.28

Điều chỉnh nguồn tín hiệu là sóng sin, biên độ 10V, tần số 1KHz và cấp vào VI của mạch trên.

Dùng nguồn điều chỉnh được 0→30V điều chỉnh $V_{dc1} = 5V$.

Dùng nguồn điều chỉnh được -30→0V điều chỉnh $V_{dc2} = -5V$.

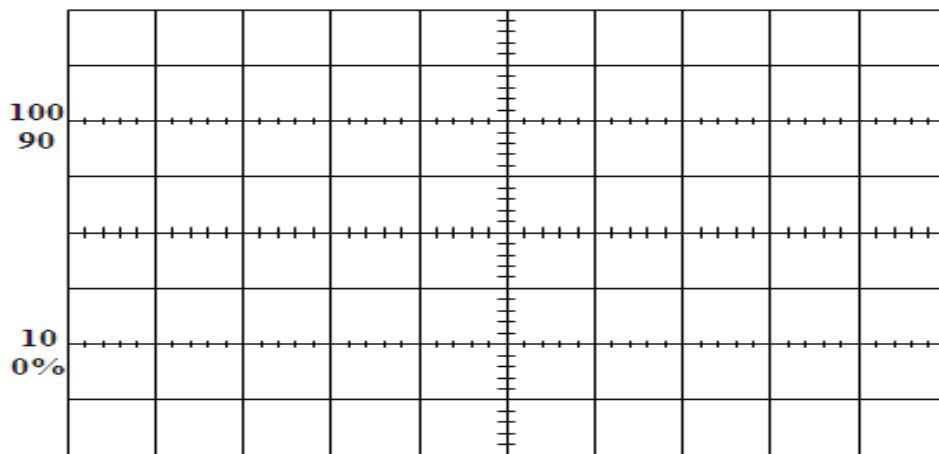
Đo và vẽ điện áp VI (kênh 1) và Vo (kênh2) vào hình 3.29

Kênh 1:

- Time/Div:
- Volts/Div:

Kênh 2:

- Time /Div
- Volts/Div



Hình 3.29

❖ Lần 2:

Thực hiện như lần một nhưng thay nguồn tín hiệu là sóng tam giác, có biên độ 10V tần số 2KHz và cấp vào VI của mạch trên.

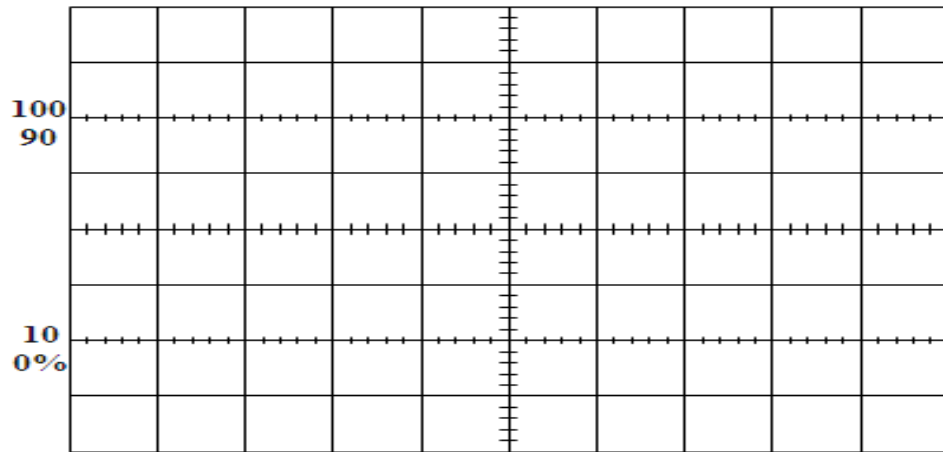
Đo và vẽ điện áp VI (kênh 1) và Vo (kênh2) vào hình 3.30

Kênh 1:

- Time/Div:
- Volts/Div:

Kênh 2:

- Time /Div
- Volts/Div



Hình 2.30

❖ Lần 3:

Thực hiện như lần một nhưng thay nguồn tín hiệu là sóng sin, có biên độ 4V tần số 3KHz và cấp vào VI của mạch trên.

Đo và vẽ điện áp VI (kênh 1) và Vo (kênh 2) vào hình 2.31

Kênh 1:

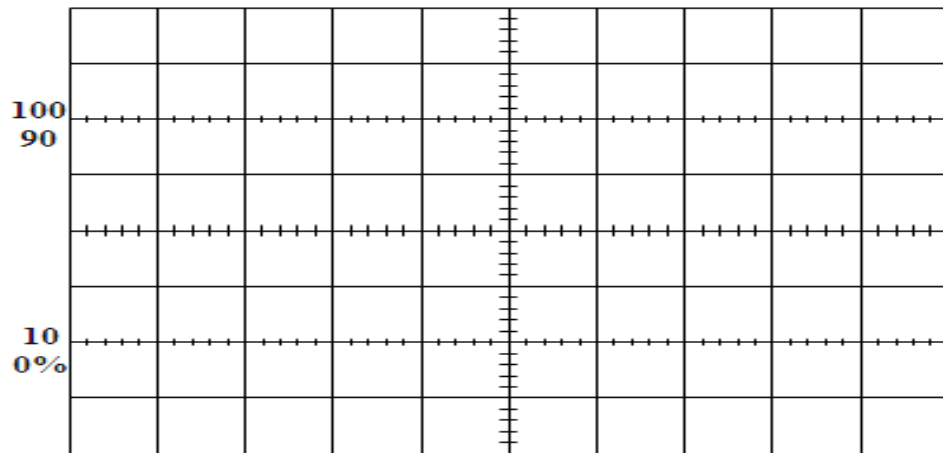
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

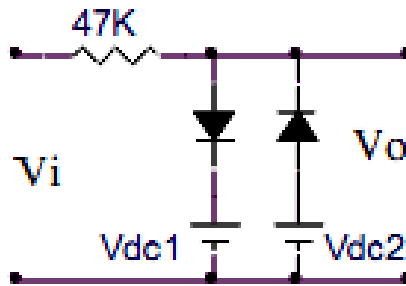
- Volts/Div



Hình 3.31

❖ Lần 5:

Sinh Viên mắc mạch như hình 3.32



Hình 3.32

Điều chỉnh nguồn tín hiệu là sóng sin, biên độ 6V, tần số 1KHz và cấp vào VI của mạch trên

Dùng nguồn 5V cấp vào Vdc1.

Dùng nguồn điều chỉnh được 0..30V điều chỉnh $V_{dc2} = 2V$.

Đo và vẽ điện áp VI (kênh 1) và Vo (kênh2) vào hình 3.33

Kênh 1:

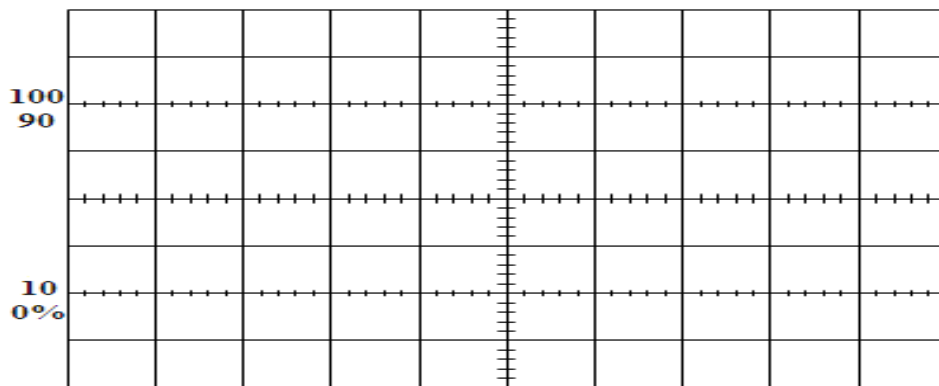
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.33

❖ Lần 6:

Thực hiện như lần năm nhưng thay nguồn tín hiệu là sóng sin, có biên độ 4V tần số 3KHz và cấp vào VI của mạch trên.

Đo và vẽ điện áp VI (kênh 1) và Vo (kênh2) vào hình 3.34

Kênh 1:

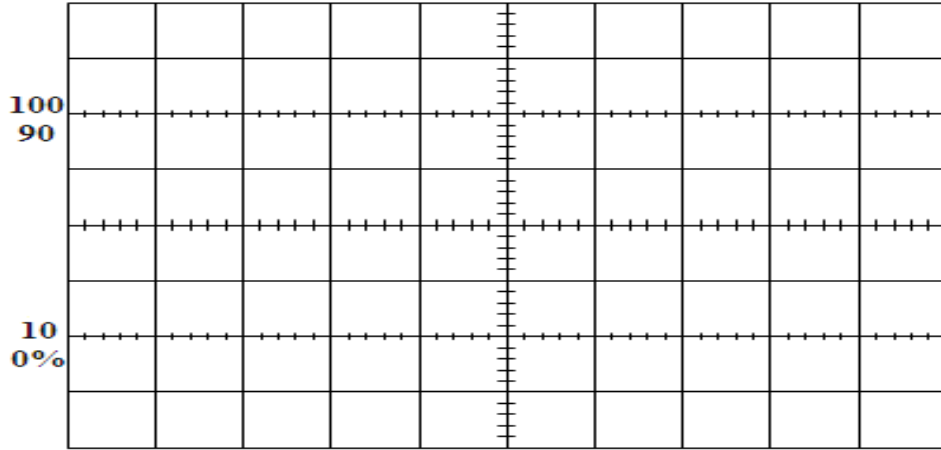
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.34

❖ Nhận xét:

1/. So sánh dạng điện áp V_o ở mỗi lần đo (V_{max} , V_{min} , tần số tín hiệu vào và tín hiệu ra)?

.....

.....

.....

.....

.....

2/. Giải thích dạng điện áp V_o theo từng khoảng thời gian cho mỗi lần đo?

.....

.....

.....

.....

3/. So sánh dạng điện áp ngõ vào và ngõ ra của các lần đo với lý thuyết đã học? Nếu khác thì tại sao?

.....

.....

.....

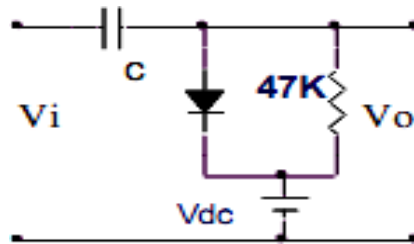
.....

II. Mạch ghim điện áp (Mạch Kẹp).

1. Mạch ghim đỉnh trên.

❖ Lần 1:

Sinh Viên mắc mạch như hình 3.35



Hình 3.35

Điều chỉnh nguồn tín hiệu là xung vuông đối xứng, biên độ 10V, tần số 1KHz và cấp vào VI của mạch trên.

Dùng nguồn điều chỉnh được 0..30V điều chỉnh $V_{dc} = 5V$.

Đo và vẽ điện áp VI (kênh 1) và Vo (kênh 2) vào hình 3.36.

- Kênh 1:

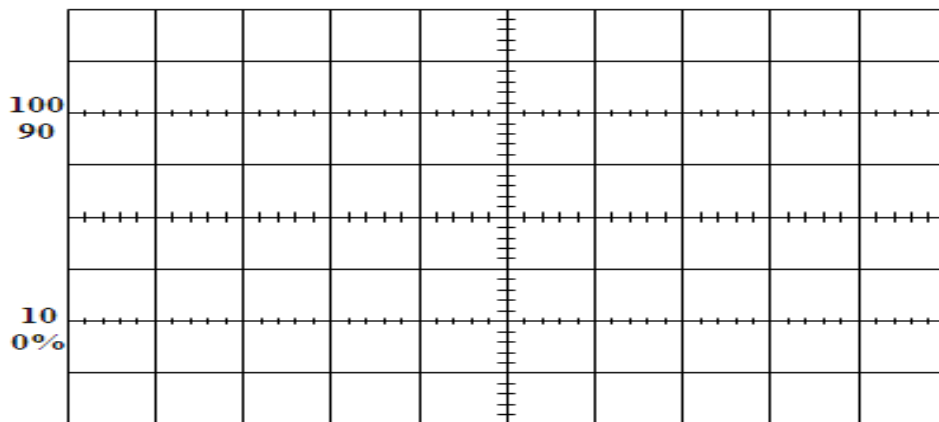
+ Time/Div:

+ Volts/Div:

- Kênh 2:

+ Time /Div

+Volts/Div



Hình 3.37

❖ Lần 2:

Thực hiện như lần một nhưng thay nguồn tín hiệu là sóng sin, có biên độ 10V, tần số 2KHz và cấp vào VI của mạch trên.

Đo và vẽ điện áp VI (kênh 1) và Vo (kênh 2) vào hình 3.38.

Kênh 1:

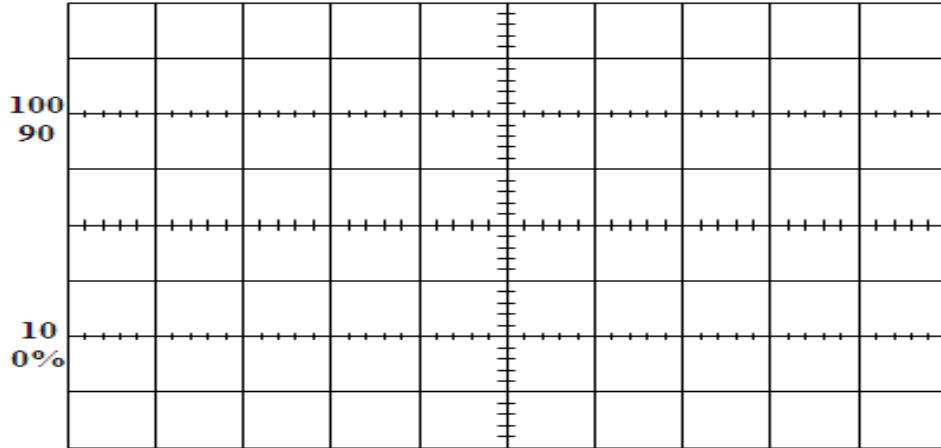
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.38

❖ Lần 3:

Thực hiện như lần một nhưng thay nguồn tín hiệu là sóng tam giác, có biên độ 10V tần số 2KHz và cấp vào VI của mạch trên.

Đo và vẽ điện áp VI (kênh 1) và Vo (kênh 2) vào hình 3.39.

Kênh 1:

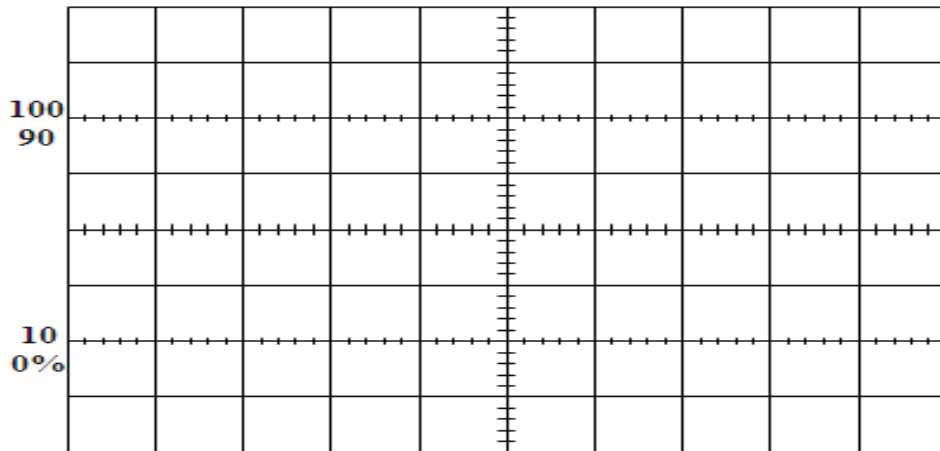
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.39

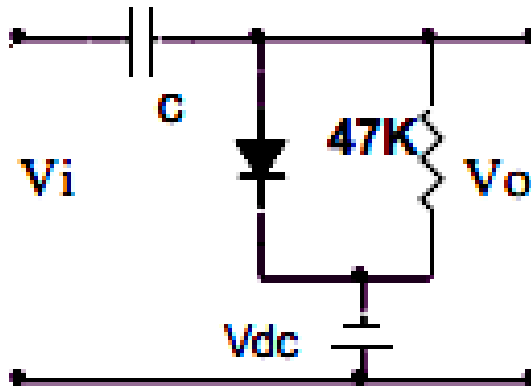
❖ Lần 4:

Để nguyên mạch đang chạy ở lần 2, điều chỉnh điện áp Vdc, nhìn trên OSC và nhận xét.

.....

❖ Lần 5:

Sinh Viên mắc mạch như hình 3.40



Hình 3.40

Điều chỉnh nguồn tín hiệu là xung vuông đối xứng, biên độ 5V, tần số 1KHz và cấp vào V_i của mạch trên.

Dùng nguồn điều chỉnh được -30V..0 điều chỉnh $V_{dc} = -5V$. Đo và vẽ điện áp V_i (kênh 1) và V_o (kênh2) vào hình 3.41.

Kênh 1:

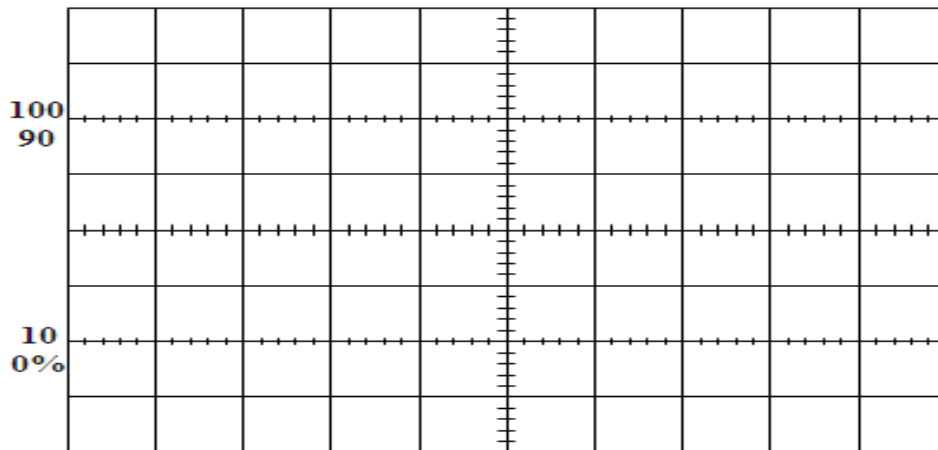
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.41

❖ Lần 6

Thực hiện như lần năm nhưng thay nguồn tín hiệu là xung vuông đơn cực, có biên độ 5V tần số 3KHz và $V_{DC} = -6V$.

Đo và vẽ điện áp V_i (kênh 1) và V_o (kênh2) vào hình 3.42

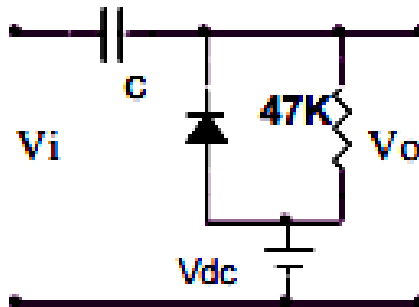
Kênh 1:

Kênh 2:

2. Mạch ghim đỉnh dưới.

❖ Lần 1:

Sinh Viên mắc mạch như hình 3.43



Hình 3.43

Điều chỉnh nguồn tín hiệu là xung vuông đối xứng, biên độ 5V, tần số 1KHz và cấp vào V_i của mạch trên.

Dùng nguồn điều chỉnh được 0..30V điều chỉnh $V_{dc} = 5V$.

Đo và vẽ điện áp V_i (kênh 1) và V_o (kênh 2) vào hình 3.44

Kênh 1:

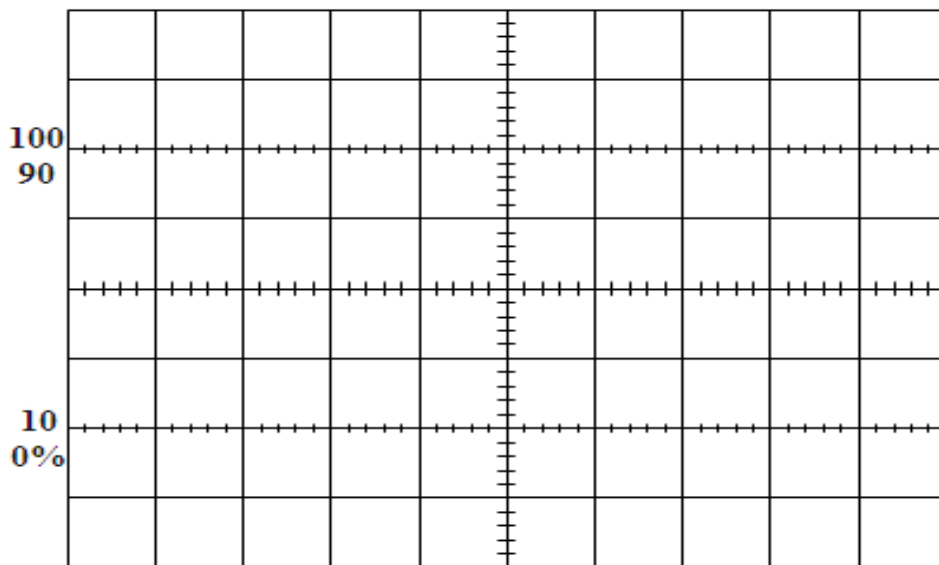
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.44

❖ Lần 2:

Thực hiện như lần một nhưng thay nguồn tín hiệu là sóng sin, có biên độ 5V, tần số 2KHz và cấp vào V_i của mạch trên.

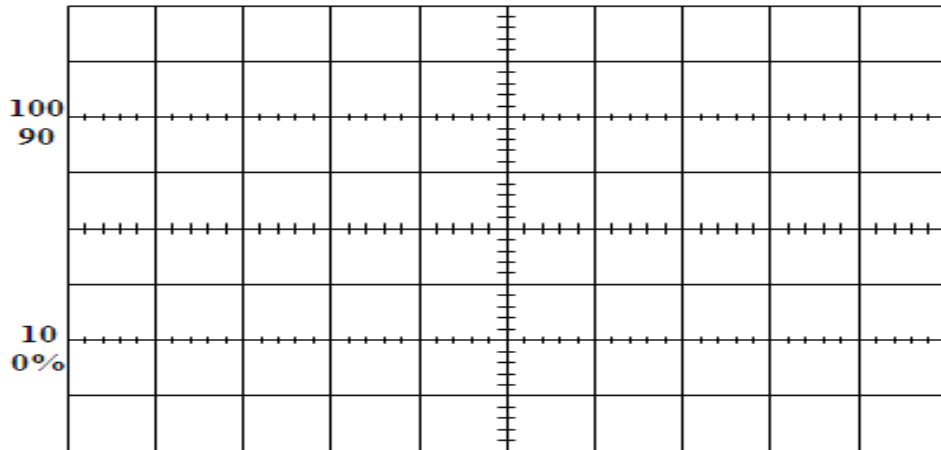
Đo và vẽ điện áp V_i (kênh 1) và V_o (kênh2) vào hình 3.45

Kênh 1:

Kênh 2:

- Time/Div:
- Volts/Div:

- Time /Div
- Volts/Div



Hình 3.45

❖ Lần 3:

Thực hiện như lần một nhưng thay nguồn tín hiệu là xung vuông đơn cực, có biên độ 4V tần số 3KHz và $V_{dc} = 6V$.

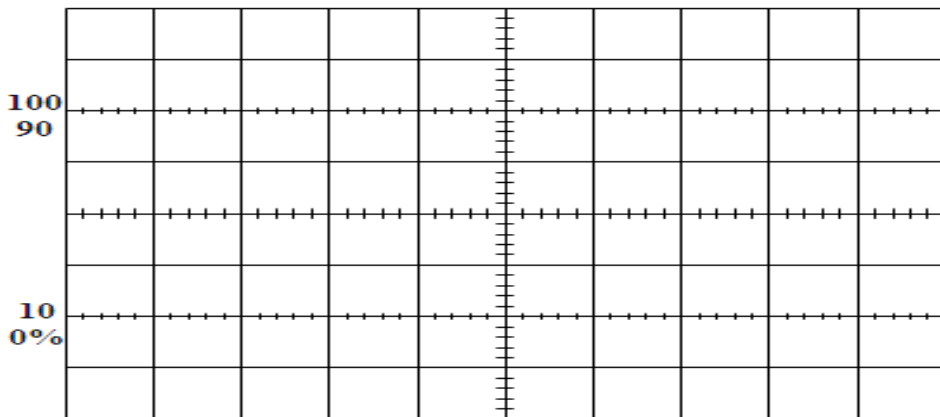
Đo và vẽ điện áp V_I (kênh 1) và V_o (kênh 2) vào hình 3.46.

Kênh 1:

- Time/Div:
- Volts/Div:

Kênh 2:

- Time /Div
- Volts/Div



Hình 3.46

❖ Lần 4:

Để nguyên mạch đang chạy ở lần 2, điều chỉnh điện áp V_{dc} , nhìn trên OSC và nhận xét.

.....

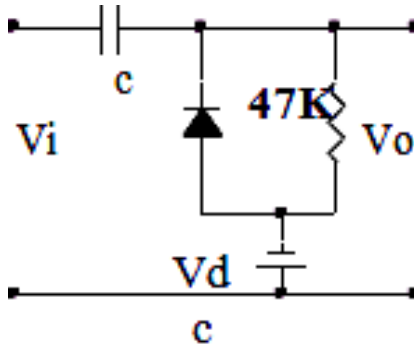
.....

.....

.....

❖ Lần 5:

Sinh Viên mắc mạch như hình 3.47



Hình 3.47

Đổi xứng, biên độ 10V, tần số 1KHz và cấp vào V_i của mạch trên. Dùng nguồn điều chỉnh được -30V..0 điều chỉnh $V_{dc} = -5V$.

Đo và vẽ điện áp V_i (kênh 1) và V_o (kênh2) vào hình 3.48.

Kênh 1:

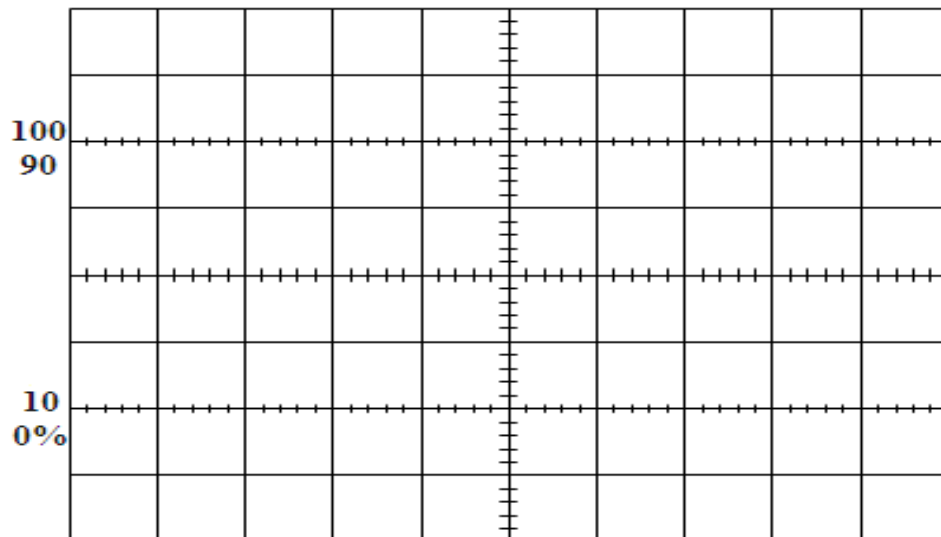
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.48

❖ Lần 6:

Thực hiện như lần năm nhưng thay nguồn tín hiệu là xung vuông lưỡng cực, có

biên độ 4V tần số 3KHz và $V_{dc} = -6V$.

Đo và vẽ điện áp V_i (kênh 1) và V_o (kênh 2) vào hình 3.49

Kênh 1:

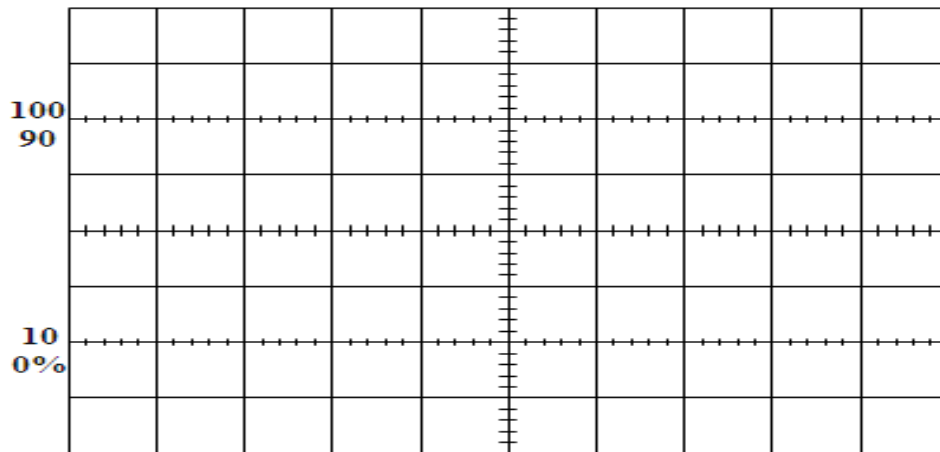
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 3.49

❖ Nhận xét:

1/. So sánh dạng điện áp V_o ở mỗi lần đo (V_{max} , V_{min} , tần số tín hiệu vào và tín hiệu ra)? Cho biết điều kiện để hình dạng của V_o giống V_i .

.....

2/. Giải thích dạng điện áp V_o theo từng khoảng thời gian cho mỗi lần đo?

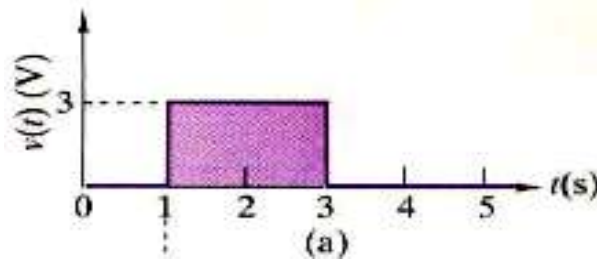
.....

3/. So sánh dạng điện áp ngõ vào và ngõ ra của các lần đo với lý thuyết đã học? Nếu khác thì tại sao?

.....

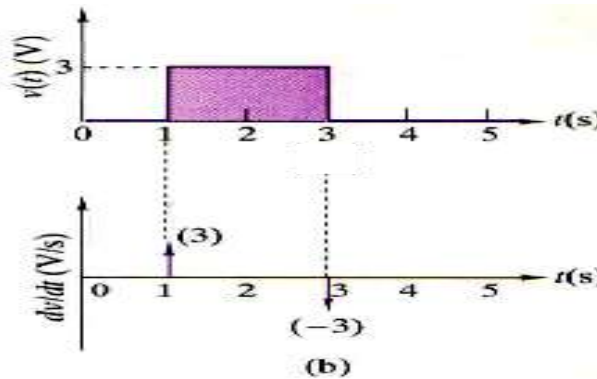
ÔN TẬP CHƯƠNG

1. Hãy tính toán vẽ dạng sóng của hàm $\delta(t)$ với hàm xung được cho trong hình 1a

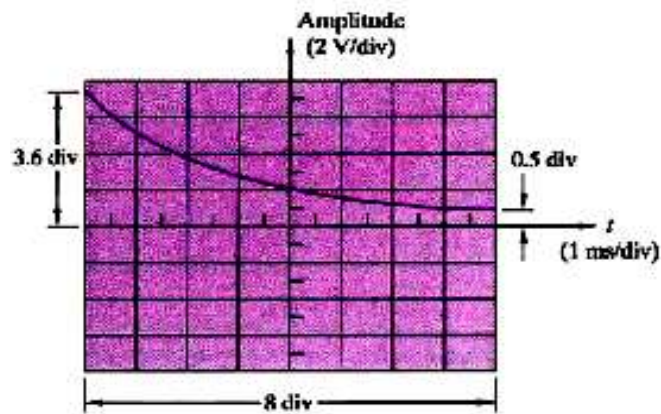


Hình 1a

$$\text{Đs: } \frac{dv(t)}{dt} = 3\delta(t-1) - 3\delta(t-3)$$



2. Hình 2 trình bày màn hình dao động ký đang đo một phần dạng sóng của hàm mũ. Trong hình vẽ trực đứng là trục biên độ với độ phân giải là 2V/1 ô chia, trục ngang là trục thời gian 1ms/1 ô chia. Hãy tìm thời hằng T_c của hàm mũ.



hình 2

$$\text{Đs: } T_c = \frac{\Delta t}{\ln \frac{v(t+\Delta t)}{v(t)}} = \frac{8 \cdot 10^{-3}}{\ln \left[\frac{7.2}{1} \right]} = 4.05 \text{ms}$$

3. a) Hãy tìm tần số và chu kỳ của các tín hiệu sau đây:

$$V_1(t) = 17 \cos(2000t - 30^\circ)$$

$$V_2(t) = 12 \cos(2000t + 30^\circ)$$

b) Hãy tìm phương $V_3(t) = V_1(t) + V_2(t)$

$$\text{- Đs: b) } V_3(t) = 25,2 \cos(2000t + 5.69^\circ) = 25,1 \cos 2000t + 2,5 \sin 2000t \text{ (v)}$$

➤ YÊU CẦU VỀ ĐÁNH GIÁ KẾT QUẢ HỌC TẬP BÀI 3

 Nội dung:

+ Về kiến thức: Trình bày được khái niệm, hiểu được sự khác nhau của các mạch xén và ghim điện áp,...

+ Về kỹ năng: sử dụng thành thạo các dụng cụ đo để đo được các hình dạng, biên độ, tần số, điện áp ở ngõ vào – ra của tín hiệu một cách chính xác.

+ Về thái độ: Đảm bảo an toàn và vệ sinh công nghiệp.

 Phương pháp:

+ Về kiến thức: Được đánh giá bằng hình thức kiểm tra viết, trắc nghiệm.

+ Về kỹ năng: Đánh giá kỹ năng thực hành đo được các thông số trong mạch điện theo yêu cầu của bài.

+ Thái độ: Tỉ mỉ, cẩn thận, chính xác, ngăn nắp trong công việc.

Phần 2: Kỹ thuật số
BÀI 1
ĐẠI CƯƠNG
Mã Bài: MĐ28- 01

Giới thiệu

Trong khoa học, công nghệ hay cuộc sống đời thường, ta thường xuyên phải tiếp xúc với số lượng. Số lượng có thể đo, quản lý, ghi chép, tính toán nhằm giúp cho các xử lý, ước đoán trở nên ít phức tạp hơn.

- Có 2 cách biểu diễn số lượng:

Dạng tương tự (Analog) và Dạng số (Digital)

• *Dạng tương tự:*

Ví dụ: Nhiệt độ, tốc độ, điện thế của đầu ra micro... Là dạng biểu diễn với sự biến đổi liên tục của các giá trị .

• *Dạng số:*

Ví dụ: Thời gian hiện trên đồng hồ điện tử. Là dạng biểu diễn trong đó các giá trị thay đổi từng nấc rời rạc .

Mục tiêu:

- Trình bày được các khái niệm cơ bản về mạch tương tự và mạch số.
- Trình bày được cấu trúc của hệ thống số và mã số.
- Trình bày được cấu tạo, nguyên lý hoạt động của các cổng logic cơ bản
- Trình bày được các định luật cơ bản về kỹ thuật số, các biểu thức toán học của số
- Chủ động, sáng tạo và đảm bảo trong quá trình học tập

Nội dung

1. Tổng quan về mạch tương tự và mạch số

- Mục tiêu: Phân biệt được tín hiệu tương tự và tín hiệu số, ưu nhược điểm của chúng.

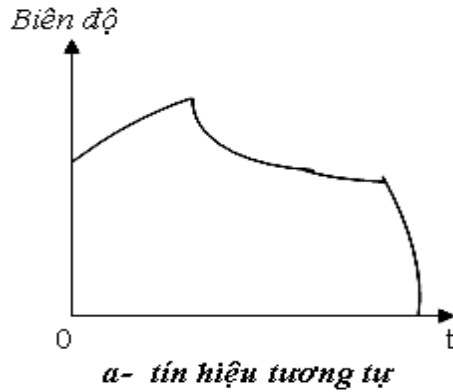
1.1 Định nghĩa

-Tín hiệu

Tín hiệu là biến thiên của biên độ, thường là điện áp hay dòng điện theo thời gian. Đường biểu diễn của tín hiệu là dạng sóng

- Tín hiệu tương tự (hình 1.1)

Tín hiệu tương tự là tín hiệu có biên độ liên tục theo thời gian. Trong thực tế các đại lượng vật lý như vận tốc, nhiệt độ môi trường, tiếng nói...đều là tín hiệu tương tự.

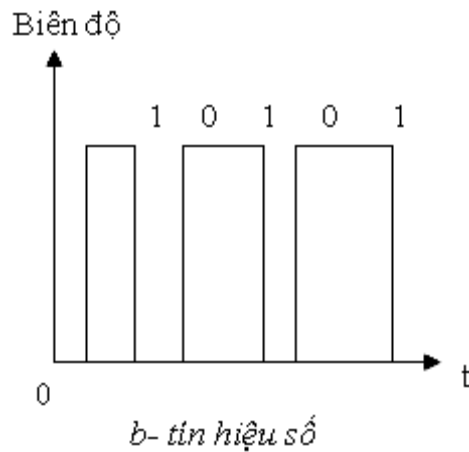


Hình 1.1

Trong kỹ thuật điện tử mạch tương tự là mạch xử lý các tín hiệu tương tự có dạng như hình vẽ có nghĩa là trong cùng một khoảng thời gian xác định mạch phải xử lý n mức tín hiệu khác nhau

- **Tín hiệu số** (hình 1.2)

Tín hiệu số là tín hiệu có biên độ gián đoạn theo thời gian. Biên độ chỉ có hai mức như hình vẽ, mức (1) đại diện cho biên độ cao, mức (0) đại diện cho biên độ thấp.



Hình 1.2

Mạch số chỉ xử lý hai mức tín hiệu 0 hoặc 1 trong cùng một khoảng thời gian mà thôi.

1.2 Ưu và nhược điểm của kỹ thuật số so với kỹ thuật tương tự

Kỹ thuật số có nhiều ưu điểm so với kỹ thuật mạch tương tự khiến cho kỹ thuật số ngày càng phổ biến ở gần như hầu hết các lĩnh vực như: đo lường, điều khiển tính toán, thông tin... Tuy nhiên kỹ thuật mạch tương tự cũng có những đặc tính riêng mà mạch số không thể thay thế.

❖ *Ưu điểm:*

Nhìn chung thiết bị số dễ thiết kế hơn: Đó là do mạch được sử dụng các vi mạch chuyên dùng đã được thiết kế với chức năng định trước. Khả năng chống

nhiều và sự méo dạng cao: Do đặc thù của hệ thống là chỉ xử lý hai mức tín hiệu 1 và 0 và thời gian chuyển tiếp giữa chúng là rất nhanh nên khả năng chống nhiễu rất cao, hơn nữa biên độ của tín hiệu nhiễu không đủ khả năng làm thay đổi giữa hai mức tín hiệu từ 0 sang 1 và ngược lại từ 1 sang 0. Trong khi đó ở thiết bị tương tự độ chính xác bị giới hạn vì mạch phải xử lý các tín hiệu liên tục theo thời gian, hơn nữa các linh kiện sử dụng không thực sự tuyến tính.

Do đó biên độ của tín hiệu nhiễu dễ dàng xâm nhập vào hệ thống và làm mất tính ổn định của hệ thống.

Lưu trữ và truy cập dễ dàng, nhanh chóng: Do tín hiệu số chỉ có hai mức nên việc lưu trữ ở những môi trường khác nhau (bộ nhớ bán dẫn, băng từ...) và truy cập rất thuận tiện.

Độ chính xác và độ phân giải cao: Trong việc đo đạc thời gian, tần số, điện thế v.v... kỹ thuật số cho độ chính xác và độ phân giải cao hơn kỹ thuật tương tự.

Có thể lập trình hoạt động của hệ thống kỹ thuật số: Hoạt động của hệ thống kỹ thuật có thể điều khiển theo một qui luật định trước bằng một tập lệnh gọi là chương trình. Cùng với việc ra đời của các vi xử lý và vi điều khiển làm cho việc tự động điều khiển hệ thống trở nên dễ dàng hơn.

❖ *Nhược điểm*

Hầu hết các đại lượng vật lý đều mang bản chất của tín hiệu tương tự. Chính những đại lượng này thường là đầu vào và đầu ra của các hệ thống điều khiển. Ví dụ như các đại lượng nhiệt độ, áp suất, lưu lượng, vận tốc... Phân tích các đại lượng này theo thời gian đó chính là các đại lượng tương tự.

Trong kỹ thuật người ta thường phải thực hiện biến đổi từ tín hiệu tương tự sang tín hiệu số và ngược lại. Điều này làm cho thiết bị thêm phức tạp và giá thành cao hơn. Tuy nhiên những bất lợi này bị lấn lướt bởi ưu điểm của kỹ thuật số nên việc chuyển đổi qua lại giữa kỹ thuật số và kỹ thuật tương tự là việc cần thiết và trở nên phổ biến trong công nghệ ngày nay.

Để tận dụng được những ưu điểm của kỹ thuật số và kỹ thuật tương tự người ta sử dụng cả hai loại vào trong một hệ thống. Ở những hệ thống này khâu thiết kế cần quyết định khâu nào dùng kỹ thuật tương tự và khâu nào dùng kỹ thuật số.

2 . Hệ thống số và mã số

- *Mục tiêu: Phân biệt và chuyển đổi giữa các hệ thống số với nhau, ưu và nhược điểm của hệ thống mã số.*

2.1 Hệ thống số thập phân (Decimal system)

Trong hệ thập phân người ta sử dụng 10 ký tự từ 0 đến 9 kết hợp với các dấu chấm, dấu phẩy để chỉ về lượng:

Trong dãy số thập phân: $d_{n-1}...d_2d_1d_0$ theo qui ước từ phải qua trái vị trí của chúng thể hiện hàng đơn vị, hàng chục, hàng trăm, hàng nghìn . . . với phần nguyên và ngược lại từ trái qua phải là phần chục, phần trăm, phần nghìn . . . đối với phần lẻ sau dấu phẩy.

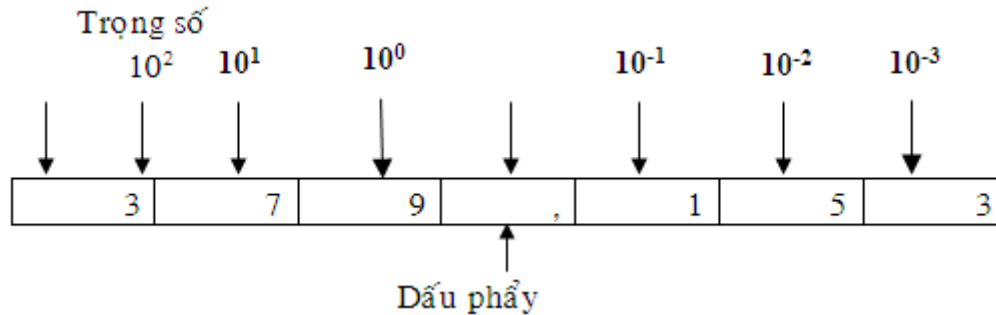
Ví dụ: Hình 1.3, cho số thập phân 379,153 với phần nguyên là 379 và phần lẻ là 153 được biểu diễn như sau:

$$- 379,153_{10} = 3.10^2 + 7.10^1 + 9.10^0 + 1.10^{-1} + 5.10^{-2} + 3.10^{-3}$$

$$- 1999_{10} = 1.10^3 + 9.10^2 + 9.10^1 + 9.10^0 = 1000 + 900 + 90 + 9$$

$$- 1,25 = 1.10^0 + 2.10^{-1} + 5.10^{-2} = 1,00 + 0,2 + 0,05 = 3,625_{10}$$

Nói tóm lại bất kỳ số nào cũng là tổng các tích giữa giá trị của mỗi chữ số với giá trị (gọi là trọng số) của nó.



Hình 1.3

Đối với một dãy số thập phân có n số hạng thì có 10^n giá trị và giữa hai giá trị liền kề nhau chênh lệch nhau 10 lần

2.2 Hệ thống số nhị phân (Binary system)

- Ký tự số : 0,1

- Cơ số: 2

Để biểu diễn số nhị phân người ta dùng hai kí số (digit) 0 và 1 để diễn tả về lượng của một đại lượng nào đó. Một dãy số nhị phân chỉ tính phần nguyên được biểu diễn như sau:

$$\mathbf{b_{n-1}b_{n-2} \dots b_2b_1b_0}$$

Qui ước mỗi số hạng là một bit. Bit tận cùng bên trái gọi là MSB (tức là bit có giá trị lớn nhất) và bit ở tận cùng bên phải gọi là LSB (tức là bit có giá trị nhỏ nhất).

Như vậy số nhị phân có n bit thì sẽ có 2^n giá trị khác nhau. Giá trị nhỏ nhất là 0. . .000 và giá trị lớn nhất là 1. . .111. Trọng số các bit từ thấp đến cao lần lượt là 1, 2, 4, 8 và giữa hai bit kề nhau chênh lệch nhau 2 lần.

Ví dụ: Số nhị phân $10101_2 = 1.2^4 + 0.2^3 + 1.2^2 + 0.2^1 + 1.2^0$

$$- 11,101_2 = 1.2^1 + 1.2^0 + 1.2^{-1} + 0.2^{-2} + 1.2^{-3}$$

❖ **Chuyển đổi từ số nhị phân sang thập phân.**

Quy tắc chuyển như sau:

$$b_{n-1}b_{n-2} \dots b_2b_1b_0 = b_{n-1}.2^{n-1} + b_{n-2}.2^{n-2} \dots b_2.2^2 + b_1.2^1 + b_0.2^0$$

Ví dụ: Chuyển đổi số nhị phân sau sang số thập phân.

a) 100111

b) 11,1010

Giải

$$\begin{aligned} \text{a) } 100111_2 &= 1.2^5 + 0.2^4 + 0.2^3 + 1.2^2 + 1.2^1 + 1.2^0 \\ &= 32 + 0 + 0 + 4 + 2 + 1 = 39_{10} \end{aligned}$$

$$\begin{aligned} \text{b) } 11,1010_2 &= 1.2^1 + 1.2^0 + 1.2^{-1} + 0.2^{-2} + 1.2^{-3} + 0.2^{-4} \\ &= 2 + 1 + 1/2 + 1/8 \end{aligned}$$

❖ **Chuyển đổi từ số thập phân sang nhị phân.**

Quy tắc chuyển như sau:

Sử dụng qui tắc chia 2 liên tiếp số A_{10} và lấy phần dư

- Phần dư đầu tiên của phép chia là bit LSB
- Phần dư cuối cùng của phép chia là bit MSB

Ví dụ: Chuyển số thập phân $A_{10} = 20$ sang số nhị phân

Việc chuyển đổi được tiến hành như sau:

$$\begin{array}{l} 40/2 = 20 + \text{dư } 1 \text{ (LSB)} \\ 20/2 = 10 + \text{dư } 0 \\ 10/2 = 5 + \text{dư } 0 \\ 5/2 = 2 + \text{dư } 1 \\ 2/2 = 1 + \text{dư } 0 \text{ (MSB)} \end{array} \quad \uparrow$$

Kết quả: $A_2 = 01001$

2.3 Hệ thống số bát phân (Octal system)

- Ký tự số : 0,1,2,3,4,5,6,7
- cơ số: 8

Trong hệ thống số bát phân người ta dùng các số từ 0 đến 7 để mô tả về lượng của một đại lượng và cũng theo luật vị trí trọng số của 8^m ($m = \dots -2, -1, 0, 1, 2, \dots$). Một dãy số octal được biểu diễn như sau: $0_{n-1}0_{n-2} \dots 0_20_10_0$

Trong đó một dãy số bát phân có n số hạng thì sẽ có 8^n giá trị khác nhau, giá trị thấp nhất là 0. . .000 và giá trị lớn nhất là 7. . .777. Trọng số các bit từ thấp đến cao lần lượt là 1, 8, 64. . . và giữa hai số liền kề nhau chênh lệch nhau 8 lần

❖ **Chuyển đổi từ bát phân sang thập phân**

Quy tắc chuyển như sau:

$$0_{n-1}0_{n-2} \dots 0_20_10_0$$

❖ Chuyển đổi số thập phân sang biểu diễn số bát phân

Quy tắc chuyển như sau:

Để thực hiện chuyển từ A_{10} sang A_8 ta thực hiện phép chia của A_{10} cho A_8 rồi lấy phần dư

Ví dụ: Cho $A_{10} = 435$ hãy tìm $A_8 = ?$

Giải

Ta có: $435/8 = 54 + \text{dư } 3 \text{ (LSO)}$

$54/8 = 6 + \text{dư } 6$

$6/8 = 0 + \text{dư } 6 \text{ (MSO)}$

Kết quả: $A_8 = 663$

❖ **Chuyển đổi một số bát phân sang số nhị phân**

Để thực hiện chuyển đổi ta thay thế một ký tự số bằng một số nhị phân 3 bit tương ứng theo bảng sau:

ký tự số bát phân	0	1	2	3	4	5	6	7
Nhóm nhị phân	000	001	010	011	100	101	110	111

Ví dụ: $-47_8 = 100111010_2$; $10_8 = 001000_2$;

$$\begin{array}{ccccccc}
 - & \overset{3}{\updownarrow} & \overset{4}{\updownarrow} & \overset{5}{\updownarrow} & 8 & = & 11100101_2, & \overset{1}{\updownarrow} & \overset{3}{\updownarrow} & \overset{7}{\updownarrow} & 8 & = & 1011111_2 \\
 & 011 & 100 & 101 & & & & 011 & 011 & 111 & & &
 \end{array}$$

2.4 Hệ thống số thập lục phân (Hexadecimal system)

- Ký tự số : 0,1,2,3,4,5,6,7,8,9,A,B,C,D,E,F

- Cơ số: 16

Hệ HEX sử dụng 16 ký tự bao gồm 10 số tự nhiên từ 0 đến 9 và các chữ cái in hoa gồm A, B, C, D, E, F để diễn tả 16 số thập phân từ 0 đến 15.

Lý do dùng hệ thập lục phân là vì một số nhị phân 4 bit có thể diễn tả được $2^4 = 16$ giá trị khác nhau nên rất thuận lợi cho hệ thống số nào đó chỉ dùng một ký tự mà có thể tương ứng với số nhị phân 4 bit, đó là hệ thập lục phân.

Một dãy Hex được biểu diễn như sau: $h_{n-1}h_{n-2} \dots h_2h_1h_0$

Như vậy trong dãy số Hex có n số hạng thì sẽ có 16^n giá trị khác nhau, giá trị nhỏ nhất là 0...000 và giá trị lớn nhất là F...FFF. Trọng số các bit lần lượt là 1, 16, 256... và trọng số của hai số hạng kề nhau chênh lệch nhau 16 lần.

❖ **Chuyển đổi số thập lục phân sang số thập phân**

Ví dụ: $2E_{16} = 2.16^1 + 14.16^0 = 46_{10}$

$$012C, D_{16} = 0.16^3 + 1.16^2 + 2.16^1 + 12.16^0 + 13.16^{-1} \\ = 0 + 256 + 32 + 12 + 0,0625 = 300,065_{10}$$

Ghi chú: nếu số thập lục phân bắt đầu bằng chữ thì khi viết phải thêm số 0 vào trước, ví dụ: EF $\rightarrow$ 0EF.

❖ **Chuyển đổi số thập phân sang số thập lục phân**

- Thực hiện theo quy tắc lấy A_{10} chia cho A_{16} rồi lấy phần dư

Ví dụ: Cho $A_{10} = 5001$ tìm $A_{16} = ?$

Giải

Ta có: $5001/16 = 312 + \text{dư } 9$

$312/16 = 19 + \text{dư } 8$

$19/16 = 1 + \text{dư } 3$

$1/16 = 0 + \text{dư } 1$

Kết quả: $A_{16} = 1389$

❖ **Chuyển đổi thập lục phân sang biểu diễn số nhị phân**

- Thực hiện theo quy tắc biểu diễn một ký số thập lục phân bằng một nhóm tổ hợp 4 bit nhị phân

Ví dụ: Với $A_{16} = 4EFB$ suy ra $A_2 = 0100\ 1110\ 1111\ 1011$

Với $A_{16} = BCD2$ suy ra $A_2 = 1011\ 1100\ 1101\ 0010$

- Bảng hình 1.4 mô tả quan hệ giữa hệ thập phân, thập lục phân và nhị phân 4 bit

Thập phân	Thập lục phân	Nhị phân
0	0	0000
1	1	0001
2	2	0010
3	3	0011
4	4	0100
5	5	0101
6	6	0110
7	7	0111

8	8	1000
9	9	1001
10	A	1010
11	B	1011
12	C	1100
13	D	1101
14	E	1110
15	F	1111

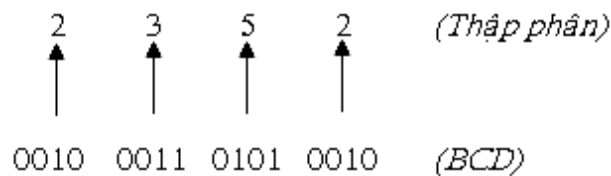
Hình 1.4

2.5 Mã BCD (Binary code decimal)

Thông tin được xử lý trên mạch số điều là các số nhị phân nên mọi thông tin dữ liệu dù là số lượng, các chữ, các dấu, các mệnh lệnh sau cùng phải ở dạng nhị phân thì mạch số mới hiểu và xử lý được. Do đó phải qui định cách thức mà các số nhị phân dùng để biểu diễn các dữ liệu khác nhau từ đó xuất hiện các mã số. Trước tiên mã thập phân thông dụng nhất là mã BCD (Binary code decimal: mã của số thập phân được mã hóa theo số nhị phân).

Vì ký số thập phân lớn nhất là 9 nên ta cần 4 bit để mã hóa mỗi ký số thập phân

Ví dụ: Để minh họa mã BCD ta tiến hành mã hóa số thập phân 2352 sang mã BCD. Trong đó mỗi ký số của hệ thập phân được biểu diễn bởi một tổ hợp mã BCD như sau:



Mỗi số thập phân được đổi sang số nhị phân tương đương và luôn luôn dùng 4 bit cho từng số thập phân

Mã BCD biểu diễn mỗi số thập phân bằng một số nhị phân 4 bit và ta nhận thấy rằng chỉ có các số từ 0000 đến 1001 được sử dụng, ngoài các nhóm số nhị phân 4 bit này không được dùng làm mã BCD.

Ví dụ: Đổi số BCD sang số thập phân

a) 1000100100100110_{BCD}

b) 1100100001010111_{BCD}

Giải

a) Chia số BCD thành từng nhóm 4 bit và đổi mỗi nhóm sang thập phân

1000 1001 0010 0110
 ↑ ↑ ↑ ↑
 8 9 2 6

Kết quả số thập phân tương ứng là: 8926₁₀

b) Tương tự như câu a ta có

1100 1000 0101 0111
 ↑ ↑ ↑ ↑
 Mã cấm 8 5 7

Trong BCD

- **Ưu điểm** : Chính của mã BCD là dễ dàng chuyển đổi từ mã thập phân sang nhị phân và ngược lại bằng cách chỉ cần nhớ các nhóm mã 4 bit ứng với các kí số thập phân từ 0 đến 9.

- So sánh mã BCD và mã nhị phân

Ta cần phải hiểu rằng mã BCD không phải là một hệ thống số như hệ thống số thập phân, nhị phân, bát phân và thập lục phân. Mà thật ra, BCD là hệ thập phân với từng kí số được mã hóa thành giá trị nhị phân tương ứng và cũng phải hiểu rằng mã BCD không phải là một mã nhị phân quy ước.

Mã nhị phân quy ước biểu diễn số thập phân hoàn chỉnh ở dạng nhị phân, còn mã BCD chỉ chuyển đổi từng ký số thập phân sang số nhị phân tương ứng

2.6 Mã ASCII

Ngoài dữ liệu dạng số máy tính còn có khả năng thao tác thông tin khác số như mã biểu thị mẫu tự abc, dấu chấm câu, những ký tự đặc biệt cũng như ký tự số. Những mã này được gọi chung là mã chữ số. Bộ mã chữ số hoàn chỉnh bao gồm 26 chữ thường, 26 chữ hoa, 10 ký tự số, 7 dấu chấm câu và chừng độ 20 đến 40 ký tự khác. Ta có thể nói rằng mã chữ số biểu diễn mọi ký tự và chữ số có trên bàn phím máy tính.

Mã chữ số được sử dụng rộng rãi hiện nay là mã ASCII(American Standard Code Information Interchange).

Mã ASCII là bộ mã có 7 bit nên có $2^7 = 128$ nhóm mã đủ để biểu thị tất cả các ký tự trên bàn phím máy tính.

Bảng danh sách bảng mã ASCII

Ký tự	Mã ASCII 7 bit	Octal	Hexa
A	100 0001	101	41
B	100 0010	102	42
C	100 0011	103	43
D	100 0100	104	44
E	100 0101	105	45

F	100 0110	106	46
G	100 0111	107	47
H	100 1000	110	48
I	100 1001	111	49
J	100 1010	112	4A
K	100 1011	113	4B
L	100 1100	114	4C
M	100 1101	115	4D
N	100 1110	116	4E
O	100 1111	117	4F
P	101 0000	102	50
Q	101 0001	121	51
R	101 0010	122	52
S	101 0011	123	53
T	101 0100	124	54
U	101 0101	125	55
V	101 0110	126	56
W	101 0111	127	57
X	101 1000	130	58
Y	101 1001	131	59
Z	101 1010	132	5A

Ngoài dữ liệu dạng số máy tính còn có khả năng thao tác thông tin khác số như mã biểu thị mẫu tự abc, dấu chấm câu, những ký tự đặc biệt cũng như ký tự số. Những mã này được gọi chung là mã chữ số. Bộ mã chữ số hoàn chỉnh bao gồm 26 chữ thường, 26 chữ hoa, 10 ký tự số, 7 dấu chấm câu và chừng độ 20 đến 40 ký tự khác. Ta có thể nói rằng mã chữ số biểu diễn mọi ký tự và chữ số có trên bàn phím máy tính.

0	011 0000	060	30
1	011 0001	061	31
2	011 0010	062	32
3	011 0011	063	33
4	011 0100	064	34
5	011 0101	065	35
6	011 0110	066	36
7	011 0111	067	37
8	011 1000	070	38
9	011 1001	071	39
<Ký tự trắng>	010 0000	040	20
.	010 1110	056	2E

(	010 1000	050	28
+	010 1011	053	2B
	010 0100	044	24
*	010 1010	052	2A
)	010 1001	051	29
-	010 1101	055	2D
/	010 1111	057	2F
,	010 1100	054	2C
=	011 1101	075	3D
<RETURN>	000 1101	015	0D
<LINEFEED>	000 1010	012	0A

Các phép tính trên hệ thống số

❖ Cộng và trừ hai số nhị phân

• Cộng hai số nhị phân

Như ta đã biết cộng hai số thập phân là hàng đơn vị cộng trước và nếu tổng nhỏ hơn 10 thì viết tổng, nếu tổng lớn hơn 10 thì phải viết hàng đơn vị và nhớ 1 cho lần cộng kế trên.

Trong phép cộng nhị phân cũng tạo ra số nhớ. Đầu tiên cộng hai bit nhị phân có nghĩa ít nhất (LSB) nếu kết quả cộng hai bit ≤ 1 thì viết kết quả và nếu kết quả cộng hai bit > 1 thì phải có nhớ vào kết quả của phép cộng ở bit kế tiếp.

- Quy tắc cộng hai số nhị phân một bit như sau:

Số bị cộng:	0	0	1
Số cộng:	+ 0	+ 1	+ 1
Tổng:	0	1	10
		↑	
		Số nhớ	

Ví dụ:

1010 (= 10)	1101 (= 13)
+ 1001 (= 9)	+ 1111 (= 15)
10011 (= 19)	11100 (= 28)

• Trừ hai số nhị phân:

Trong phép trừ nếu số bị trừ nhỏ hơn số trừ, cụ thể là 0 trừ đi 1, thì phải mượn 1 ở hàng cao kế mà là 2 ở hàng đang trừ và số mượn này phải trả cho hàng cao kế tương tự như phép trừ hai số thập phân.

- Quy tắc trừ hai số nhị phân một bit

Số bị trừ:	0	1	1	0
Số trừ:	- 0	- 1	- 0	- 1
Hiệu:	0	0	1	11


 Số mượn

Đề ý rằng $0 - 1$ không phải là bằng 11 mà là 1 với 1 là số mượn. Khi trừ hai số nhiều bit thì mượn ở hàng nào thì phải cộng vào với số trừ của hàng đó trước khi thực hiện việc trừ.

Ví dụ:

$$\begin{array}{r} \underline{1011} \\ 1001 \\ \hline 0010 \end{array}$$

$$\begin{array}{r} \underline{1100} \\ 0111 \\ \hline 0101 \end{array}$$

❖ ***Nhân và chia hai số nhị phân***

- Quy tắc nhân hai số nhị phân một bit

Cần lưu ý: $0 \times 0 = 0$

$0 \times 1 = 0$

$1 \times 1 = 1$

Ví dụ: Tính a) 1101×101

$$\begin{array}{r} 1101 \\ \times 101 \\ \hline 1101 \\ 0000 \\ 1101 \\ \hline 1000001 \end{array}$$

b) 1010×101

$$\begin{array}{r} 1010 \\ \times 101 \\ \hline 1010 \\ 0000 \\ 1010 \\ \hline 110010 \end{array}$$

- Quy tắc nhân hai số nhị phân một bit

Ví dụ: Thực hiện phép chia 1001100100 cho 11000

Lần chia đầu tiên, 5 bit của số bị chia nhỏ hơn số chia nên ta được kết quả là 0, sai đó ta lấy 6 bit của số bị chia tiếp (tương ứng với việc dịch phải số chia 1 bit trước khi thực hiện phép trừ)

$$\begin{array}{r}
 1001100100 \quad | \quad 11000 \\
 -11000 \downarrow \\
 \hline
 0011100 \\
 -11000 \downarrow \\
 \hline
 00100100 \\
 -11000 \downarrow \\
 \hline
 011000 \leftarrow \text{Thêm vào để chia} \\
 -11000 \text{ tiếp lấy phần lẻ} \\
 \hline
 00000
 \end{array}$$

Kết quả ta được: $11001.1_2 = 25.5_{10}$

❖ **Cộng và trừ hai số thập lục phân**

• **Cộng hai số thập lục phân**

Khi cộng hai số thập phân nếu tổng lớn hơn 9 thì ta viết con số đơn vị và nhớ số hàng chục lên hàng cao kế. Tương tự như vậy đối với số thập lục phân nếu tổng lớn hơn F (15 trong hệ 10) thì ta viết con số đơn vị và nhớ con số hàng thập lục lên hàng cao kế.

Cộng hai số thập lục phân chỉ có một số

$$\begin{array}{r}
 \begin{array}{c} 8 \\ +7 \\ \hline F \end{array}
 \quad
 \begin{array}{c} 8 \\ +8 \\ \hline 10 \end{array}
 \quad
 \begin{array}{c} 8 \\ +A \\ \hline 12 \end{array}
 \quad
 \begin{array}{c} 8 \\ +F \\ \hline 17 \end{array}
 \end{array}$$

Ta thấy:

- Trường hợp $8 + 7 = 15$ tương ứng với F
- Trường hợp $8 + 8 = 16$, ta viết $16 - 16 = 0$ và nhớ 1 và kết quả là 10
- Trường hợp $8 + A = 18$, ta viết $18 - 16 = 2$ và nhớ 1 và kết quả là 12
- Trường hợp $8 + F = 23$, ta viết $23 - 16 = 7$ và nhớ 1 và kết quả là 17
- Cùng quy luật trên áp dụng khi cộng hai số Hex có nhiều con số và dĩ nhiên số nhớ cho hàng nào thì phải cộng thêm cho hàng đó.

Ví dụ:

$$\begin{array}{r}
 \begin{array}{c} 18 \\ +8 \\ \hline 20 \end{array}
 \quad
 \begin{array}{c} AA \\ +EE \\ \hline 198 \end{array}
 \quad
 \begin{array}{c} 3CA \\ +5F7 \\ \hline 9C1 \end{array}
 \end{array}$$

Trừ hai số thập lục phân

Khi trừ hai số Hex nếu số trừ lớn hơn số bị trừ ta mượn 16 để thêm vào số bị trừ và trả 1 cho số trừ ở hàng cao kế.

Ví dụ:

$$\begin{array}{r}
 \begin{array}{c} F \\ -A \\ \hline 5 \end{array}
 \quad
 \begin{array}{c} 5A \\ -F \\ \hline 4B \end{array}
 \quad
 \begin{array}{c} BC2 \\ -CF \\ \hline AC4 \end{array}
 \end{array}$$

❖ Cộng và trừ hai số BCD

• Cộng hai số BCD

Cộng hai số BCD khác với cộng hai số nhị phân bình thường. Khi tổng ở mỗi số hạng của số BCD bằng 9 (= 1001) hay nhỏ hơn 9 thì đó là kết quả cuối cùng.

Ví dụ:

$$\begin{array}{r} + 0101 (= 5) \\ 0010 (= 2) \\ \hline 0111 (= 7) \end{array} \qquad \begin{array}{r} + 0101 (= 5) \\ 0100 (= 4) \\ \hline 1001 (= 9) \end{array}$$

Khi tổng hai số nhị phân lớn hơn 9 tức là từ 1010 trở lên thì tổng phải được cộng phải được cộng thêm 6 (= 0110) để có tổng là 9 hoặc nhỏ hơn và số nhớ 1 lên hàng BCD có nghĩa cao hơn.

Ví dụ:

$$\begin{array}{r} + 1000 (= 8) \\ 0111 (= 7) \\ \hline 1111 (= 15) \end{array} \text{ không phải số BCD}$$

Lý do cộng thêm 6 vì mã BCD không dùng 6 mã cao nhất của số nhị phân 4 bit đó là các mã từ 1010 đến 1111.

• Trừ hai số BCD

Trừ hai số BCD cũng giống như trừ hai số nhị phân nhiều bit. Nếu số bị trừ nhỏ hơn số trừ thì phải mượn 1 ở hàng có nghĩa trên mà là 10 ở hàng đang trừ. Để tiện sắp xếp ta chuyển 1 ở hàng có nghĩa trên thành 10 ở hàng đang trừ rồi cộng vào số bị trừ trước khi thực hiện phép trừ.

Ví dụ:

$$\begin{array}{r} 0010 \ 1010 \\ + \quad 0101 \\ \hline 0010 \ 1000 \\ \underline{0001 \ 0111} \\ 0001 \ 1000 \end{array} \qquad \begin{array}{r} 0111 \ 1001 (=79) \\ 0101 \ 0101 (=55) \\ \hline 0010 \ 0100 (=24) \end{array}$$

✓ Bài tập:

1. Biến đổi các số nhị phân sau sang thập phân:

- 10110_2
- 10001101_2
- 1111010111_2

- d) 10111111_2
 e) 100100001001_2
 f) 110001101_2
2. Biến đổi các số thập phân sau sang số nhị phân:
 a) 37 b) 14 c) 189
 d) 205 e) 2313 f) 511
3. Biến đổi các số thập lục phân sau sang số nhị phân:
 a) 47_8 b) 23_8 c) 170_8
 d) $12A_{16}$ e) BC_{16} f) 517_{16}
4. Biến đổi các số thập phân sau sang bát phân:
 a) 111 b) 97 c) 234
 d) 45 e) 3214 f) 517
5. Biến đổi các số thập phân sau sang thập lục phân:
 a) 22 b) 321 c) 2007
 d) 123 e) 4234 f) 517
6. Hãy chuyển đổi các mã số sau:
 a. Từ mã Binary sang Hexadecimal: 111001011_2
 b. Từ mã Hexadecimal sang Octal: ED_H
 c. Từ mã Decimal sang Octal: 67_{10}
 d. Từ mã Decimal sang Binary: 49_{10}
 e. Từ mã Decimal sang BCD: 76_{10}
 f. Hãy tìm số bù 2 của: (-12)
7. Mã hóa số thập phân dưới đây dùng mã BCD :
 a/ 12 b/ 192 c/ 2079 d/ 15436 e/ 0,375 f/ 17,250

3. Các cổng Logic cơ bản

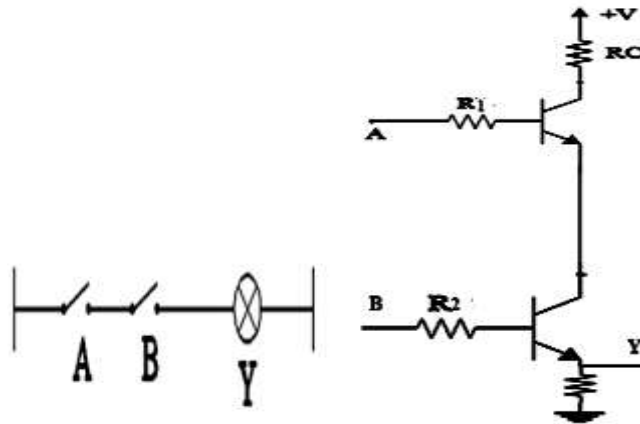
- *Mục tiêu: Phân tích được các mạch của các cổng Logic, tín hiệu của ngõ vào và ra khi có sự kết hợp của nhiều cổng với nhau.*

Trong kỹ thuật điện tử người ta dùng những linh kiện điện tử cần thiết kết nối với nhau theo các quy luật nhất định tạo nên các phần tử cơ bản và từ đó hình thành các mạch chức năng phức tạp hơn. Những phần tử cơ bản này gọi là các cổng logic căn bản.

Một cổng logic căn bản bao gồm một hay nhiều ngõ vào nhưng có duy nhất một ngõ ra và giữa các ngõ vào và ngõ ra biểu thị mối quan hệ với nhau được biểu diễn qua các số nhị phân 0 và 1.

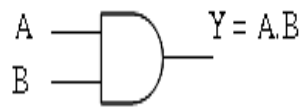
Xét về mức điện áp thì 0 đặc trưng cho điện áp thấp và 1 đặc trưng cho điện áp cao và các cổng logic cơ bản bao gồm các cổng sau.

3.1 Cổng AND, hình 1.5a,b



Hình 1.5a

Ký hiệu:



Bảng trạng thái

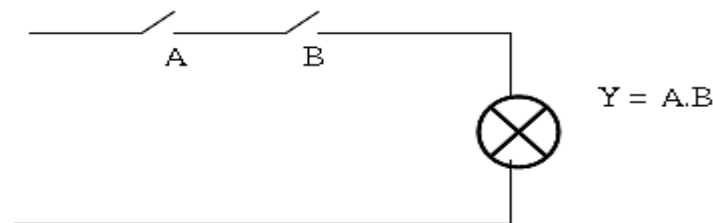
A	B	$Y = A.B$
0	0	0
0	1	0
1	0	0
1	1	1

Hình 1.5b: ký hiệu và bảng trạng thái

Nhận xét:

- Cổng AND thực hiện toán nhân thông thường giữa 0 và 1
- Ngõ ra cổng AND bằng 0 khi có ít nhất một ngõ vào bằng 0
- Ngõ ra cổng AND bằng 1 khi tất cả các ngõ vào đều bằng 1

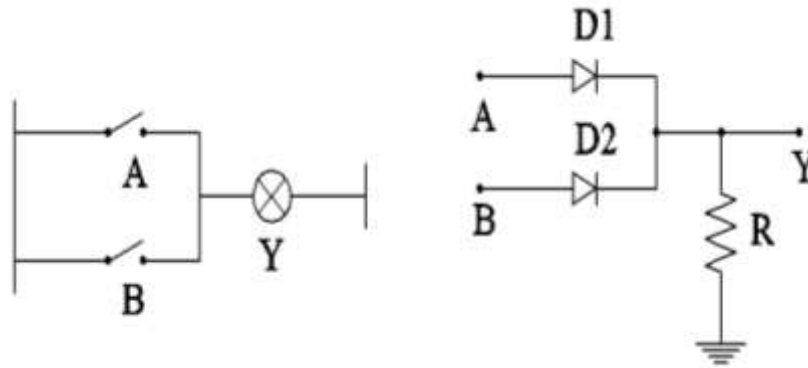
Ví dụ: Mạch điện hình 1.6 sau thực hiện chức năng của cổng AND



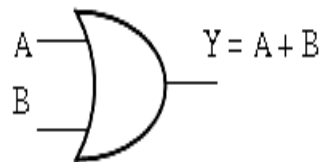
Hình 1.6

Bóng đèn sẽ sáng khi cả hai công tắc A và B đều đóng

3.2 Cổng OR, hình 1.7



Hình 1.7a

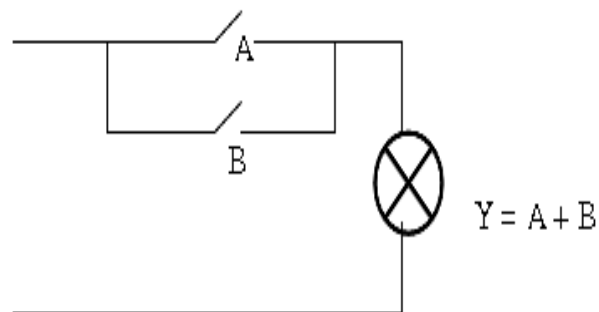
Ký hiệu:*Bảng trạng thái*

A	B	$Y = A + B$
0	0	0
0	1	1
1	0	1
1	1	1

Hình 1.7b: ký hiệu và bảng trạng thái

Nhận xét:

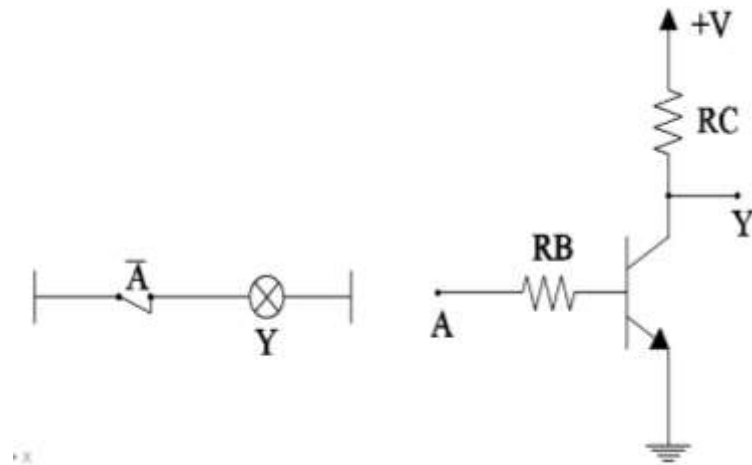
- Cổng OR thực hiện toán cộng thông thường giữa 0 và 1
- Ngõ ra cổng OR bằng 0 khi tất cả các ngõ vào bằng 0
- Ngõ ra cổng OR bằng 1 khi có ít nhất một ngõ vào bằng 1

Ví dụ: Mạch điện hình 1.8 sau thực hiện chức năng của cổng OR

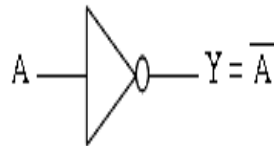
hình 1.8

Bóng đèn sẽ sáng khi công tắc A hoặc công tắc B được bật

3.3 Cổng NOT, hình 1.9a,b



Hình 1.9a

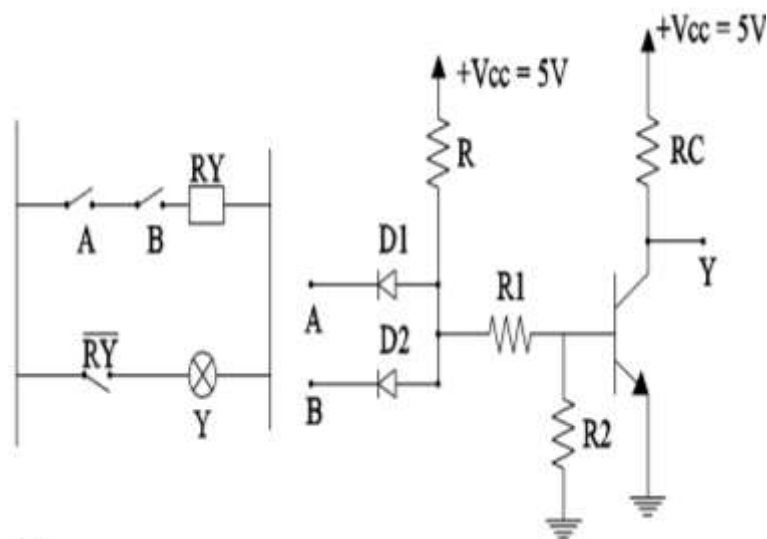
Ký hiệu:*Bảng trạng thái*

A	$Y = \overline{A}$
0	1
1	0

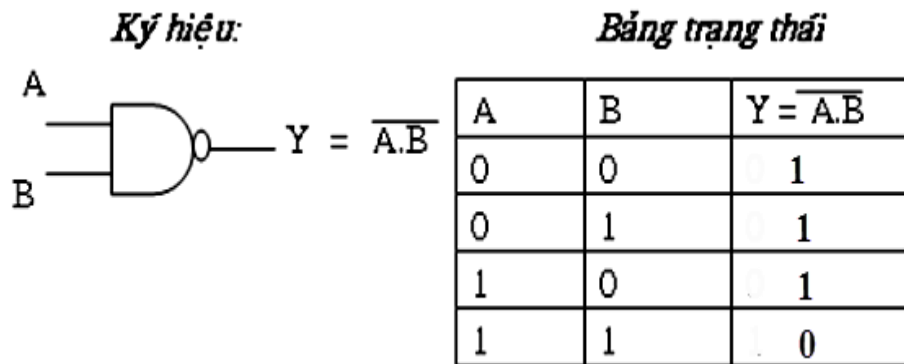
Hình 1.9b: ký hiệu và bảng trạng thái

Nhận xét: Trạng thái ngõ vào và ngõ ra của cổng NOT luôn đối nhau

3.4 Cổng NAND, hình 1.10a,b



Hình 1.10a

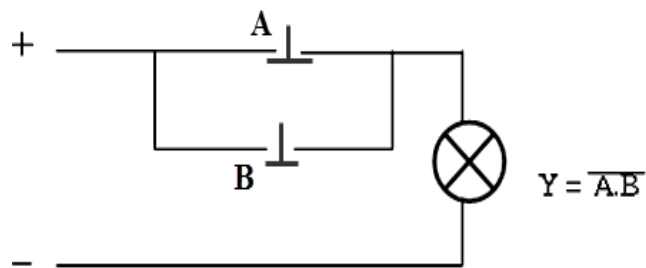


hình 1.10: ký hiệu và bảng trạng thái

Nhận xét:

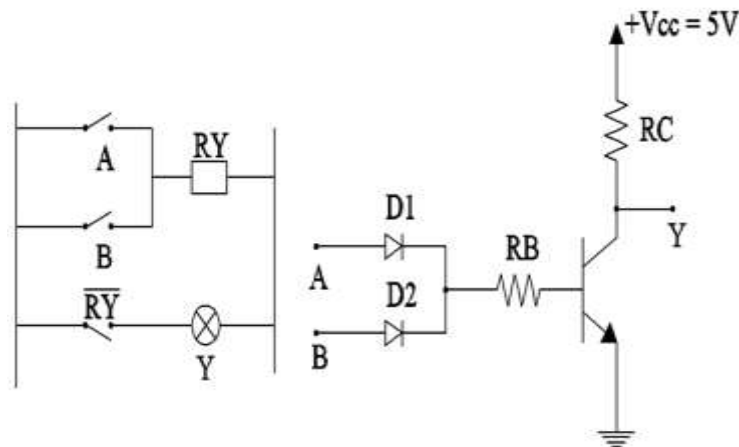
- Cổng NAND là đảo trạng thái ngõ ra của cổng AND
- Ngõ ra cổng NAND bằng 0 khi có tất cả các ngõ vào bằng 1
- Ngõ ra cổng AND bằng 1 khi có ít nhất một ngõ vào bằng 0

Ví dụ: Mạch điện hình 1.11 sau thực hiện chức năng của cổng NAND

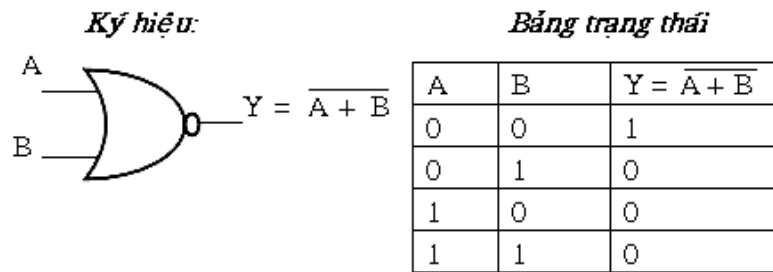


Hình 1.11

Bóng đèn sẽ sáng khi công tắc A hoặc công tắc B không được nhấn với quy ước khi nhấn trạng thái của công tắc là 1 và khi không nhấn là 0

3.5 Cổng NOR, hình 1.12a,b

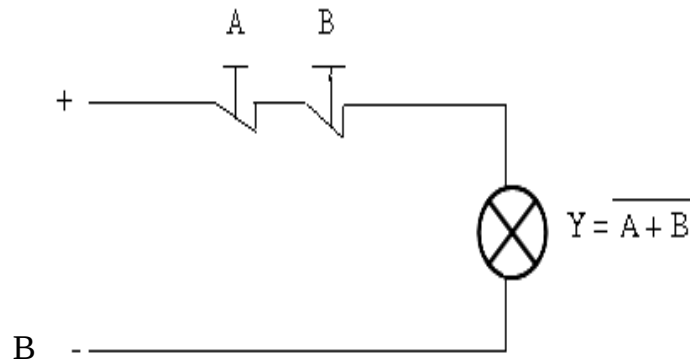
Hình 1.12a



Hình 1.12b: ký hiệu và bảng trạng thái

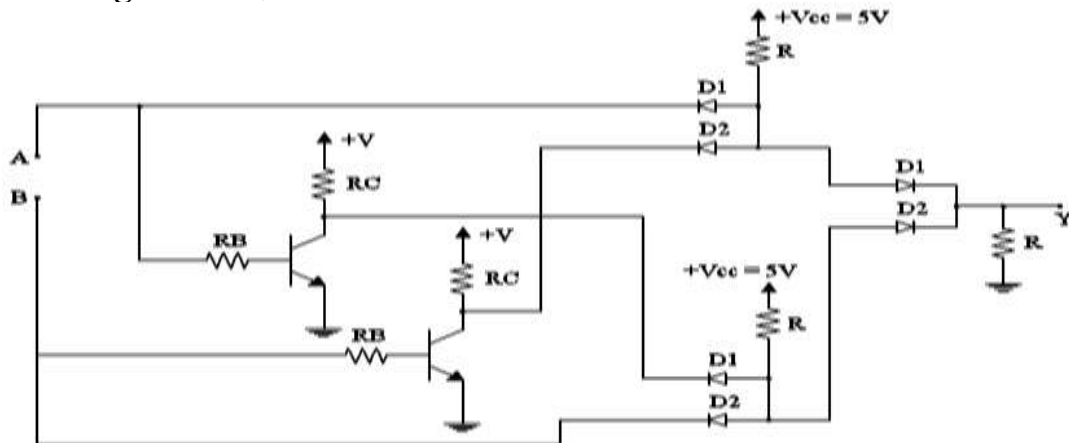
Nhận xét:

- Cổng NOR là đảo của cổng OR
- Ngõ ra cổng NOR bằng 0 khi có ít nhất một ngõ vào bằng 1
- Ngõ ra cổng NOR bằng 1 khi tất cả các ngõ vào bằng 0

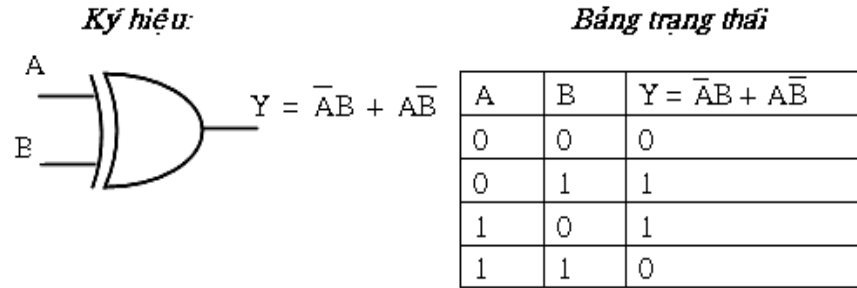
Ví dụ: Mạch điện thể hiện quan hệ của cổng NOT, hình 1.13

Hình 1.13

Chỉ cần nhấn một trong hai nút nhấn thì đèn sẽ tắt

3.6 Cổng EX-OR, hình 1.14

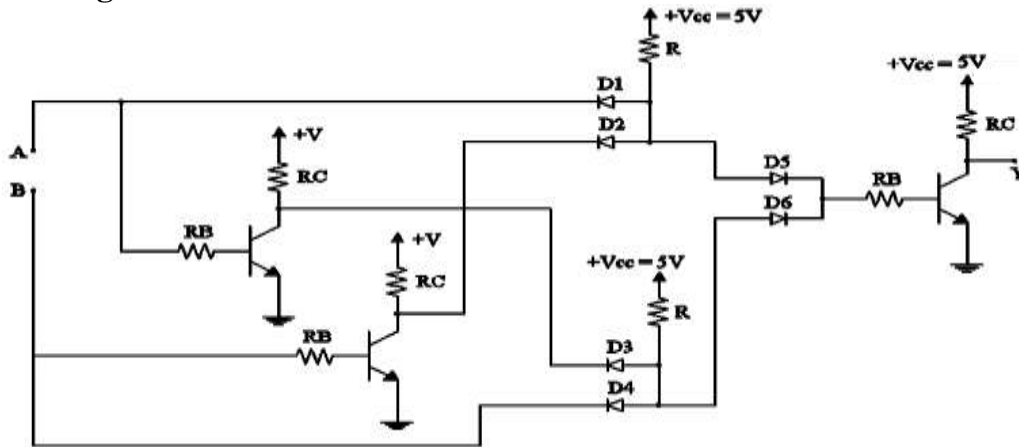
Hình 1.14a



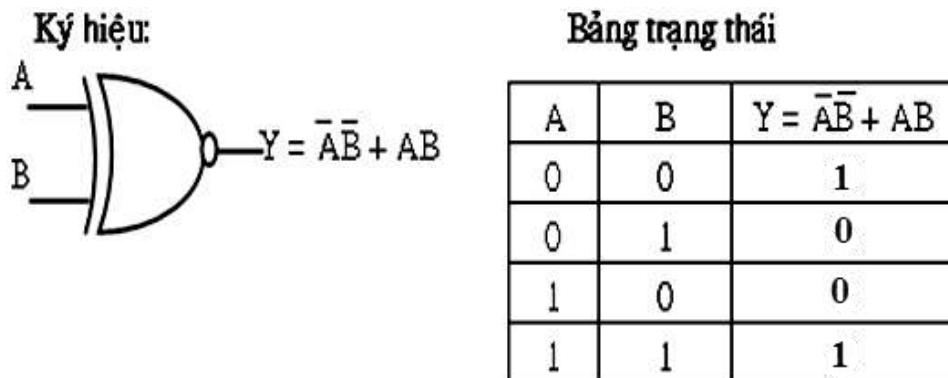
Hình 1.14 b: ký hiệu và bảng trạng thái

Nhận xét:

- Ngõ ra cổng EX-OR bằng 0 khi tất cả các ngõ vào cùng trạng thái
- Ngõ ra cổng EX-OR bằng 1 khi các ngõ vào khác trạng thái

Cổng EX-NOR, hình 1.15a,b

Hình 1.15a



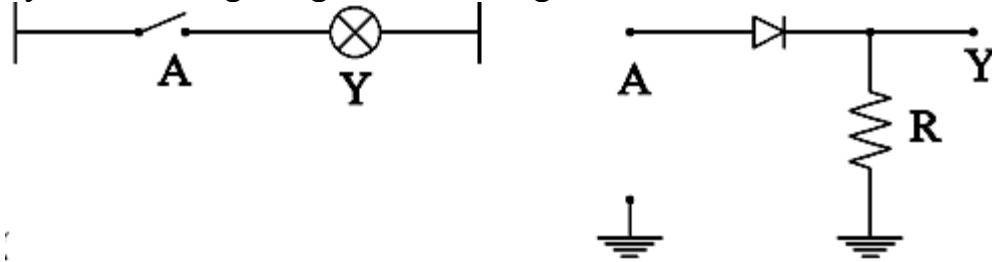
Hình 1.15b: ký hiệu và bảng trạng thái

Nhận xét:

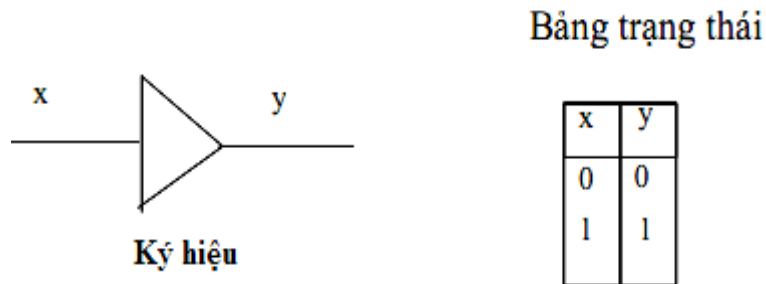
- Ngõ ra cổng EX-NOR chính là đảo của cổng EX-OR
- Ngõ ra cổng EX-NOR bằng 1 khi tất cả các ngõ vào cùng trạng thái
- Ngõ ra cổng EX-NOR bằng 0 khi các ngõ vào khác trạng thái

3.8 Cổng đệm (Buffer)

Cổng đệm (Buffer) hay còn gọi là cổng không đảo là cổng có một ngõ vào và một ký hiệu và bằng trạng thái hoạt động như hình 1.16a,b



Hình 1.16a



Hình 1.16: ký hiệu và bảng trạng thái của cổng đệm

Nhận xét:

- X là ngõ vào, có trở kháng vào (Z_{in}) vô cùng lớn. Vì vậy dòng vào của cổng đệm rất nhỏ.
- Y là ngõ ra, có trở kháng ra (Z_{out}) rất nhỏ. Vì vậy cổng đệm có khả năng cung cấp dòng ngõ ra lớn.
- Dùng để phối hợp trở kháng vào.
- Dùng để cách ly và nâng dòng cho tải

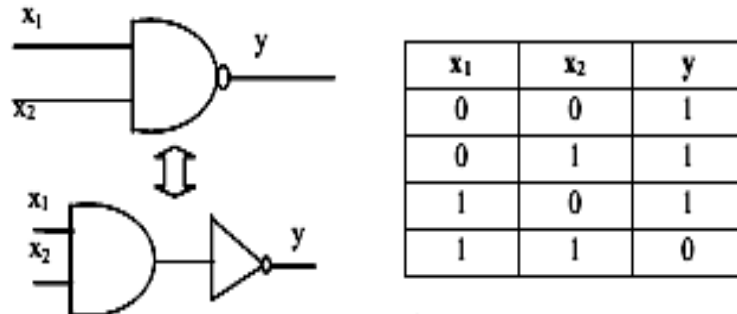
4. Biểu thức Logic và mạch điện

- *Mục tiêu: Thực hiện chuyển đổi giữa các cổng Logic trong sơ đồ mạch của tín hiệu ở ngõ vào và ra khi trạng thái thay đổi ở các cổng.*

4.1 Mạch điện biểu diễn biểu thức Logic

- ❖ Mạch tạo thành các cổng logic từ cổng NAND

Cổng NAND thực hiện phép toán nhân đảo, về sơ đồ Logic cổng NAND gồm 1 cổng AND mắc nối tầng với cổng NOT, ký hiệu và bảng trạng thái cổng NAND được cho như hình 1.17

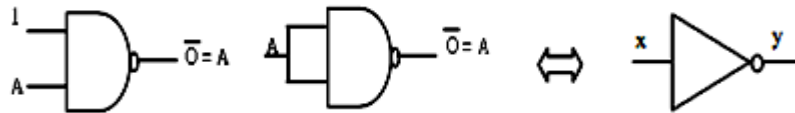


Hình 1.17: Ký hiệu, sơ đồ logic tương đương và bảng trạng thái

- Sử dụng cổng NAND để tạo cổng NOT

Ta có thể sử dụng cổng NAND như một cổng NOT bằng cách nối n-1 đầu vào của cổng NAND lên mức 1, ngõ vào còn lại làm ngõ vào của mạch NOT.

Ví dụ: Tạo cổng NOT từ cổng NAND hai ngõ vào như hình 1.18

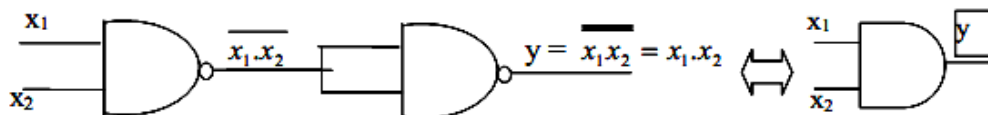


$$y = \overline{x_1 x_2} = \overline{x_1} + \overline{x_2} = \overline{x}$$

Hình 1.18 : Dùng cổng NAND để tạo cổng NOT

- Sử dụng cổng NAND để tạo thành cổng AND

Hàm NAND là đảo của hàm AND, do vậy hàm AND được xây dựng từ hàm NAND bằng cách mắc như hình 1.19

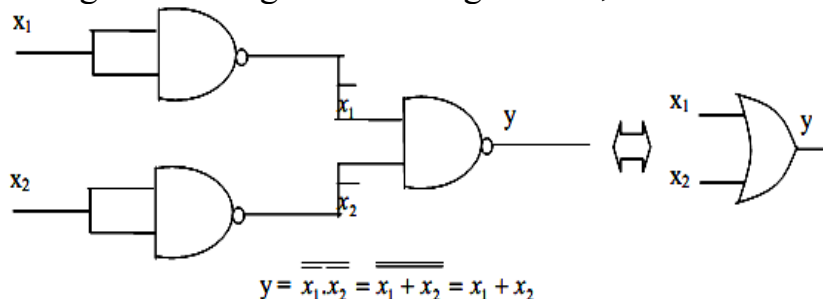


Hình 1.19: Sử dụng cổng NAND để tạo thành cổng AND

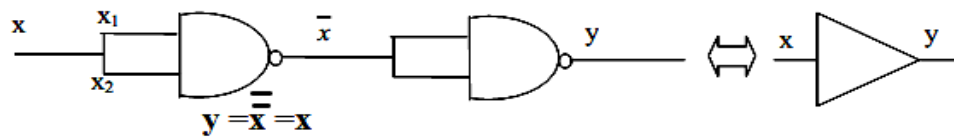
- Sử dụng cổng NAND để tạo thành cổng OR

Hàm OR có thể được xây dựng từ các mạch NAND

Ví dụ: Tạo cổng OR có 2 ngõ vào từ cổng NAND, hình 1.20



Hình 1.20: Sử dụng cổng NAND để tạo thành cổng OR
 - Sử dụng cổng NAND để tạo thành cổng Buffer (cổng đệm), hình 1.21

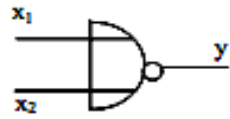


Hình 1.21

❖ **Mạch tạo thành các cổng logic từ cổng NOR**

- Cổng NOR còn gọi là cổng Hoặc – Không, là cổng thực hiện chức năng của phép toán cộng đảo Logic, cổng có hai ngõ vào và một ngõ ra có ký hiệu như hình 1.22

$$y = \overline{x_1 + x_2}$$



Ký hiệu theo Châu Âu



Ký hiệu theo Mỹ, Nhật

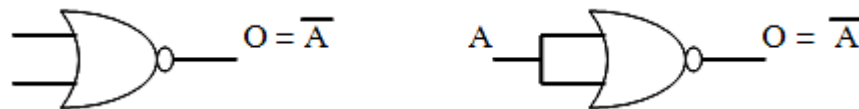
Hình 1.22: ký hiệu cổng NOR

- Bảng trạng thái mô tả hoạt động của cổng NOR, hình 1.23

X_1	X_2	Y
0	0	1
0	1	0
1	0	0
1	1	0

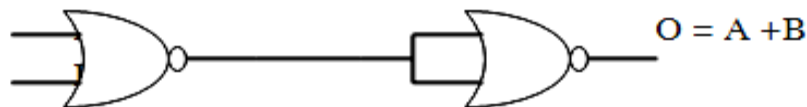
Hình 1.23: bảng trạng thái cổng NOR

- Dùng mạch NOR để tạo hàm NOT, hình 1.24



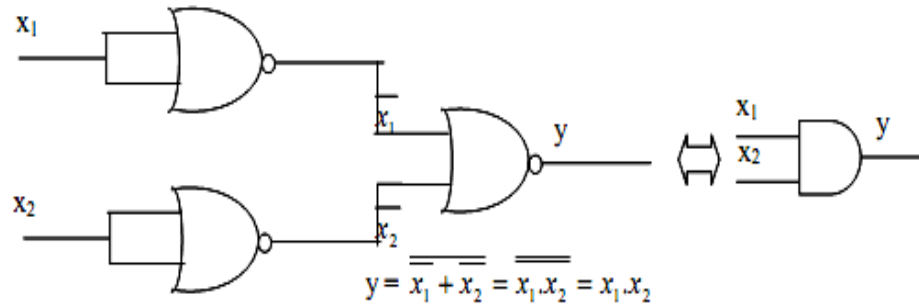
Hình 1.24

- Dùng mạch NOR để tạo hàm OR, hình 1.25



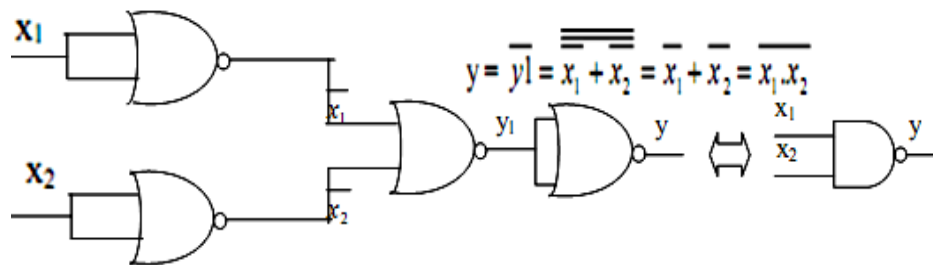
Hình 1.25

- Dùng mạch NOR để tạo hàm AND , hình 1.26



Hình 1.26

- Dùng mạch NOR để tạo hàm AND, hình 1.27



Hình 1.27: Sử dụng cổng NOR làm cổng NAND

❖ Cổng XOR (EX-OR):

Đây là cổng logic thực hiện chức năng của mạch cộng không nhớ, là cổng có hai ngõ vào và một ngõ ra có ký hiệu và bảng trạng thái như hình 1.28



x_1	x_2	y
0	0	0
0	1	1
1	0	1
1	1	0

Hình 1.28: Cổng XOR (EX-OR):

$$Y_{XOR} = x_1 x_2 + \bar{x}_1 x_2 = x_1 \oplus x_2$$

Cổng XOR được dùng để so sánh hai tín hiệu vào:

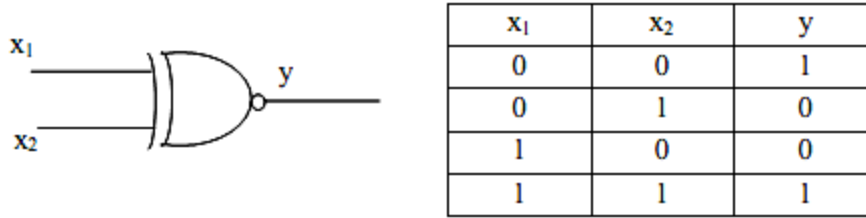
- Nếu hai tín hiệu là bằng nhau thì tín hiệu ngõ ra bằng 0
- Nếu hai tín hiệu vào là khác nhau thì tín hiệu ngõ ra bằng 1

Các tính chất của phép toán XOR:

1. $x_1 \oplus x_2 = x_2 \oplus x_1$
2. $x_1 \oplus x_2 \oplus x_3 = (x_1 \oplus x_2) \oplus x_3 = x_1 \oplus (x_2 \oplus x_3)$
3. $x_1 (x_2 \oplus x_3) = (x_1 \cdot x_2) \oplus (x_1 \cdot x_3)$

❖ Cổng XOR (EX-NOR):

Đây là cổng logic thực hiện chức năng của mạch cộng đảo không nhớ, là cổng có hai ngõ vào và một ngõ ra có ký hiệu và bảng trạng thái như hình 1.29



Hình 1.29

$$y = x_1 \bar{x}_2 + \bar{x}_1 x_2 = x_1 \oplus x_2$$

Tính chất của cổng XOR:

$$1. \overline{(x_1 \oplus x_2)(x_3 \oplus x_4)} = \overline{(x_1 \oplus x_2)} + \overline{(x_3 \oplus x_4)}$$

$$2. \overline{(x_1 \oplus x_2)(x_3 \oplus x_4)} = \overline{(x_1 \oplus x_2)} \overline{(x_3 \oplus x_4)}$$

$$3. \overline{(x_1 \oplus x_2)} = \bar{x}_1 \oplus x_2 = x_1 \oplus \bar{x}_2$$

$$4. x_1 \oplus x_2 = \bar{x}_1 + \bar{x}_2$$

$$5. \overline{x_1 \oplus x_2} = x_3 \Leftrightarrow \overline{x_1 \oplus x_3} = x_2$$

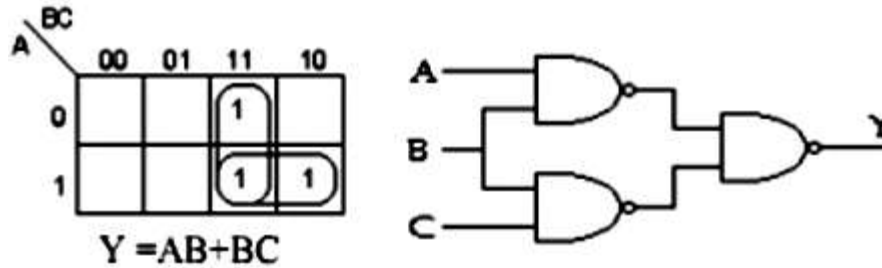
4.2 Xây dựng biểu thức Logic theo mạch điện cho trước

Ví dụ : Dùng cổng NAND 2 ngõ vào thiết kế mạch tạo hàm $Y = f(A, B, C)$
 $= 1$ khi thỏa các điều kiện sau:

- a. $A=0$, $B=1$ và $C=1$
- b. $A=1$, $B=1$ bất chấp C

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Rút gọn hàm:

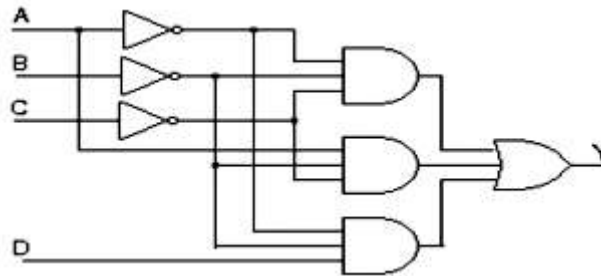


Để dùng toàn cổng NAND tạo hàm, ta dùng định lý De Morgan để biến đổi hàm Y:

$$Y = \overline{\overline{Y}} = \overline{\overline{AB + BC}} = \overline{\overline{AB} \cdot \overline{BC}} = \overline{\overline{AB} \cdot \overline{B} \cdot \overline{C}}$$

Ví dụ : cho mạch , hình 1.30

- Viết biểu thức hàm Y theo các biến A ,B, C.
- Rút gọn hàm logic này
- Thay thế mạch trên bằng một mạch chỉ gồm cổng NAND, 2 ngõ vào.



Hình 1.30

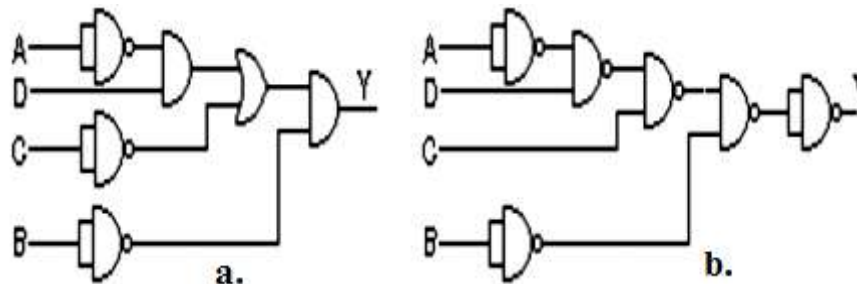
Giải:

a. Ta có: $Y = \overline{\overline{Y}} = \overline{\overline{AB + BC}} = \overline{\overline{AB} \cdot \overline{BC}}$

b. Rút gọn:

$$\begin{aligned} Y &= \overline{\overline{A} \cdot \overline{B} \cdot \overline{C}} + \overline{\overline{A} \cdot \overline{B} \cdot \overline{C}} + \overline{\overline{A} \cdot \overline{B} \cdot \overline{C}} = \overline{B \cdot C} (\overline{A} + A) + \overline{A \cdot B} \cdot \overline{C} \\ &= \overline{B \cdot C} + \overline{A \cdot B} \cdot \overline{C} = \overline{B} (\overline{C} + \overline{A} \cdot \overline{B}) \end{aligned}$$

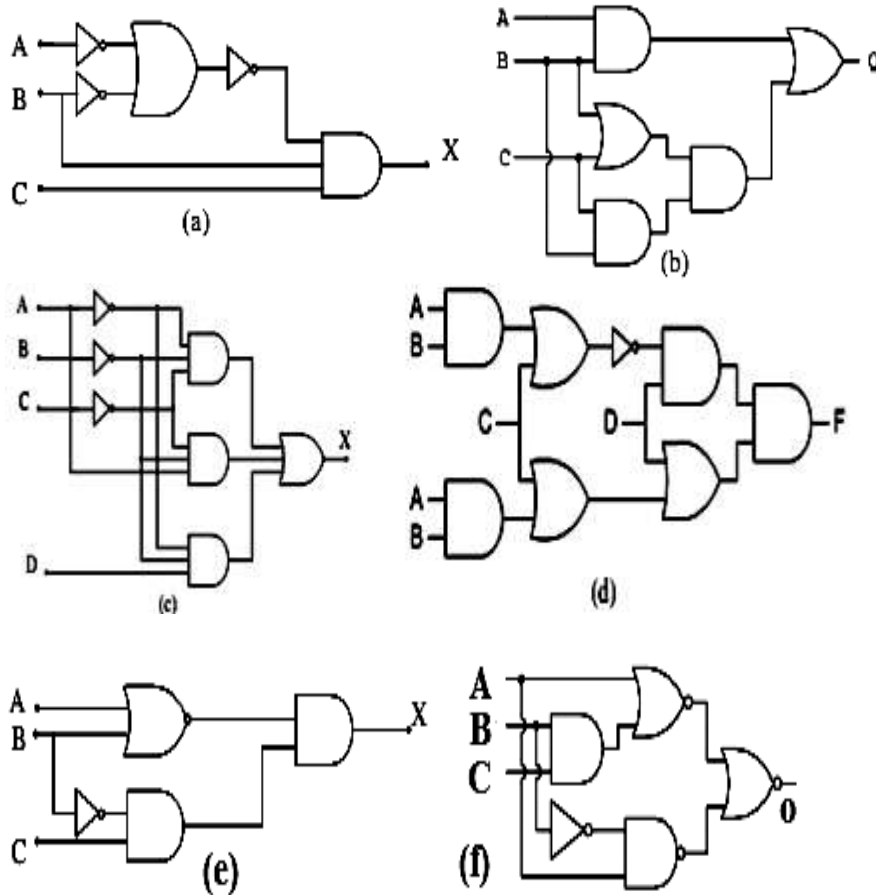
c. Vẽ mạch thay thế dùng cổng NAND 2 ngõ vào như hình 1.31 a. Trước tiên ta vẽ mạch tương ứng hàm rút gọn, sau đó ứng dụng dùng định lý De Morgan biến đổi cổng như hình 1.31b.



Hình 1.31

❖ **Bài tập**

1. Xác định biểu thức Boolean và bảng chân trị cho các mạch sau.



2. Vẽ sơ đồ mạch cho các biểu thức sau đây, chỉ sử dụng cổng AND, OR và NOT.

$$a. x = \left(\overline{A + B + \overline{CDE}} \right) + \overline{BCD}$$

$$b. y = \overline{(M + N)} + \overline{PQ}$$

$$c. z = \overline{W + PQ}$$

$$d. t = MN(P + \overline{N})$$

5. Đại số Boole và định lý Demorgan

- *Mục tiêu: Áp dụng các định luật và định lý vào các bài toán trong mạch và thiết kế ra dạng mạch từ đơn giản đến phức tạp.*

Trong kỹ thuật số thì đại số Boole là công cụ hữu hiệu để đơn giản và biến đổi các cổng logic hay nói cách khác có thể thay thế mạch điện này bằng mạch điện khác để đáp ứng một yêu cầu hay một giải pháp kỹ thuật nào đó. Khác với

các đại số khác, các hằng và biến trong đại số Boole chỉ có hai giá trị: 0 và 1 (Giá trị 0 và 1 trong đại số Boole mang ý nghĩa miêu tả các trạng thái hay mức logic). Trong đại số Boole không có: phân số, số âm, lũy thừa, căn số,.... Đại số Boole chỉ có 3 phép tính đó là:

- Phép nhân thể hiện qua hàm AND
- Phép cộng thể hiện qua hàm OR hoặc hàm EX-OR
- Phép phủ định thể hiện qua hàm NOT

❖ Các công thức, định luật và định lý cơ bản

a. Quan hệ giữa các hằng số: Những quan hệ dưới đây giữa hai hằng số (0,1) làm tiền đề của đại số Boole.

$$0 \cdot 0 = 0$$

$$1 + 1 = 1$$

$$0 \cdot 1 = 0$$

$$1 + 0 = 1$$

$$0 + 0 = 0$$

$$1 \cdot 1 = 1$$

$$\overline{0} = 1$$

$$\overline{1} = 0$$

b. Quan hệ giữa biến số và hằng số:

$$x \cdot 1 = x$$

$$x + 0 = x$$

$$x \cdot 0 = 0$$

$$x + 1 = 1$$

$$x + \overline{x} = 1$$

$$x \cdot \overline{x} = 0$$

c. Luật giao hoán

$$X \cdot Y = Y \cdot X, \quad X + Y = Y + X$$

d. Luật kết hợp

$$X(Y \cdot Z) = (X \cdot Y)Z, \quad X + (X \cdot Y) = X$$

e. Luật phân phối

$$X \cdot (Y + Z) = X \cdot Y + X \cdot Z, \quad (X + Y) \cdot (X + Z) = X + Y \cdot Z$$

f. Định lý hấp thụ

$$X + X.Y = X$$

$$X.(X+Y) = X$$

❖ *Bảng trạng thái (bảng sự thật)*

m	A	B	C	f
m ₀	0	0	0	0
m ₁	0	0	1	0
m ₂	0	1	0	0
m ₃	0	1	1	0
m ₄	1	0	0	0
m ₅	1	0	1	0
m ₆	1	1	0	0
m ₇	1	1	1	1

5.1 Hàm Bool một biến.

Biểu thức:

$$A.A = A$$

$$A.1 = A$$

$$A.0 = 0$$

$$A.\overline{A} = 0$$

$$A + A = A$$

$$A + 1 = 1$$

$$A + 0 = A$$

$$A + A = 1$$

5.2 Hàm Bool nhiều biến.

Biểu thức:

$$A.B = B.A$$

$$A + B = B + A$$

$$A + B + C = A + (B + C) = (A + B) + C$$

$$A.B.C = (A.B).C = A.(B.C)$$

$$(A + B)C = AC + BC$$

$$A + AB = A$$

$$A + \overline{A}.B = A + B$$

5.3 Định lý Demorgan

Định lý De Morgan cho phép biến đổi qua lại giữa hai phép cộng và nhân nhờ vào phép đảo. Định lý De Morgan được chứng minh bằng cách lập bảng sự

thật cho tất cả trường hợp có thể có của các biến A, B, C với các hàm AND, OR và NOT của chúng.

$$y = \overline{x + y} = \overline{\overline{x} \cdot \overline{y}}$$

$$\overline{x \cdot y} = \overline{x} + \overline{y}$$

6. Đơn giản biểu thức logic

- *Mục tiêu: Thực hiện các bước rút gọn biểu thức bằng phương pháp đại số và bìa Karnaugh theo dạng tổng – tích.*

Để đơn giản cách viết người ta có thể diễn tả một hàm **Tổng chuẩn** hay **Tích chuẩn** bởi tập hợp các số dưới dấu tổng (Σ) hay tích (Π). Mỗi tổ hợp biến được thay bởi một số thập phân tương đương với trị nhị phân của chúng. Khi sử dụng cách viết này trọng lượng các biến phải được chỉ rõ.

- **Dạng tổng chuẩn:** Để có được hàm logic dưới *dạng chuẩn*, ta áp dụng các định lý triển khai của Shanon. Dạng tổng chuẩn có được từ triển khai theo **định lý Shanon thứ nhất**: Tất cả các hàm logic có thể triển khai theo một trong những biến dưới dạng tổng của hai tích như sau:

$$f(A,B,...,Z) = A.f(1,B,...,Z) + \overline{A}.f(0,B,...,Z) \quad (1)$$

Hệ thức (1) có thể được chứng minh rất dễ dàng bằng cách lần lượt cho A bằng 2 giá trị 0 và 1, ta có kết quả là 2 vế của (1) luôn luôn bằng nhau.

$$\begin{aligned} \text{Cho } A=0: f(0,B,...,Z) &= 0.f(1,B,...,Z) + 1.f(0,B,...,Z) \\ &= f(0,B,...,Z) \end{aligned}$$

$$\begin{aligned} \text{Cho } A=1: f(1,B,...,Z) &= 1.f(1,B,...,Z) + 0.f(0,B,...,Z) \\ &= f(1,B,...,Z) \end{aligned}$$

Ví dụ 1: Cho hàm 3 biến A,B,C xác định bởi bảng trạng thái:

Hàng	A	B	C	Z=f(A,B,C)
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	0
7	1	1	1	1

Với hàm Z cho như trên ta có các trị riêng f(i, j, k) xác định bởi:

$$- f(0,0,1) = f(0,1,0) = f(0,1,1) = f(1,0,1) = f(1,1,1) = 1$$

$$- f(0,0,0) = f(1,0,0) = f(1,1,0) = 0$$

- Hàm Z có trị riêng $f(0,0,1)=1$ tương ứng với các giá trị của tổ hợp biến ở hàng (1) là $A=0, B=0$ và $C=1$, vậy $\overline{A}\overline{B}C$ là một số hạng trong tổng chuẩn.

- Tương tự với các tổ hợp biến tương ứng với các hàng (2), (3), (5) và (7) cũng là các số hạng của tổng chuẩn, đó là các tổ hợp:

$$\overline{A}B\overline{C}, \overline{A}B.C, A\overline{B}.C, A.B.C$$

- Với các hàng còn lại (hàng 0,4,6), trị riêng của $f(A,B,C) = 0$ nên không xuất hiện trong triển khai.

Tóm lại ta có:

$$Z = \overline{A}\overline{B}C + \overline{A}B.\overline{C} + \overline{A}B.C + A.\overline{B}C + A.B.C$$

Trở lại ví dụ trên, biểu thức logic tương ứng với hàng 1 ($A=0, B=0, C=1$) được viết $\overline{A}\overline{B}C=1$, vì $\overline{A}=1, \overline{B}=1, C=1$ đồng thời. Biểu thức logic tương ứng với hàng 2 là $\overline{A}B.\overline{C}=1$ vì $A=0(\overline{A}=1), B=1, C=0(\overline{C}=1)$ đồng thời. Tương tự, với các hàng 3, 5 và 7 ta có các kết quả:

$$\overline{A}B.C, A\overline{B}.C \text{ và } A.B.C$$

Như vậy, theo ví dụ trên ta có $Z = \text{hàng 1} + \text{hàng 2} + \text{hàng 3} + \text{hàng 5} + \text{hàng 7}$ tương ứng $Z = \overline{A}\overline{B}C + \overline{A}B.\overline{C} + \overline{A}B.C + A.\overline{B}C + A.B.C$

Tóm lại, từ một hàm cho dưới dạng bảng trạng thái, ta có thể viết ngay biểu thức của hàm dưới dạng tổng chuẩn như sau:

Số số hạng của biểu thức bằng số giá trị 1 của hàm thể hiện trên bảng trạng thái.

Mỗi số hạng trong tổng chuẩn là tích của tất cả các biến tương ứng với tổ hợp mà hàm có trị riêng bằng 1, biến được giữ nguyên khi có giá trị 1 và được đảo nếu giá trị của nó = 0.

- **Dạng tích chuẩn:** Đây là dạng của hàm logic có được từ triển khai theo định lý Shanon thứ hai: Tất cả các hàm logic có thể triển khai theo một trong những biến dưới dạng tích của hai tổng như sau:

$$f(A,B,...,Z) = [\overline{A} + f(1,B,...,Z)].[A + f(0,B,...,Z)] \quad (2)$$

Ví dụ 2: lấy lại ví dụ 1

Hàng	A	B	C	Z=f(A,B,C)
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1

6	1	1	0	0
7	1	1	1	1

Cho giá trị riêng của hàm đã nêu ở trên

- Hàm Z có giá trị riêng $f(0,0,0) = 0$ tương ứng với các giá trị của biến ở hàng 0 là $A=B=C=0$ đồng thời, vậy $A+B+C$ là một số hạng trong tích chuẩn.

- Tương tự với các hàng (4) và (6) ta được các tổ hợp $\bar{A}+B+C$ và $\bar{A}+\bar{B}+C$.

- Với các hàng còn lại (hàng 1, 2, 3, 5, 7), trị riêng của $f(A,B,C) = 1$ nên không xuất hiện trong triển khai. Tóm lại, ta có:

$$Z = (A+B+C).(\bar{A}+B+C).(\bar{A}+\bar{B}+C)$$

Như vậy trong ví dụ trên :

Z = hàng (0). Hàng (4). Hàng (6) tương đương như biểu thức:

$$Z = (A+B+C).(\bar{A}+B+C).(\bar{A}+\bar{B}+C)$$

Ở hàng 0 tất cả biến = 0: $A=0, B=0, C=0$ đồng thời nên có thể viết $(A+B+C) = 0$. Tương tự cho hàng (4) và hàng (6).

Tóm lại:

Biểu thức tích chuẩn gồm các thừa số, mỗi thừa số là tổng các biến tương ứng với tổ hợp có giá trị riêng =0, một biến giữ nguyên nếu nó có giá trị 0 và được đảo nếu có giá trị 1.

Ví dụ : Cho hàm Z xác định như trên, tương ứng với dạng chuẩn thứ nhất, hàm này lấy giá trị của các hàng 1, 2, 3, 5, 7, ta viết $Z=f(A,B,C) = \Sigma(1,2,3,5,7)$. Tương tự, nếu dùng dạng chuẩn thứ hai ta có thể viết $Z=f(A,B,C) = \Pi(0,4,6)$. Chú ý: Khi viết các hàm theo dạng số ta phải chỉ rõ trọng số của các bit, thí dụ ta có thể ghi kèm theo hàm Z ở trên 1 trong 3 cách như sau: $A=MSB$ hoặc $C=LSB$ hoặc $A=4, B=2, C=1$

Rút gọn hàm logic : Để thực hiện một hàm logic bằng mạch điện tử, người ta luôn luôn nghĩ đến việc sử dụng lượng linh kiện ít nhất. Muốn vậy, hàm logic phải ở dạng tối giản, nên vấn đề rút gọn hàm logic là bước đầu tiên phải thực hiện trong quá trình thiết kế.

- Có 3 phương pháp rút gọn hàm logic:

- Phương pháp đại số.
- Phương pháp dùng bảng Karnaugh.
- Phương pháp Quine Mc. Cluskey.

6.1 Đơn giản biểu thức logic bằng phương pháp đại số

$$A + AB = A \quad (2)$$

Chúng minh các đẳng thức 1, 2, 3 ta có:

$$A + AB = A + B$$

$$AB + \bar{A}B = B(A + \bar{A}) = B.1 = B \quad (1.1)$$

$$A + AB = A(1 + B) = A \quad (2.2)$$

$$A + \bar{A}B = (A + \bar{A}).(A + B) = A + B \quad (3.3)$$

- **Qui tắc 1** : Nhờ các đẳng thức trên nhóm các số hạng lại

Ví dụ : Rút gọn biểu thức : $BC + AB\bar{C} + A\bar{B}CD = A(B + \bar{B}CD)$

- **Qui tắc 2** : Ta có thể thêm 1 số hạng đã có trong biểu thức logic vào biểu thức mà không làm thay đổi biểu thức.

Ví dụ : Rút gọn biểu thức : $ABC + \bar{A}BC + A\bar{B}C + ABC$ thêm ABC vào để được :

$$(ABC + \bar{A}BC) + (ABC + A\bar{B}C) + (ABC + \bar{B}C)$$

Theo (1) các nhóm trong dấu ngoặc rút gọn thành : $BC + AC + AB$.

$$\text{Vậy : } ABC + \bar{A}BC + A\bar{B}C + ABC = BC + AC + AB$$

- **Qui tắc 3** : Rút gọn biểu thức : $AB + \bar{B}C + AC$. Biểu thức không đổi nếu ta nhân một số hạng trong biểu thức với 1.

Ví dụ : $(B + \bar{B}) : AB + \bar{B}C + AC = AB + \bar{B}C + AC(B + \bar{B})$. Triển khai số hạng cuối cùng của vế phải, ta được : $AB + \bar{B}C + ABC + A\bar{B}C$, thừa số chung : $AB(1+C) + \bar{B}C(1+A) = AB + \bar{B}C$

$$\text{Tóm lại : } AB + \bar{B}C + AC = AB + \bar{B}C$$

6.2 Rút gọn biểu thức logic bằng biểu đồ Karnaugh

- Bảng karnaugh có dạng hình chữ nhật N biến có 2^n ô, mỗi ô tương ứng với một số hạng nhỏ nhất. Ví dụ $n = 3$ tương ứng với bảng $2^3 = 8$ ô hình 1.32, $n = 4$ tương ứng bảng $2^4 = 16$ ô hình Hình 1.33

- Giá trị các biến được xếp thứ tự theo mã vòng. Ví dụ sự sắp xếp của AB và CD đều là 00, 01, 11, 10 hình Hình 1.33

		BC			
		00	01	11	10
A	0	m_0	m_1	m_3	m_2
	1	m_4	m_5	m_7	m_6

		BC			
		00	01	11	10
A	0				
	1				

Hình 1.32

AB \ CD	CD			
	00	01	11	10
00				
01				
11				
10				

AB \ CD	CD			
	00	01	11	10
00	0	1	3	2
01	4	5	7	6
11	12	13	15	14
10	8	9	11	10

Hình 1.33

Dùng bảng Karnaugh cho phép rút gọn dễ dàng các hàm logic chứa từ 3 tới 6 biến.

➤ **Nguyên tắc:**

Xét hai tổ hợp biến AB và AB , hai tổ hợp này chỉ khác nhau một bit, ta gọi chúng là hai tổ hợp kề nhau.

Ta có: $AB + AB = A$, biến B đã được đơn giản .

Phương pháp của bảng Karnaugh dựa vào việc nhóm các tổ hợp kề nhau trên bảng để đơn giản biến có giá trị khác nhau trong các tổ hợp này.

❖ **Quy tắc gom nhóm**

Các tổ hợp biến có trong hàm logic hiện diện trong bảng Karnaugh dưới dạng các số 1 trong các ô, vậy việc gom thành nhóm các tổ hợp kề nhau được thực hiện theo quy tắc sau:

- Gom các số 1 kề nhau thành từng nhóm sao cho số nhóm càng ít càng tốt. Điều này có nghĩa là số số hạng trong kết quả sẽ càng ít đi.

- Tất cả các số 1 phải được gom thành nhóm và một số 1 có thể ở nhiều nhóm.

- Số 1 trong mỗi nhóm càng nhiều càng tốt nhưng phải là bội của 2^k (mỗi nhóm có thể có 1, 2, 4, 8 ... số 1). Cứ mỗi nhóm chứa 2^k số 1 thì tổ hợp biến tương ứng với nhóm đó giảm đi k số hạng.

- Kiểm tra để bảo đảm số nhóm gom được không thừa.

❖ **Quy tắc rút gọn dùng biểu đồ K như sau:**

➤ Đưa các biến lên biểu đồ K sao cho hai ô kề cận phải khác nhau một biến.

➤ Quan sát các biến chung và biến đổi, khi đó chỉ giữ lại biến chung.

➤ Nhóm hai ô kề cận hoặc hai ô đối xứng ta sẽ bỏ được một biến.

➤ Nhóm bốn ô kề cận hoặc bốn ô đối xứng sẽ bỏ được hai biến.

➤ Viết kết quả hàm rút gọn từ các nhóm đã gom được.

Chú ý nếu hai ô kề cận theo đường chéo thì không thể rút gọn được.

➤ Vẽ bảng Karnaugh:

Biểu đồ K của hàm hai biến, hình 1.34

	B	B
A	AB	A $\bar{B}$
$\bar{A}$	$\bar{A}B$	$\bar{A}\bar{B}$

Hình 1.34

Biểu đồ K của hàm ba biến, hình 1.35

	$\bar{A}\bar{B}$	$\bar{A}B$	AB	A $\bar{B}$
C	$\bar{A}\bar{B}C$	$\bar{A}B\bar{C}$	A $\bar{B}C$	ABC
$\bar{C}$	$\bar{A}\bar{B}\bar{C}$	$\bar{A}B\bar{C}$	A $\bar{B}\bar{C}$	AB $\bar{C}$

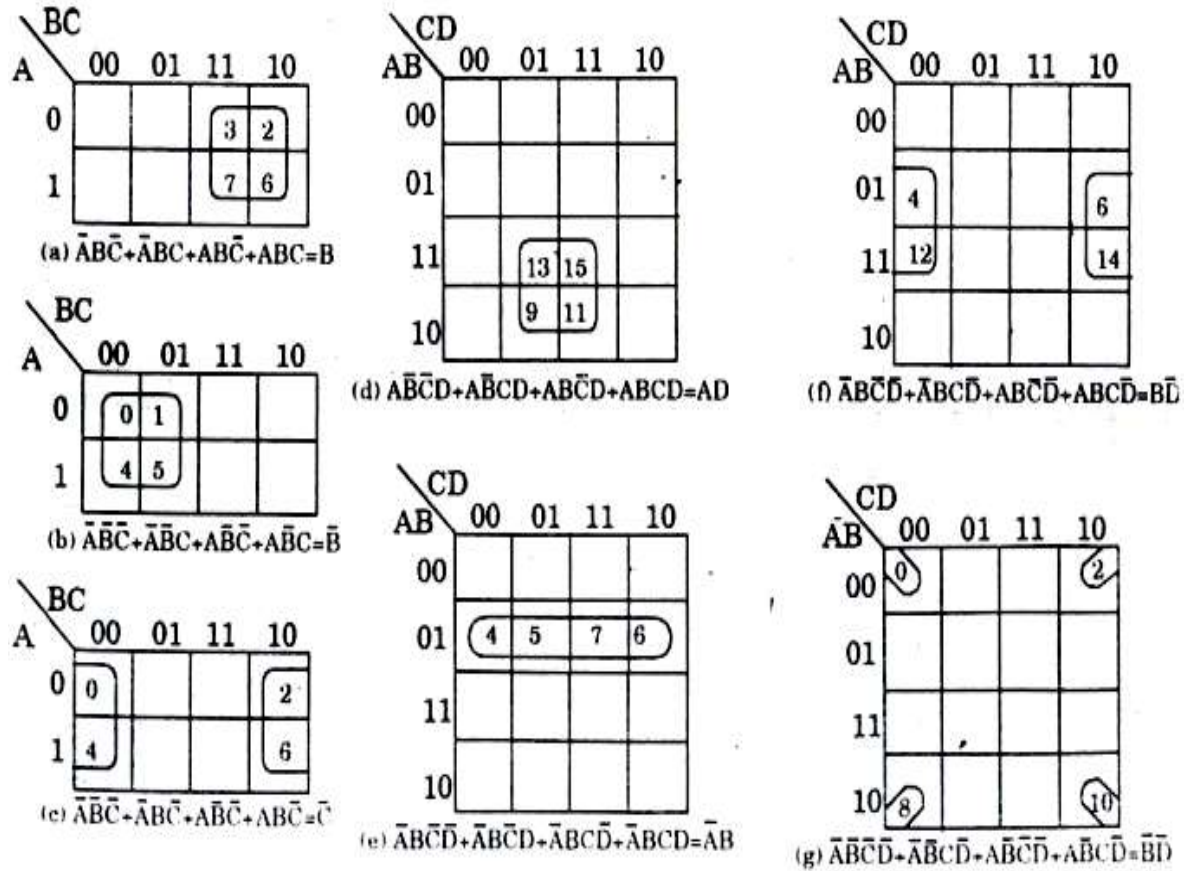
hình 1.35

Biểu đồ K của hàm bốn biến, hình 1.36

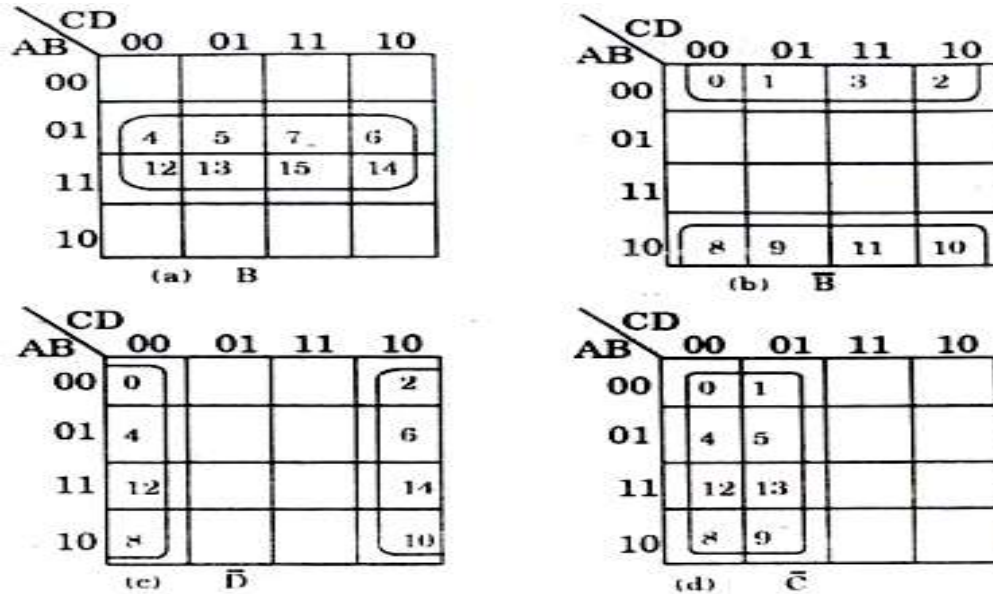
	$\bar{A}\bar{B}$	$\bar{A}B$	AB	A $\bar{B}$
$\bar{C}\bar{D}$	$\bar{A}\bar{B}\bar{C}\bar{D}$	$\bar{A}B\bar{C}\bar{D}$	A $\bar{B}\bar{C}\bar{D}$	AB $\bar{C}\bar{D}$
$\bar{C}D$	$\bar{A}\bar{B}\bar{C}D$	$\bar{A}B\bar{C}D$	A $\bar{B}\bar{C}D$	AB $\bar{C}D$
CD	$\bar{A}\bar{B}CD$	$\bar{A}BCD$	ABCD	A $\bar{B}CD$
C $\bar{D}$	$\bar{A}\bar{B}C\bar{D}$	$\bar{A}BC\bar{D}$	A $\bar{B}C\bar{D}$	AB $\bar{C}\bar{D}$

hình 1.36

Một số ví dụ cho cách gộp và rút gọn như hình 1.37a,b



Hình 1.37a



Hình 1.37b

Ví dụ: Rút gọn biểu đồ K bốn biến có dạng theo hình 1.38a..

	$\overline{A}\overline{B}$	$\overline{A}B$	AB	$A\overline{B}$
$\overline{C}\overline{D}$	1	0	1	1
$\overline{C}D$	0	1	1	0
CD	0	1	1	0
$C\overline{D}$	1	0	0	0

hình 1.38a

Nhóm 2 ô số 1 đầu tiên ta được : $\overline{A}BD$

Nhóm 2 ô số 1 đầu tiên ta được : $\overline{B}CD$

Nhóm 2 ô số 1 đầu tiên ta được : BD

Ta được kết quả: $Y = \overline{A}BD + \overline{B}CD + BD$

Ví dụ:

$$Y = f(A, B, C) = (A + B + C).(\overline{A} + \overline{B} + C).(\overline{A} + B + \overline{C}).(\overline{A} + \overline{B} + \overline{C}).(\overline{A} + \overline{B} + C)$$

$$\overline{Y} = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + A\overline{B}\overline{C} + A\overline{B}C + A\overline{B}\overline{C}$$

Và bảng Karnaugh tương ứng (H 1.38b).

		$\overline{B}C$	$\overline{B}\overline{C}$	BC	$B\overline{C}$
		00	01	11	10
$\overline{A}$	0	0 ₀	1 ₁	1 ₃	0 ₂
	1	0 ₄	0 ₅	1 ₇	0 ₆

Hình 1.38b

Ví dụ: Đối với bảng (H 1.39) ta có kết quả như sau:

		CD				
		00	01	11	10	
AB	00			1	1	nhóm 2
	01	1	1	1	1	
	11	1				nhóm 3
	10					
		nhóm 1				

Hình 1.39

- **Hàm Y là hàm 4 biến A,B,C,D**

+ Nhóm 1 chứa 2 số 1 (k=1), như vậy nhóm 1 sẽ còn 3 biến . theo hàng 2 số 1 này ở 2 ô ứng với $\overline{A}B$ và AB , biến A sẽ được đơn giản và theo cột thì 2 ô này ứng với tổ hợp $\overline{C}\overline{D}$, Vì vậy kết quả ứng với nhóm 1 là : $B\overline{C}\overline{D}$

+ Nhóm 2 chứa 4 số 1 ($4 = 2^2$, $k=2$) như vậy nhóm 2 sẽ còn 2 biến, theo hàng, 4 số 1 này ở 2 ô ứng với tổ hợp $\overline{AB}$ và $\overline{AB}$, biến B sẽ được đơn giản và theo cột thì 4 ô này ứng với tổ hợp CD và $\overline{CD}$, cho phép đơn giản biến D, Vì vậy kết quả ứng với nhóm 2 là: $\overline{AC}$

+ nhóm 3 chứa 4 số 1 ($4 = 2^2$, $k=2$), như vậy nhóm 2 sẽ còn 2 biến theo hàng, 4 ô số 1 này ở ô ứng với tổ hợp $\overline{AB}$, theo cột 4 số 1 này chiếm hết 4 cột nên 2 biến C và D được đơn giản. Vì vậy kết quả ứng với nhóm 3 là: AB

Và hàm Y rút gọn là: $Y = \overline{BCD} + \overline{AC} + AB$

Ví dụ 1: Rút gọn hàm $Y = f(A,B,C)$

$$= A \overline{B} . C + A . \overline{B} . C + A . B . \overline{C} + A . B . C + A . \overline{B} . \overline{C}$$

		C	
		0	1
AB	00		1
	01		1
	11		1
	10	1	1

Hình 1.40

Kết quả rút gọn là $Y = A \overline{B} + C$

Ví dụ 2: Rút gọn hàm $Y = f(A,B,C,D) = (0,2,4,5,8,10,12,13)$ với A=MSB

		CD			
		00	01	11	10
AB	00	1			1
	01	1	1		
	11	1	1		
	10	1			1

Hình 1.41

Kết quả rút gọn: $Y = \overline{BC} + \overline{BD}$

Ví dụ 3: Rút gọn hàm S cho bởi bảng trạng thái:

N	A	B	C	D	S
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	1

3	0	0	1	1	1
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10→15					X (không xác định)

Bảng Karnaugh, hình 1.42

AB \ CD	00	01	11	10
00			1	1
01	1	1		
11	X	X	X	X
10			X	X

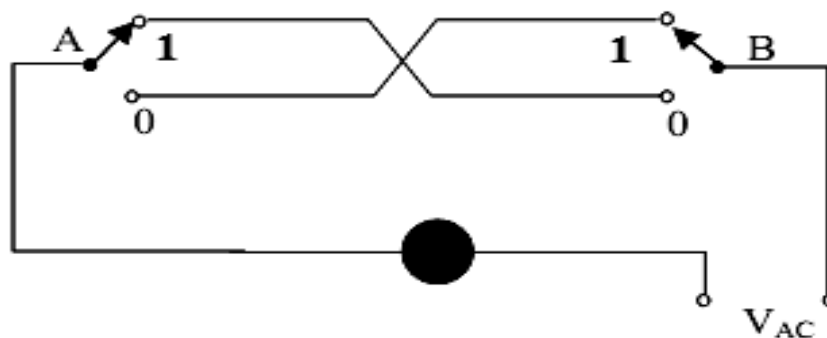
Hình 1.42

⇒ **Kết quả rút gọn là : $S = B\bar{C} + \bar{B}C$.**

Ví dụ: Một ngôi nhà hai tầng. Người ta lắp hai chuyển mạch hai chiều tại hai tầng, sao cho tầng nào cũng có thể bật hoặc tắt đèn. Hãy thiết kế một mạch logic mô phỏng hệ đó?

Giải:

Nếu ký hiệu hai công tắc là hai biến A, B. Khi ở tầng 1 ta bật đèn và lên tầng 2 thì tắt đèn và ngược lại. Như vậy, đèn chỉ có thể sáng ứng với hai tổ hợp chuyển mạch ở vị trí ngược nhau. Còn đèn tắt ở vị trí giống nhau. Hệ thống chiếu sáng được mô tả như hình 1.43



Hình 1.43

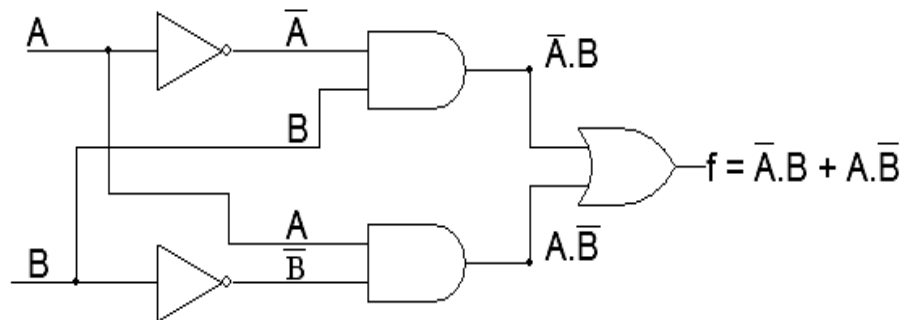
Bảng trạng thái như hình 1.44

A	B	f
0	0	0
0	1	1
1	0	1
1	1	0

Hình 1.44 : Bảng trạng thái mô tả hoạt động chiếu sáng
Biểu thức của hàm là:

$$f = \overline{A}B + A\overline{B} = A \oplus B$$

Đây là hàm cộng XOR, hàm này được thể hiện bằng nhiều kiểu mạch khác nhau.
Đây là sơ đồ thể hiện hàm f, hình 1.45



Hình 1.45: Sơ đồ logic thể hiện hàm f

➤ Bài tập

1 Tính đảo của các hàm sau:

a. $f_1 = (A + B)(\overline{A} + \overline{B})$

b. $f_2 = (A + \overline{B} + \overline{C})(B + \overline{C} + D)(\overline{A} + C + D)$

c. $f_3 = A(C + D) + (\overline{A} + C)(\overline{B} + C + D)$

d. $f_4 = (AB + C)(BC + D) + \overline{A}BC + \overline{C}D$

e. $f_5 = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A(BC + \overline{B}\overline{C})$

2 Chứng minh bằng đại số các biểu thức sau:

a. $A.B + \overline{A}.B = \overline{A}.B + A.B$

b. $A.B + \overline{A}.C = (A + C)(\overline{A} + B)$

c. $A.C + B.\overline{C} = \overline{A}.C + B.\overline{C}$

d. $(A + B)(\overline{A} + C)(B + C) = (A + B)(\overline{A} + \overline{C})$

e. $(A + C)(B + \overline{C}) = (\overline{A} + C)(\overline{B} + \overline{C})$

3. Rút gọn các hàm dưới đây bằng phương pháp đại số (A = MSB)

a. $f_1 = ABC + A\bar{B}C + AB\bar{C}D$

b. $f_2 = (A+BC) + \bar{A}(\bar{B}+\bar{C})(AD+C)$

c. $f_3 = (A+B+C)(A+B+\bar{C})(\bar{A}+B+C)(\bar{A}+B+\bar{C})$

d. $f_4(A,B,C,D) = \Sigma(0,3,4,7,8,9,14,15)$

e. $f_5 = \bar{A}B + AC + BC$

f. $f_6 = (A+\bar{C})(B+C)(A+B)$

7. Giới thiệu một số IC số cơ bản:

- *Mục tiêu: Phân biệt các họ và chủng loại của IC, ưu nhược điểm của mỗi loại.*

Để sử dụng IC số có hiệu quả, ngoài sơ đồ chân và bảng trạng thái của chúng, ta nên biết qua một số thuật ngữ chỉ các thông số cho biết các đặc tính của IC.

❖ *Các đại lượng điện đặc trưng.*

- V_{CC} : Điện thế nguồn (power supply): khoảng điện thế cho phép cấp cho IC để hoạt động tốt. Thí dụ với IC số họ TTL, $V_{CC} = 5 \pm 0,5$ V, họ CMOS $V_{DD} = 3-15$ V (Người ta thường dùng ký hiệu V_{DD} và V_{SS} để chỉ nguồn và mass của IC họ MOS)

- V_{IH} (min): Điện thế ngõ vào mức cao (High level input voltage): Đây là điện thế ngõ vào nhỏ nhất còn được xem là mức 1

- V_{IL} (max): Điện thế ngõ vào mức thấp (Low level input voltage): Điện thế ngõ vào lớn nhất còn được xem là mức 0.

- V_{OH} (min): Điện thế ngõ ra mức cao (High level output voltage): Điện thế nhỏ nhất của ngõ ra khi ở mức cao.

- V_{OL} (max): Điện thế ngõ ra mức thấp (Low level output voltage): Điện thế lớn nhất của ngõ ra khi ở thấp.

- I_{IH} : Dòng điện ngõ vào mức cao (High level input current): Dòng điện lớn nhất vào ngõ vào IC khi ngõ vào này ở mức cao.

- I_{IL} : Dòng điện ngõ vào mức thấp (Low level input current) : Dòng điện ra khỏi ngõ vào IC khi ngõ vào này ở mức thấp

- I_{OH} : Dòng điện ngõ ra mức cao (High level output current): Dòng điện lớn nhất ngõ ra có thể cấp cho tải khi nó ở mức cao.

- I_{OL} : Dòng điện ngõ ra mức thấp (Low level output current): Dòng điện lớn nhất ngõ ra có thể nhận khi ở mức thấp.

- I_{CCH} , I_{CCL} : Dòng điện chạy qua IC khi ngõ ra lần lượt ở mức cao và thấp.

❖ *Theo bản chất linh kiện được sử dụng:*

- IC sử dụng Transistor lưỡng cực:

- RTL Resistor Transistor Logic (đầu vào mắc điện trở, đầu ra là Transistor)
- DTL Diode Transistor Logic (đầu vào mắc Diode, đầu ra là Transistor)
- TTL Transistor Transistor Logic (đầu vào mắc Transistor, đầu ra là Transistor)

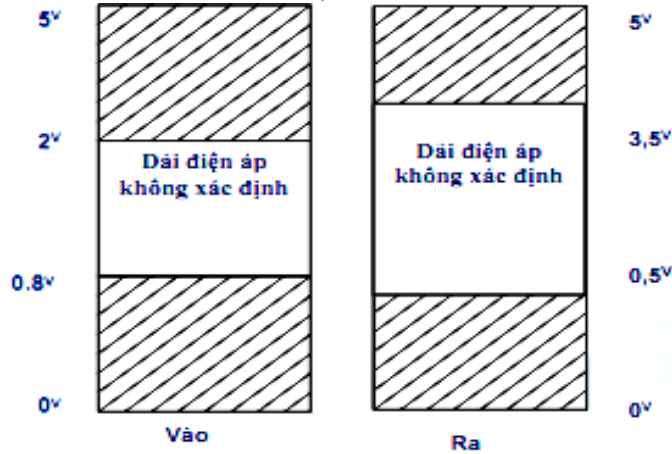
• ECL Emitter Coupled Logic (Transistor ghép nhiều cực emitter)

- IC sử dụng Transistor trường - FET (Field Effect Transistor)

- MOS Metal Oxide Semiconductor
- CMOS Complementary MOS

❖ **Dải điện áp quy định mức logic**

Ví dụ: Với chuẩn TTL như hình 1.46 , ta có:



Hình 1.46

❖ **Thời gian truyền:** tín hiệu truyền từ đầu vào tới đầu ra của mạch tích hợp phải mất một khoảng thời gian nào đó. Thời gian đó được đánh giá qua 2 thông số:

- Thời gian trễ: là thời gian trễ thông tin của đầu ra so với đầu vào
- Thời gian chuyển biến: là thời gian cần thiết để chuyển biến từ mức 0 lên mức 1 và ngược lại.

- + Thời gian chuyển biến từ 0 đến 1 còn gọi là thời gian thiết lập sườn dương
- + Thời gian chuyển biến từ 1 đến 0 còn gọi là thời gian thiết lập sườn âm
- + Trong lý thuyết: thời gian chuyển biến bằng 0
- + Trong thực tế, thời gian chuyển biến được đo bằng thời gian chuyển biến từ 10% đến 90% giá trị biên độ cực đại.

❖ **Công suất tiêu thụ ở chế độ động:**

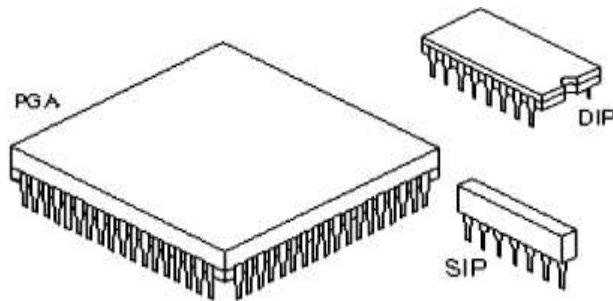
- + Chế độ động là chế độ làm việc có tín hiệu
- + Là công suất tổn hao trên các phần tử trong vi mạch, nên cần càng nhỏ càng tốt.

+ Công suất tiêu thụ ở chế độ động phụ thuộc vào tần số làm việc và công nghệ chế tạo: công nghệ CMOS có công suất tiêu thụ thấp nhất.

❖ **Kết cấu vỏ bọc bên ngoài IC**, có 2 loại thông dụng:

- Vỏ tròn bằng kim loại, số chân < 10
- Vỏ dẹt bằng gốm, chất dẻo, có 3 loại, hình 1.47

- + IC một hàng chân SIP (Single Inline Package) hay SIPP (Single In-line Pin Package)
- + IC có 2 hàng chân DIP (Dual Inline Package).
- + IC chân dạng lưới PGA (Pin Grid Array): vỏ vuông, chân xung quanh



Hình 1.47

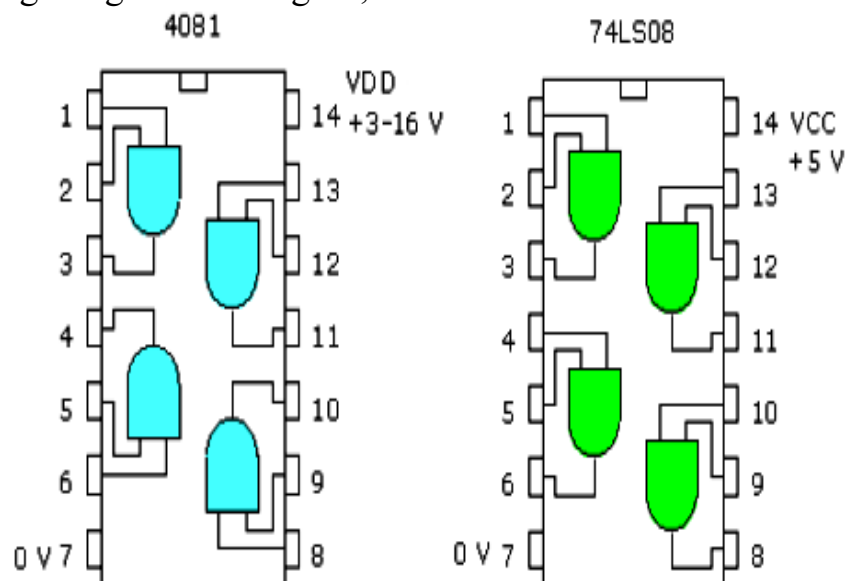
Mỗi một loại IC được chế tạo để sử dụng ở một điều kiện môi trường khác nhau tùy theo mục đích sử dụng nó.

IC dùng trong công nghiệp: $0^{\circ}\text{C} \div 70^{\circ}\text{C}$, IC dùng trong quân sự: $-55^{\circ}\text{C} \div 125^{\circ}\text{C}$.

- Các họ của IC qua các cổng:

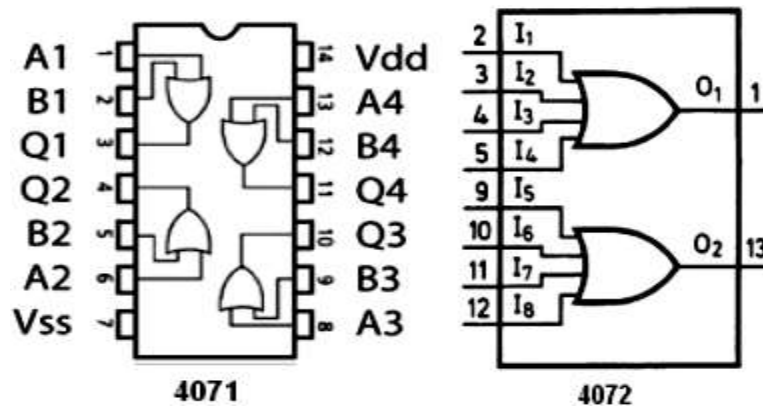
AND: 74LS08; OR: 74LS32; NOT: 74LS04/05; NAND: 74LS00; NOR: 74LS02; XOR: 74LS136; NXOR: 74LS266

Ví dụ : Sử dụng cổng AND trong IC, hình 1.48



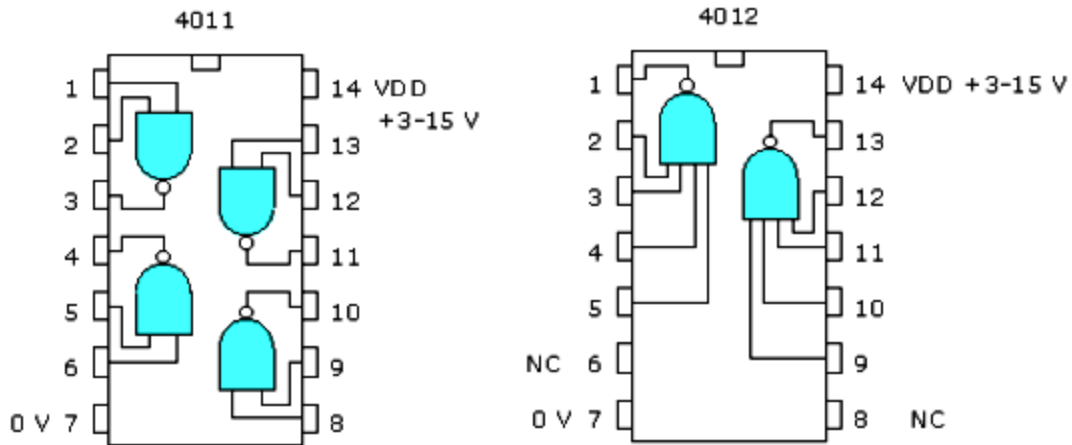
Hình 1.48

Ví dụ : Sử dụng cổng OR trong IC, hình 1.49



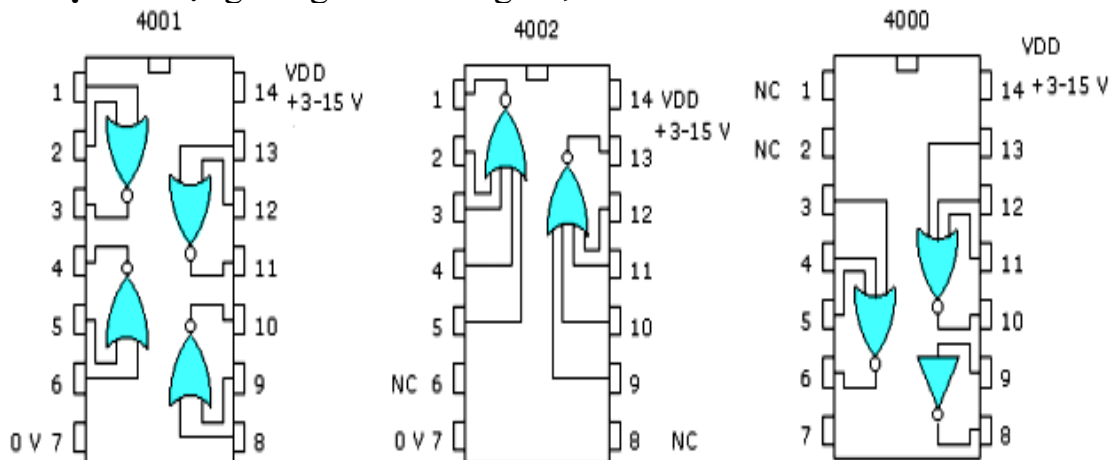
Hình 1.49

Ví dụ: Sử dụng cổng NAND trong IC, hình 1.50



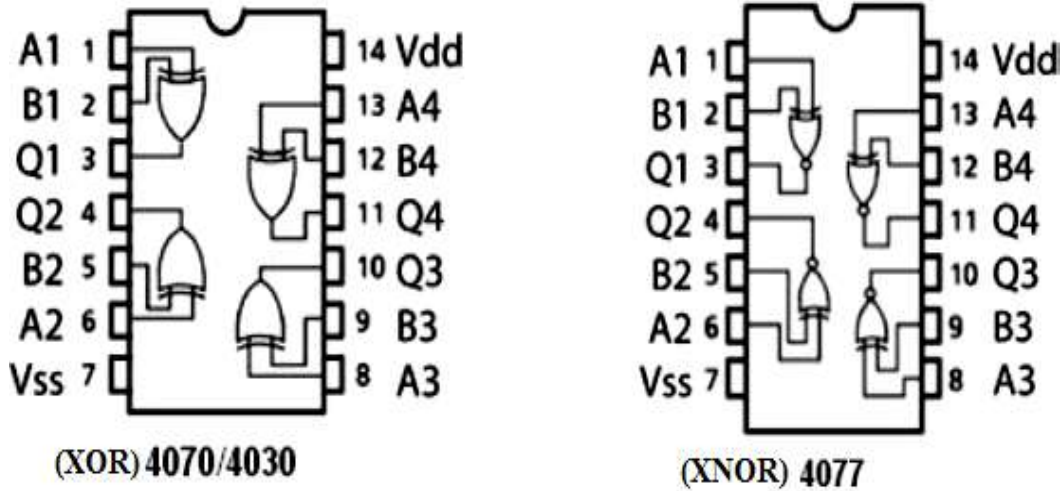
Hình 1.50

Ví dụ: Sử dụng cổng NOR trong IC, hình 1.51



Hình 1.51

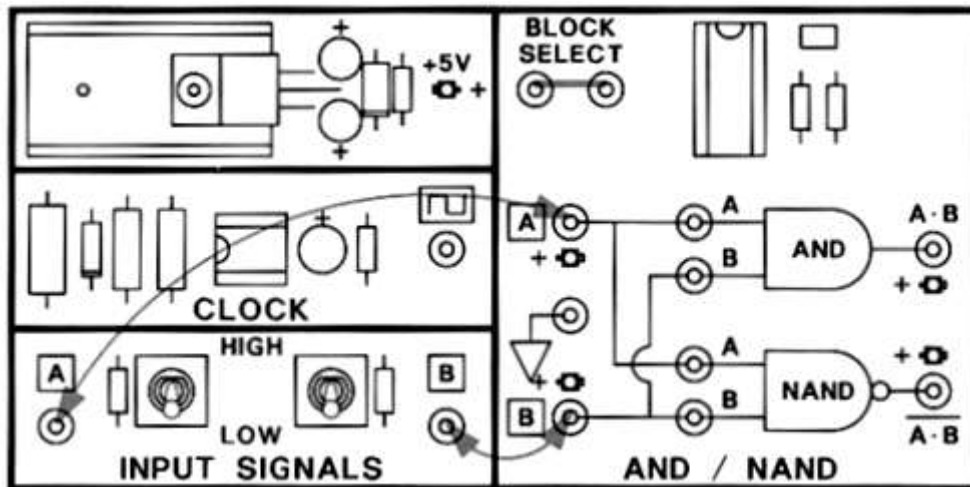
Ví dụ: Sử dụng cổng XOR và XNOR trong IC, hình 1.52



Hình 1.52

❖ **Thí nghiệm:****1. Cổng AND/NAND**

1. Chọn khối mạch AND/NAND và nối mạch như hình 1.53. Đặt 2 công tắc A, B trên khối INPUT SIGNAL ở vị trí LOW.



Hình 1.53.

2. Dùng VOM xác định mức logic tại các ngõ vào, ngõ ra của cổng AND và NAND vào bảng sau.

AND			NAND		
A	B	A.B	A	B	$\overline{A.B}$

3. Dựa vào các LED tại các ngõ vào, ngõ ra có thể xác định được mức logic ở câu 2 không?

4. Sử dụng công tắc A, B và LED trên board mạch, hoàn thành bảng sau:

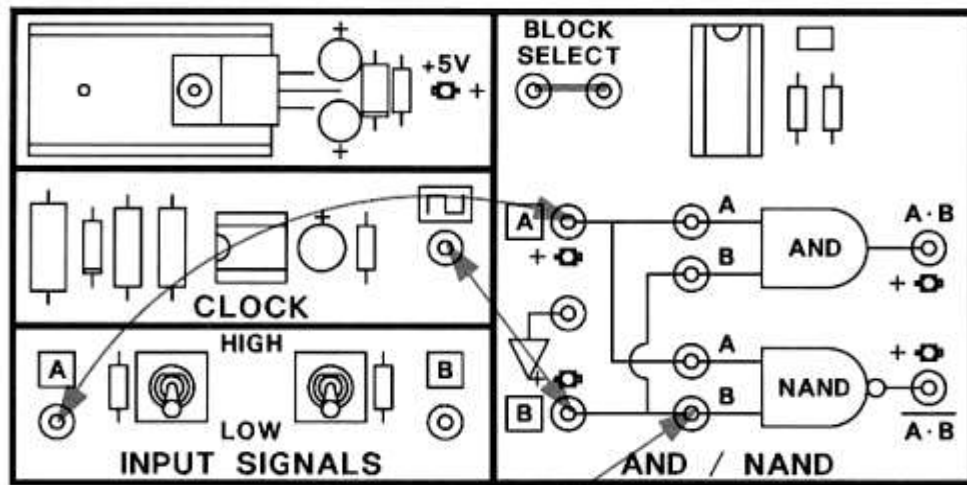
INPUTS				OUTPUTS			
A	LED	B	LED	A.B	LED	$\overline{A.B}$	LED

5. Ngõ ra của các cổng AND và cổng NAND có đảo trạng thái nhau không?

6. Từ các số liệu trên, biết cổng AND, NAND dùng để tách mức logic cao hay thấp?

7. Đặt công tắc A ở vị trí LOW, thay đổi công tắc B và quan sát ngõ ra. Cả 2 cổng bị cấm hay cho phép?

8. Đặt công tắc A ở vị trí HIGH, thay đổi công tắc B và quan sát ngõ ra. Cả 2 cổng bị cấm hay cho phép?



Hình 1.54.

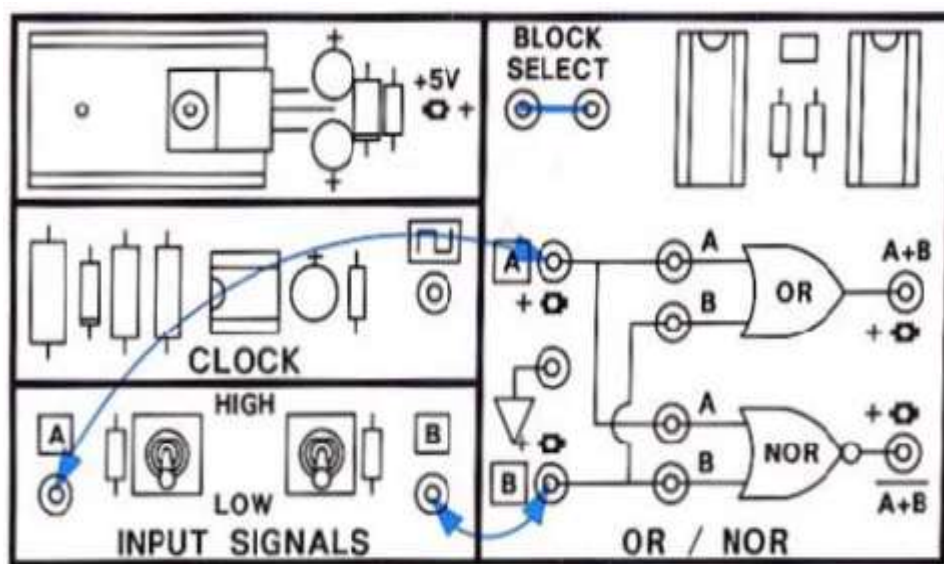
9. Thay đổi mạch như hình 1.54. Tín hiệu vào điểm B là một xung vuông. Nối kênh 1 của dao động ký với điểm B trên mạch. Sử dụng kênh 2 để quan sát 2 ngõ ra AND, NAND. Đặt công tắc A ở vị trí LOW, quan sát ngõ vào B và ngõ ra AND/NAND trên dao động ký. Các ngõ ra ở mức cao hay mức thấp. Các cổng bị cấm hay cho phép?

10. Đặt công tắc A ở vị trí HIGH, quan sát ngõ vào B và ngõ ra AND/NAND trên dao động ký. Các cổng AND/NAND bị cấm hay cho phép?

11. Khi công tắc A ở vị trí HIGH, quan sát ngõ vào B và ngõ ra AND/NAND trên dao động ký. Hãy cho biết mối quan hệ pha giữa ngõ ra và ngõ vào của cổng AND/NAND?

2. OR/NOR

1. Chọn khối mạch OR/NOR và nối mạch như hình 1.55. Đặt công tắc A, B trên khối INPUT SIGNAL ở vị trí LOW.



Hình 1.55

2. Dùng VOM xác định mức logic tại các ngõ vào, ngõ ra của cổng OR và NOR.

OR			NOR		
A	B	A+B	A	B	$\overline{A+B}$

3. Dựa vào các LED tại các ngõ vào, ngõ ra có thể xác định được mức logic ở câu 2 không?

4. Sử dụng công tắc A, B và LED trên board mạch, hoàn thành bảng sau:

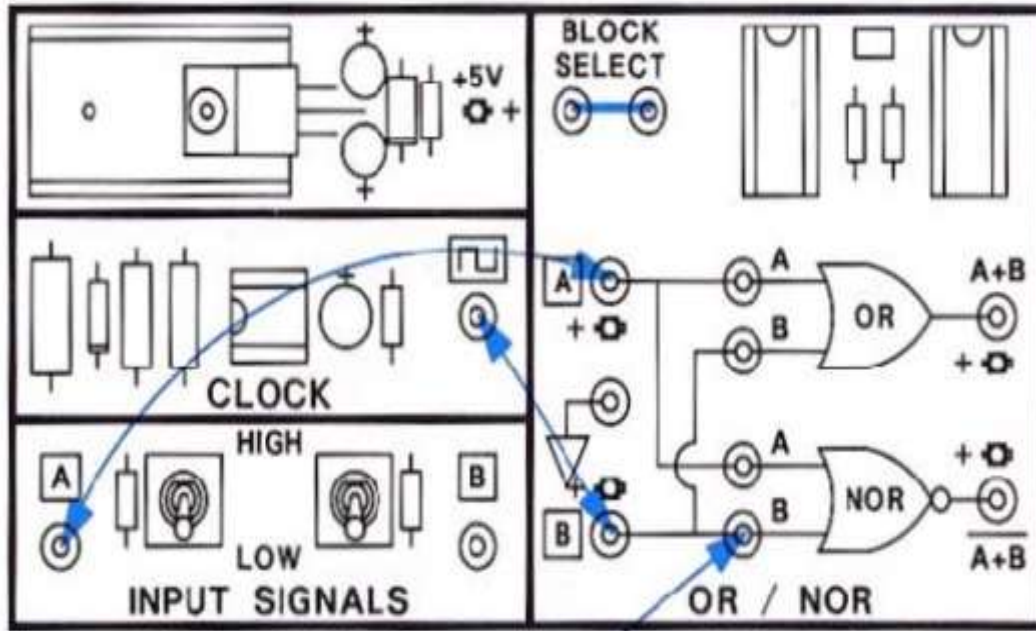
INPUTS				OUTPUTS			
A	LED	B	LED	A+B	LED	$\overline{A+B}$	LED

5. Ngõ ra của các cổng OR và cổng NOR có đảo trạng thái nhau không?

6. Từ các số liệu trên, biết cổng OR, NOR dùng để tách mức logic cao hay thấp?

7. Đặt công tắc A ở vị trí LOW, thay đổi công tắc B và quan sát ngõ ra. Cả 2 cổng bị cấm hay cho phép?

8. Đặt công tắc A ở vị trí HIGH, thay đổi công tắc B và quan sát ngõ ra. Cả 2 cổng bị cấm hay cho phép?



Hình 1.56.

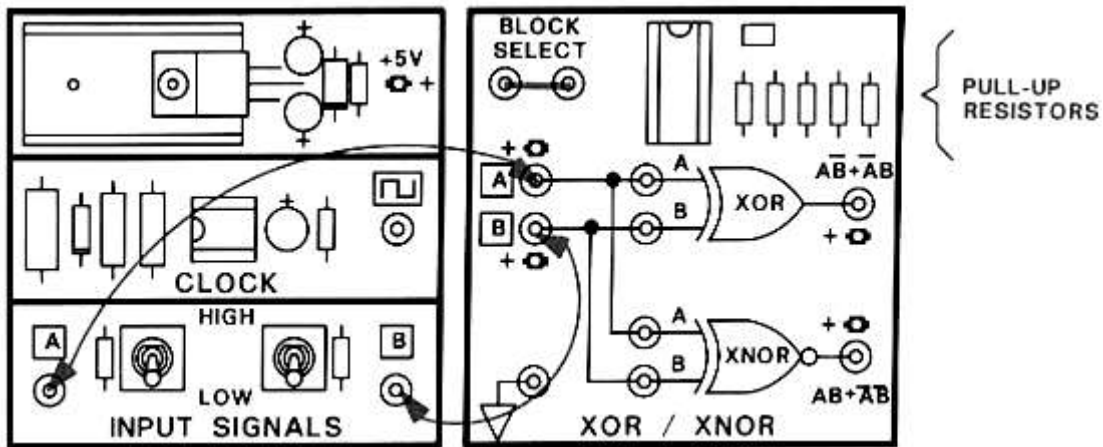
9. Thay đổi mạch như hình 1.56. Tín hiệu vào điểm B là một xung vuông. Nối kênh 1 của dao động ký với điểm B trên mạch. Sử dụng kênh 2 để quan sát 2 ngõ ra OR, NOR. Đặt công tắc A ở vị trí LOW, quan sát ngõ vào B và ngõ ra OR/NOR trên dao động ký. Các ngõ ra ở mức cao hay mức thấp. Các cổng bị cấm hay cho phép?

10. Đặt công tắc A ở vị trí HIGH, quan sát ngõ vào B và ngõ ra OR/NOR trên dao động ký. Các cổng OR/NOR bị cấm hay cho phép?

11. Khi công tắc A ở vị trí HIGH, quan sát ngõ vào B và ngõ ra OR/NOR trên dao động ký. Hãy cho biết mối quan hệ pha giữa ngõ ra và ngõ vào của cổng OR/NOR?

3. XOR/XNOR

1. Chọn khối mạch XOR/XNOR và nối mạch như hình 1.57. Đặt công tắc A, B trên khối INPUT SIGNAL ở vị trí LOW.



Hình 1.57

2. Dùng VOM xác định mức logic tại các ngõ vào, ngõ ra của cổng XOR và XNOR.

OR			NOR		
A	B	$A+B$	A	B	$\overline{A+B}$

3. Dựa vào các LED tại các ngõ vào, ngõ ra có thể xác định được mức logic ở câu 2 không?

4. Sử dụng công tắc A, B và LED trên board mạch, hoàn thành bảng sau:

INPUTS				OUTPUTS			
A	LED	B	LED	$A \oplus B$	LED	$\overline{A \oplus B}$	LED

5. Ngõ ra của các cổng XOR và cổng XNOR có đảo trạng thái nhau không?

6. Từ các số liệu trên, biết cổng XOR, XNOR dùng để tách mức logic cao hay thấp?

7. Cổng nào dùng để phát hiện điều kiện không tương đương khi yêu cầu ngõ ra báo hiệu ở mức cao?

8. Cổng nào dùng để phát hiện điều kiện tương đương khi yêu cầu ngõ ra báo hiệu ở mức cao?

9. Cổng nào dùng để phát hiện điều kiện tương đương khi yêu cầu ngõ ra báo hiệu ở mức thấp?

10. Cổng nào dùng để phát hiện điều kiện không tương đương khi yêu cầu ngõ ra báo hiệu ở mức thấp?

11. Có thể dùng một ngõ vào của cổng XOR/XNOR để khóa ngõ vào còn lại không?

➤ YÊU CẦU VỀ ĐÁNH GIÁ KẾT QUẢ HỌC TẬP BÀI 1

✚ Nội dung:

+ Về kiến thức: Trình bày được khái niệm mạch số và mạch tương tự, hiểu được sự khác nhau của hệ thống số, mã số và mã BCD, xác định được các biểu thức logic, các IC số ...

+ Về kỹ năng: sử dụng thành thạo các dụng cụ đo để đo được các chân tín hiệu điện áp ở ngõ vào – ra của IC, thực hiện các phép tính toán chuyển đổi giữa các mã số với nhau,....

+ Về thái độ: Đảm bảo an toàn và vệ sinh công nghiệp.

✚ Phương pháp:

+ Về kiến thức: Được đánh giá bằng hình thức kiểm tra viết, trắc nghiệm.

+ Về kỹ năng: Đánh giá kỹ năng thực hành đo được các thông số trong mạch điện theo yêu cầu của bài. Thực hiện việc chuyển đổi giữa các mã số với nhau.

+ Thái độ: Tỉ mỉ, cẩn thận, chính xác, ngăn nắp trong công việc.

BÀI 2

FLIP – FLOP

Mã Bài: MĐ28-02

Giới thiệu

Flip- Flop (viết tắt là FF) là mạch dao động đa hài hai trạng thái bền, được xây dựng trên cơ sở các cổng logic và hoạt động theo một bảng trạng thái cho trước.

Một FF thường có:

- Một hoặc hai ngõ vào dữ liệu, một ngõ vào xung C_k và có thể có các ngõ vào với các chức năng khác.
- Hai ngõ ra, thường được ký hiệu là Q (ngõ ra chính) và $\bar{Q}$ (ngõ ra phụ). Người ta thường dùng trạng thái của ngõ ra chính để chỉ trạng thái của FF. Nếu hai ngõ ra có trạng thái giống nhau ta nói FF ở **trạng thái cấm**.

Flipflop có thể được tạo nên từ mạch chốt (latch). Điểm khác biệt giữa một mạch chốt và một FF là: FF chịu tác động của xung Clock (xung đồng hồ) còn mạch chốt thì không. Người ta gọi tên các FF khác nhau bằng cách dựa vào tên các ngõ vào dữ liệu của chúng.

Mục tiêu:

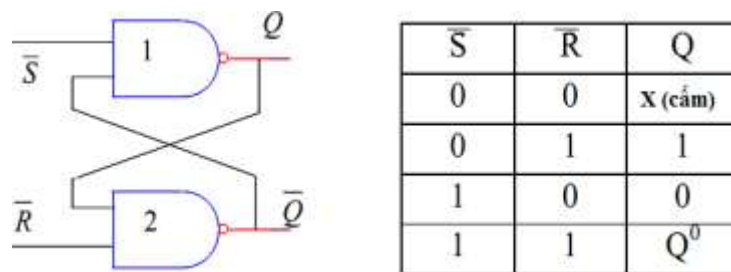
- Trình bày được cấu trúc, nguyên tắc hoạt động của các Flip - Flop
- Nêu được các ứng dụng của các Flip - Flop trong kỹ thuật
- Lắp ráp, sửa chữa, đo kiểm được các các Flip - Flop đúng yêu cầu kỹ thuật
- Rèn luyện tính tư duy, tác phong công nghiệp

Nội dung

1. Flip - Flop R-S:

- Mục tiêu: Nêu và phân biệt được sự khác nhau của Flip Flop của cổng NAND và NOR.

1.1. FF R-S sử dụng cổng NAND



Hình 2.1: Sơ đồ mạch và bảng trạng thái cổng NAND

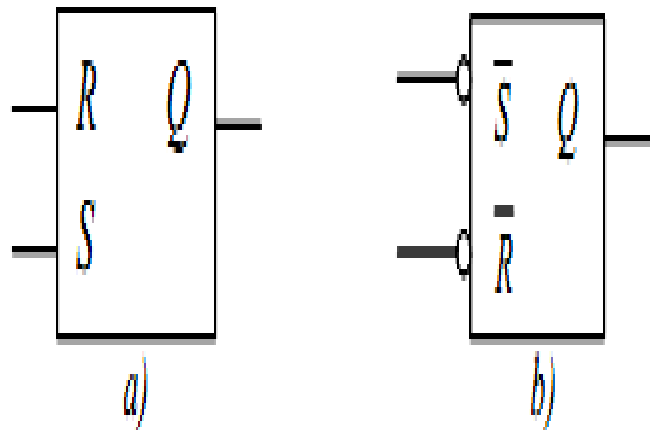
- Dựa vào bảng trạng thái của cổng NAND, ta có:

+ $\bar{S}=0, \bar{R}=1 \Rightarrow Q=1$. Khi $Q=1$ hồi tiếp về cổng NAND 2 nên cổng NAND 2 có 2 ngõ vào bằng 1, vậy $\bar{Q}=0$.

+ $\bar{S}=0, \bar{R}=1 \Rightarrow \bar{Q}=1$. Khi $\bar{Q}=1$ hồi tiếp về cổng NAND 1 nên cổng NAND 1 có 2 ngõ vào bằng 1, vậy $Q=0$.

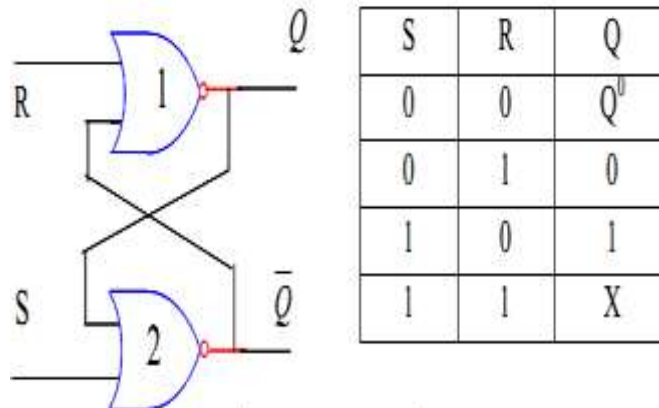
+ $\bar{S} = \bar{R} = 0 \Rightarrow \bar{Q} = Q = 1$ đây là trạng thái cấm.

+ $\bar{S} = \bar{R} = 1$, Giả sử trạng thái trước đó có $Q=1, \bar{Q}=0 \Rightarrow$ hồi tiếp về cổng NAND 1 nên cổng NAND 1 có một ngõ vào bằng 0, vậy $Q=1 \Rightarrow$ FF R-S giữ nguyên trạng thái cũ. Như vậy gọi là FF không đồng bộ bởi vì chỉ cần một trong hai ngõ vào S hay R thay đổi thì ngõ ra cũng thay đổi theo. Về mặt kí hiệu, các FF R-S không đồng bộ được kí hiệu như hình 2.2:



Hình 2.2 : a>. R,S tác động mức 1 — b>. R,S tác động mức 0

1.2 Mạch FF R-S sử dụng cổng NOR, hình 2.3



Hình 2.3: FF R-S không đồng bộ sử dụng cổng NOR và bảng trạng thái.

- Dựa vào bảng trạng thái của cổng NOR, ta có:

+ $S=0, R=1 \Rightarrow Q=0$. Khi $Q=0$ hồi tiếp về cổng NOR 2 nên cổng NOR 2 có 2 ngõ vào bằng 0 $\Rightarrow \bar{Q}=1$. Vậy $Q=0$ và $\bar{Q}=1$.

+ $S=0, R=1 \Rightarrow \bar{Q}=0$. Khi $\bar{Q}=0$ hồi tiếp về cổng NOR 1 nên cổng NOR 1 có 2 ngõ vào bằng 0 $\Rightarrow Q=1$. Vậy $Q=1$ và $\bar{Q}=0$.

+ Giả sử trạng thái trước đó có $S=0, R=1 \Rightarrow Q=0, \bar{Q}=1$.

✓ Nếu tín hiệu ngõ vào thay đổi thành : $S=0, R=0$ (R chuyển từ 1 $\rightarrow$ 0) ta có :

▪ $S=0$ và $Q=0 \Rightarrow \bar{Q}=1$.

▪ $R=0$ và $\bar{Q}=1 \Rightarrow Q=0 \Rightarrow$ FF R-S giữ nguyên trạng thái trước đó.

+ Giả sử trạng thái trước đó có $S=1, R=0 \Rightarrow Q=1, \bar{Q}=0$.

✓ Nếu tín hiệu ngõ vào thay đổi thành : $R=0, S=0$ (S chuyển từ 1 $\rightarrow$ 0) ta có :

▪ $R=0$ và $\bar{Q}=0 \Rightarrow Q=1$.

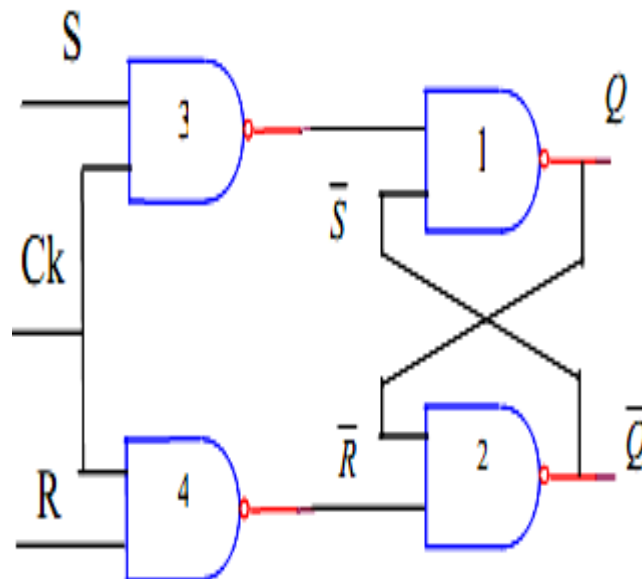
▪ $S=0$ và $Q=1 \Rightarrow \bar{Q}=0 \Rightarrow$ FF R-S giữ nguyên trạng thái trước đó.

2. FF R-S tác động theo xung lệnh

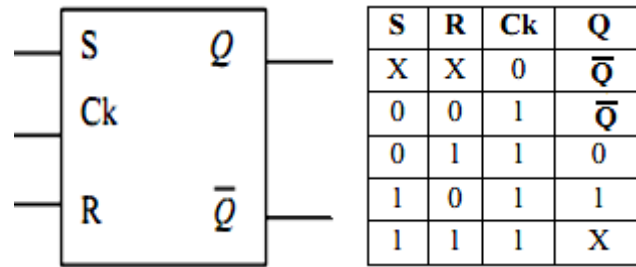
- Mục tiêu: Nêu vai trò FF R-S khi có sự thay đổi tín hiệu vào và ra của xung clock.

Xét sơ đồ FF R-S đồng bộ với sơ đồ mạch, ký hiệu và bảng trạng thái hoạt động như hình 2.4a,b.

Trong đó : Ck là tín hiệu điều khiển đồng bộ hay tín hiệu xung Clock (tín hiệu xung đồng hồ).



Hình 2.4a: Sơ đồ logic của FF R-S tác động theo xung lệnh



Hình 2.4b : Ký hiệu và bảng trạng thái của FF R-S tác động theo xung lệnh

- CK = 0: cổng NAND 3 và 4 khóa không cho dữ liệu đưa vào, vì cổng NAND 3 và 4 đều có ít nhất một ngõ vào CK = 0 $\Rightarrow \bar{S} = \bar{R} = 1 \Rightarrow Q = \bar{Q}$: FF R-S giữ nguyên trạng thái cũ.

- CK = 1: cổng NAND 3 và 4 mở. Ngõ ra Q sẽ thay đổi tùy thuộc vào trạng thái của S và R.

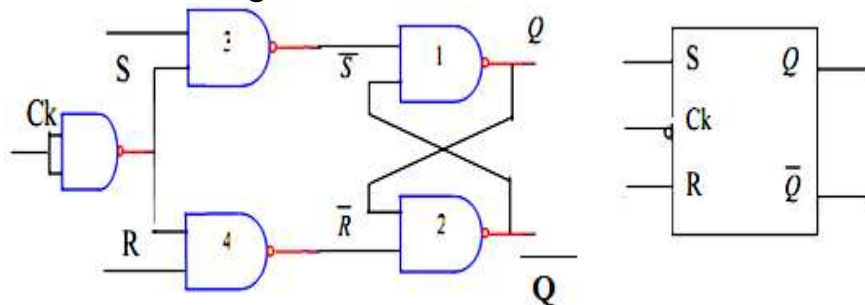
$$+ S = 0, R = 0 \Rightarrow \bar{S} = 1, \bar{R} = 1 \Rightarrow \bar{Q} = Q$$

$$+ S = 0, R = 1 \Rightarrow \bar{S} = 1, \bar{R} = 0 \Rightarrow Q = 0$$

$$+ S = 1, R = 0 \Rightarrow \bar{S} = 0, \bar{R} = 1 \Rightarrow Q = 1$$

$$+ S = 1, R = 1 \Rightarrow \bar{S} = 0, \bar{R} = 0 \Rightarrow Q = X$$

Trong trường hợp này tín hiệu đồng bộ Ck tác động mức 1, nếu tín hiệu Ck tác động mức 0 ta mắc thêm cổng đảo như hình 2.5



Hình 2.5: Sơ đồ logic và ký hiệu FF R-S của mức 0

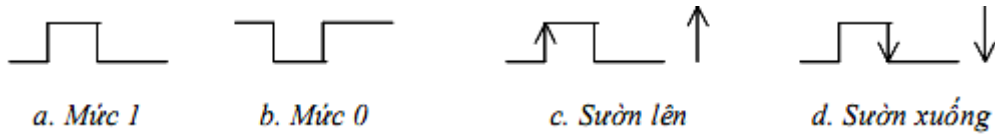
❖ Định nghĩa xung Clock và các tác động của xung Clock

Theo trên ta thấy các ngõ ra của FF chỉ thay đổi khi C = 1. Tuy nhiên sự thay đổi ở ngõ vào là liên tục thì không thể xác định trạng thái ngõ ra tại thời điểm bất kỳ. Để tránh điều này lệnh C được thay bằng các xung điện tuần tự theo thời gian và mỗi khi xuất hiện một xung ngõ ra của các FF thay đổi trạng thái một lần.

Các xung điện như vậy gọi là xung nhịp hay xung đồng hồ ký hiệu là C_K . Xung Clock thường là một chuỗi xung hình chữ nhật hoặc sóng hình vuông. Xung Clock được phân phối đến tất cả các bộ phận của hệ thống. Và hầu hết ngõ ra của hệ thống chỉ thay đổi trạng thái khi có một xung Clock thực hiện một bước chuyển tiếp.

Tùy thuộc vào mức tích cực của tín hiệu đồng bộ C_k , chúng ta có các loại tín hiệu điều khiển như hình 2.6.

- + C_k điều khiển theo mức 1
- + C_k điều khiển theo mức 0
- + C_k điều khiển theo sườn lên (sườn trước)
- + C_k điều khiển theo sườn xuống (sườn sau)

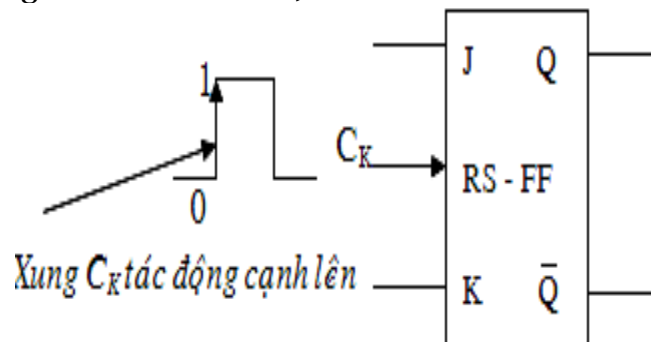


Hình 2.6: Các loại tín hiệu điều khiển của C_k

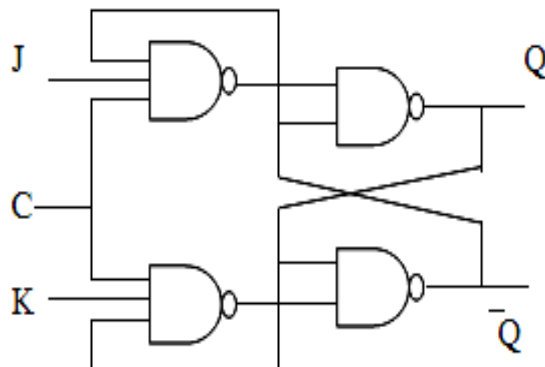
3. Flip - Flop J-K

- *Mục tiêu:* Nêu vai trò FF J-K khi có sự thay đổi tín hiệu vào và ra của xung clock.

• *Cấu trúc mạch logic như hình 2.7 a,b.*



Hình 2.7a: Ký hiệu FF J-K



Hình 2.7b: Cấu trúc mạch logic FF J – K

C_k	J	K	Q^K
↑	0	0	Q (nhớ)
↑	0	1	0 (xóa)
↑	1	0	1 (lập)
↑	1	1	$\bar{Q}$ (thay đổi trạng thái theo mỗi xung nhịp)

Hình 2.8 : Bảng trạng thái FF J-K

Trong đó:

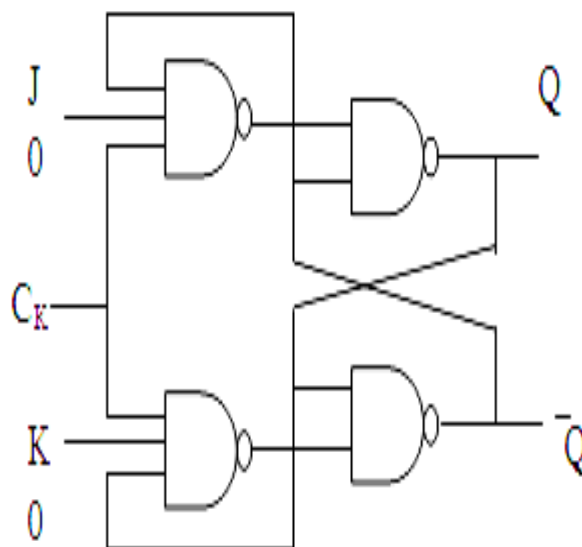
- J, K là các ngõ vào dữ liệu.
- Q, $\bar{Q}$ là các ngõ ra.
- Ck là tín hiệu xung đồng bộ
- Q^K là trạng thái ngõ ra

❖ *Giải thích hoạt động của FF J-K theo bảng trạng thái hình 2.8:*

Khi chưa có CK tức $CK = 0$ thì bất chấp ngõ vào J, K trạng thái ngõ ra sau tăng thứ 1 là 1 ta có $Q^k = Q$ tức trạng thái trước đó của mạch.

• Ta xét các trường hợp khi có xung CK

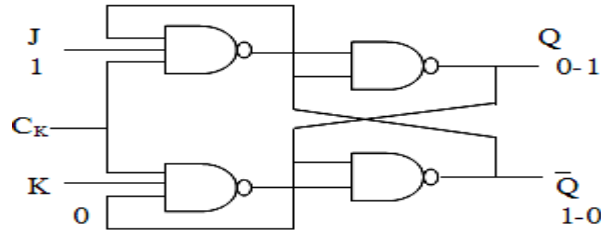
- Trường hợp J = 0, K = 0 tương tự như trên ta cũng có $Q^k = Q$ như hình 2.9



Hình 2.9

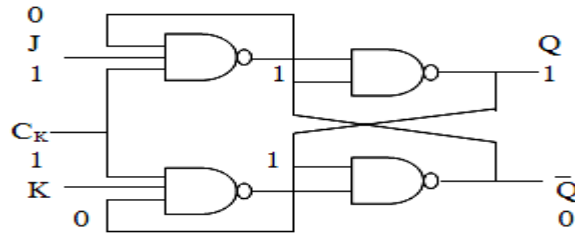
➤ Trường hợp $J = 1, K = 0$.

+ Giả sử $Q = 0$ khi có xung mạch sẽ biến đổi trạng thái như hình 2.10



Hình 2.10

+ Giả sử $Q = 1$ trạng thái của mạch như hình 2.11



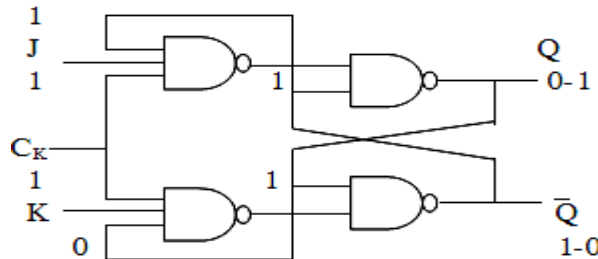
Hình 2.11

Khi có xung mạch không đổi trạng thái tức $Q^k = Q = 1$. Ta thấy rằng khi $J = 1, K = 0$ khi có xung đồng hồ (xung clock) tác động trạng thái ngõ ra bắt buộc là $Q^k = 1$

➤ Trường hợp $J = 0, K = 1$ lý luận tương tự ta được $Q^k = 1$

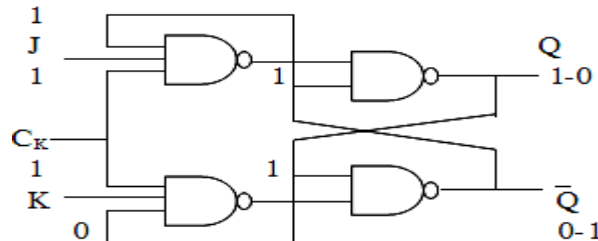
➤ Trường hợp $J = 1, K = 1$.

+ Giả sử $Q = 0$ khi có xung mạch sẽ đổi trạng thái như hình 2.12



Hình 2.12

+ Giả sử $Q = 1$ khi có xung tương tự mạch sẽ đổi trạng thái như hình 2.13



Hình 2.13

Ta thấy trường hợp này mạch luôn thay đổi trạng thái so với trước đó khi có xung tác động $Q^k = Q$

❖ **Giải thích hoạt động của Flip – Flop J-K theo dạng sóng tín hiệu như hình 2.14**

- Giả sử ban đầu $J = K = 0$, $Q = 1$ thì $Q_0 = 1$

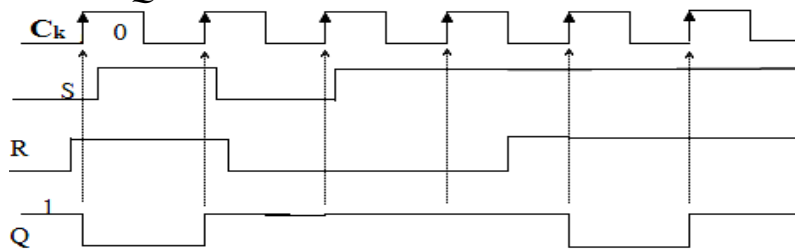
Tại cạnh lên thứ nhất của xung CK xuất hiện, $J = 0$, $K = 1$ thì FF bị xóa về trạng thái $Q = 0$.

Tại cạnh lên thứ hai của xung CK xuất hiện, $J = 1$, $K = 1$ thì FF bị lật trạng thái so với trạng thái trước đó $Q = 1$.

Tại cạnh lên thứ ba của xung CK xuất hiện, $J = 0$, $K = 0$ thì FF vẫn giữ nguyên trạng thái trước đó $Q = 1$.

Tại cạnh lên thứ tư của xung C_K xuất hiện, $J = 0$, $K = 0$ đây là điều kiện thiết lập $Q = 1$, tuy nhiên trước đó $Q = 1$ nên trạng thái này được giữ nguyên.

Tại cạnh lên kế tiếp của xung C_K xuất hiện, $J = 1$, $K = 1$ thì FF bị lật trạng thái trước đó làm cho $Q = 0$.

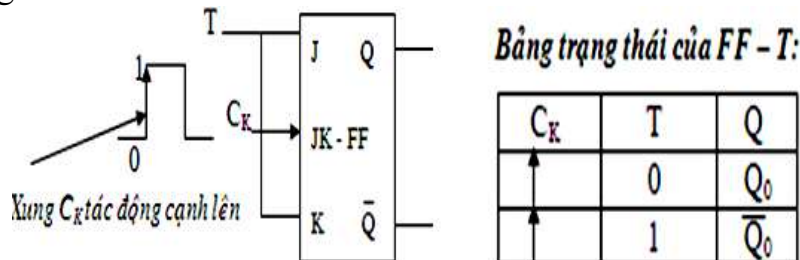


Hình : 2.14

4. Flip - Flop T

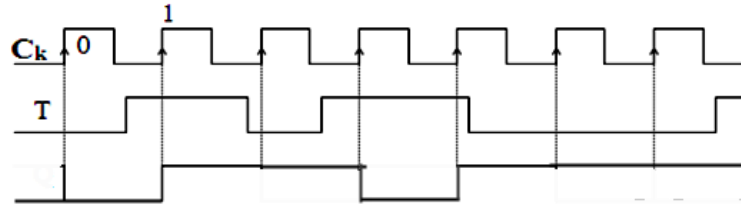
- Mục tiêu: Nêu vai trò FF T khi có sự thay đổi trạng thái vào và ra của xung clock.

Mạch FF – T được xây dựng từ FF – JK bằng cách nối chung J và K lại với nhau và bảng trạng thái như hình 2.15 :



Hình 2.15: Mạch FF –T và bảng trạng thái

Dạng sóng của ngõ ra Q theo ngõ vào T khi có xung CK tác động như hình 2.16 :



Hình 2.16

• **Giải thích hoạt động của FF – T theo tác động của xung CK :**

Giả sử trạng thái ban đầu $T = 0$, $Q = 0$.

Tại cạnh lên của xung CK lần thứ nhất xuất hiện $T = 0$ vì thế $Q = 0$.

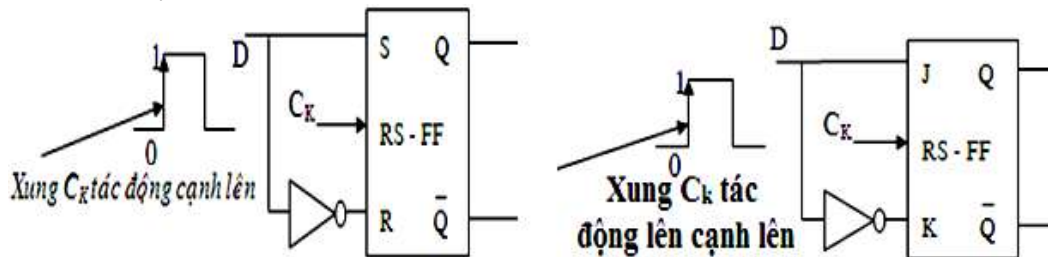
Tại cạnh lên của xung CK lần thứ hai xuất hiện $T = 1$ vì thế ngõ ra Q của FF bị lật trạng thái trước đó tức là $Q = 1$.

Tại cạnh lên của xung CK lần thứ ba xuất hiện $T = 0$ thì ngõ ra của FF giữ nguyên trạng thái trước đó tức là $Q = 1$. Tương tự tại các cạnh lên kế tiếp của xung CK ngõ ra Q thay đổi theo ngõ vào T như bảng trạng thái hình 2.15.

5. Flip - Flop D

- *Mục tiêu: Nêu vai trò FF D khi có sự thay đổi tín hiệu vào và ra của xung clock.*

Flip – Flop D được xây dựng trên FF – RS hoặc FF – JK bằng cách thêm vào cổng đảo và được kết nối như hình 2.17 :



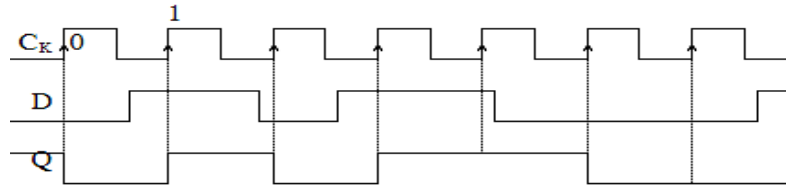
Hình 2.17

Bảng trạng thái hình 2.18:

C_K	D	Q
↑	0	0
↑	1	1

Hình 2.18: bảng trạng thái Flip - Flop D

Dạng sóng của ngõ ra Q theo ngõ vào D khi có xung C_K tác động hình 2.19 :



Hình 2.19

❖ Giả sử trạng thái ban đầu $D = 0$, $Q = 1$.

- Tại cạnh lên của xung CK lần thứ nhất xuất hiện $D = 0$ vì thế $Q = 0$.
- Tại cạnh lên của xung CK lần thứ hai xuất hiện $D = 1$ vì thế $Q = 1$.
- Tại cạnh lên của xung CK lần thứ ba xuất hiện $D = 0$ vì thế $Q = 0$.
- Tương tự tại các cạnh lên kế tiếp của xung CK ngõ ra Q thay đổi theo ngõ vào D .

6. Flip - Flop M-S (Master – Slaver):

- *Mục tiêu:* Nêu vai trò FF M-S khi có sự thay đổi mức tín hiệu vào và ra của xung.

Đối với phương pháp này khi xung C_k tồn tại mức logic 1 dữ liệu sẽ được nhập vào FF, còn khi C_k tồn tại mức logic 0 thì dữ liệu chứa trong FF được xuất ra ngoài

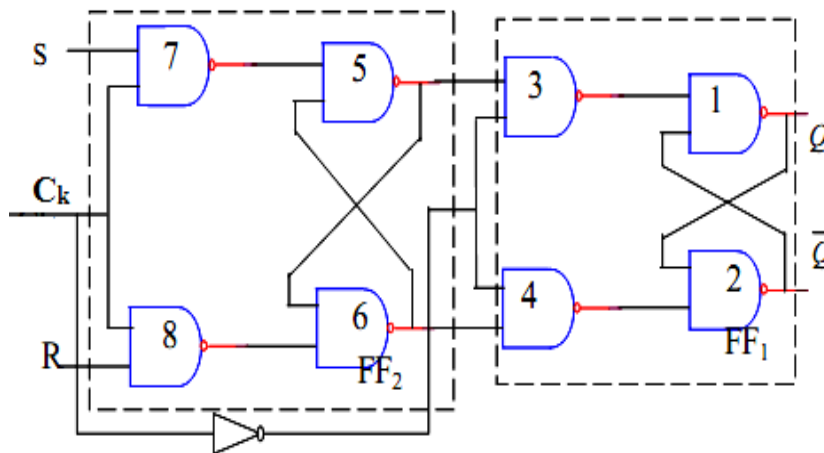
Cấu tạo gồm hai FF: một FF thực hiện chức năng chủ (Master) và một FF thực hiện chức năng tớ (Slaver).

Hoạt động dựa theo chức năng chính – phụ như hình 2.20

+ $C_k = 1$: FF₂ mở, dữ liệu được nhập vào FF₂ qua công đảo $C_k = 0$ (FF₁ khóa nên giữ nguyên trạng thái cũ trước đó)

+ $C_k = 0$: FF₂ khóa, nên giữ nguyên trạng thái cũ trước đó qua công đảo $C_k = 1$ (FF₁ mở, dữ liệu được xuất ra ngoài)

Chú ý: tín hiệu C_k có thể được tạo ra từ mạch dao động đa hài không trạng thái bền.

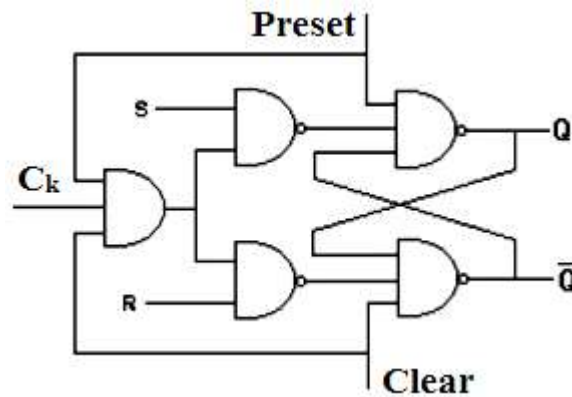


Hình 2.20

7. Flip - Flop với ngõ vào Preset và Clear

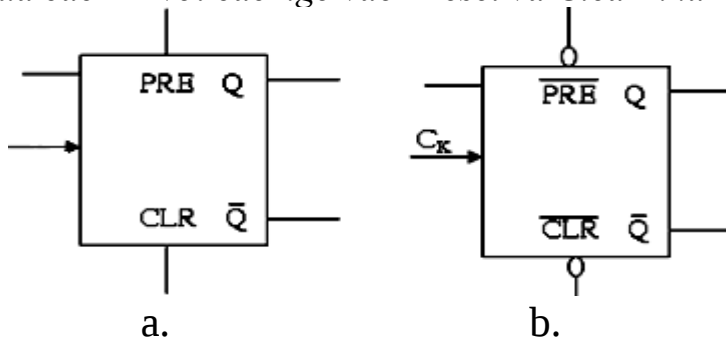
- *Mục tiêu: Trình bày vai trò của FF khi có sự thay đổi tín hiệu vào và ra của xung clock khi có sự tác động của Preset và clear.*

Tính chất của FF là có trạng thái ngõ ra bất kỳ khi mở máy. Trong nhiều trường hợp, có thể đặt trước ngõ ra $Q=1$ hoặc $Q=0$, Vì vậy để xác lập trạng thái ban đầu của các FF người ta thêm vào FF với các ngõ vào Preset (đặt trước $Q=1$) và ngõ vào Clear (xóa $Q=0$), mạch có dạng (hình 2.21:) và hình 2.22a,b là ký hiệu của FF RS có ngõ vào Preset và Clear tác động ở mức cao và mức thấp.



Hình 2.21:

Ký hiệu của các FF với các ngõ vào Preset và Clear như hình 2.22



Hình 2.22: a. PRE và CLR tác động ở mức cao
b. CLR tác động ở mức thấp

Bảng trạng thái hình 2.23

PRE	CLR	Q	$\bar{Q}$
0	0	Tác động theo ngõ vào	Tác động theo ngõ ra
0	1	0	1
1	0	1	0
1	1	Trạng thái cấm	Trạng thái cấm

Hình 2.23

Giải thích nguyên lý hoạt động:

Khi $PRE = 0$ và $CLR = 0$ thì PRE , CLR không tác dụng (mỗi cổng NAND có một ngõ vào là 1) tức là FF tác động theo ngõ vào.

Khi $PRE = 0$ và $CLR = 1$ khi đó PRE không tác dụng, còn CLR tác dụng $Q = 1$ và $Q = 0$ bất chấp điều kiện ngõ vào.

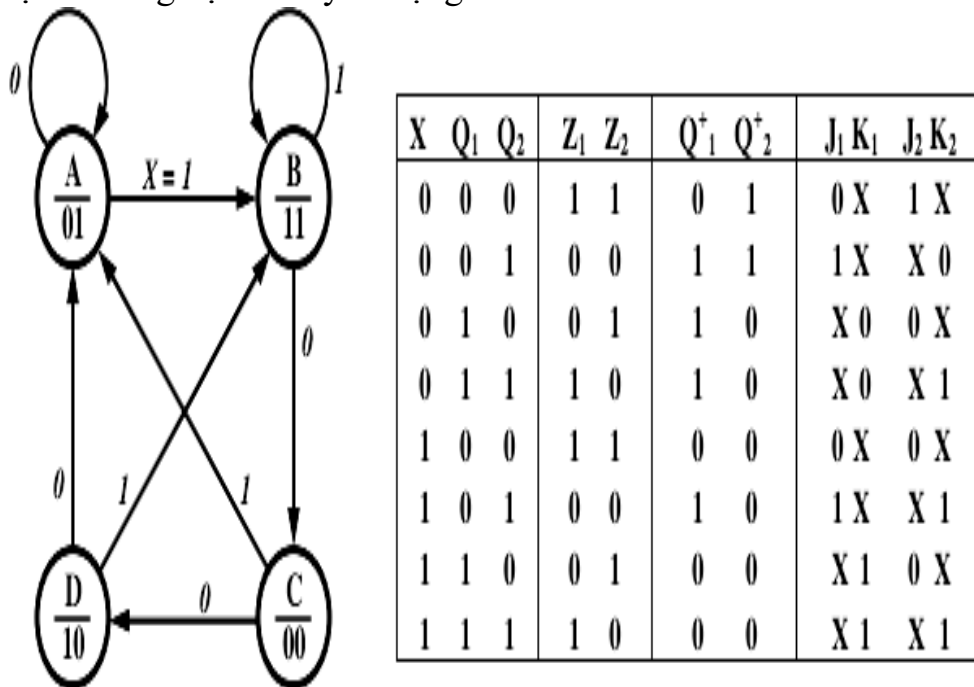
Khi $PRE = 1$ và $CLR = 0$ khi đó PRE tác dụng, còn CLR không tác dụng $Q = 1$ và $Q = 0$ bất chấp điều kiện ngõ vào.

Khi $PRE = 1$ và $CLR = 1$ là trạng thái cấm vì không thể đặt trước và xóa đồng thời. Tại một thời điểm không thể tác động cả PRE và CLR .

8. Tính toán, lắp ráp một số mạch ứng dụng cơ bản

- *Mục tiêu: Xây dựng được các mạch từ đơn giản đến phức tạp thông qua các cổng FF, xác định được các tín hiệu, điện áp và các xung tác động ở ngõ vào và ra của mạch.*

Cho hệ tuần tự có 1 ngõ vào X và 2 ngõ ra Z_1, Z_2 . Hệ có 4 trạng thái A, B, C và D có giản đồ trạng thái như hình 2.24. Với phép gán trạng thái (mã hóa trạng thái) A: $Q_1Q_2 = 10$, B: $Q_1Q_2 = 00$, C: $Q_1Q_2 = 01$ và D: $Q_1Q_2 = 11$. Hãy thiết kế hệ bằng FF- JK và cổng logic hoặc FF-D. Biết rằng khi xung clock vào có cạnh xuống hệ sẽ chuyển trạng thái.



Hình 2.24:

Dùng bìa K, ta có:

$$Z_1 = \overline{Q_1} \cdot \overline{Q_2} + Q_1 \cdot Q_2 = \overline{Q_1} \oplus Q_2$$

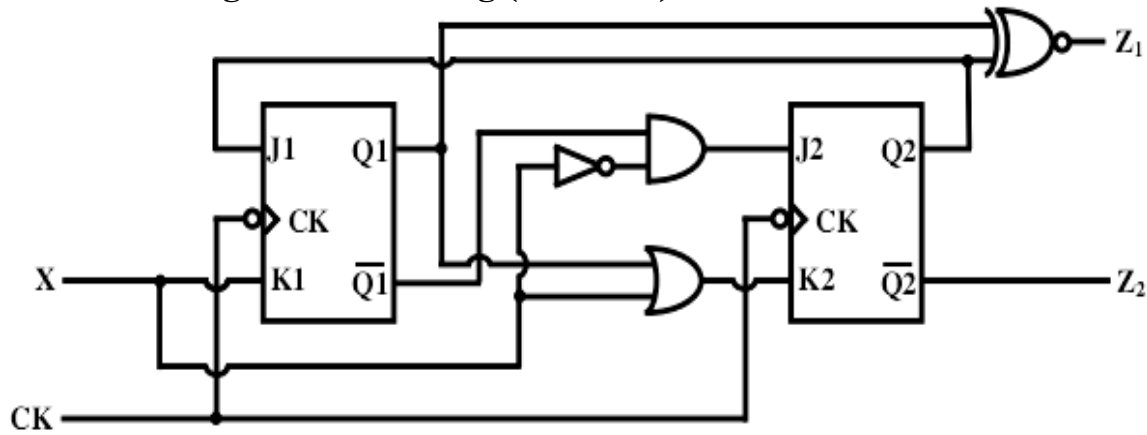
$$D_1 = Q_1^+ = \overline{X} \cdot Q_1 + \overline{Q_1} \cdot Q_2$$

$$Z_2 = \overline{Q_2}$$

$$D_2 = Q_2^+ = \overline{X} \cdot \overline{Q_2}$$

$$J_1 = Q_2 \quad K_1 = X \quad J_2 = \overline{X} \cdot \overline{Q_2} \quad K_2 = X + Q_1$$

* Thiết kế bằng FF- JK và cổng (hình 2.25)



Hình 2.25

9. Chuyển đổi giữa các Flip-Flop

Đối với việc chuyển đổi của một flip flop khác, một mạch tổ hợp được thiết kế đầu tiên. Nếu một JK Flip Flop là cần thiết, các yếu tố đầu vào cho các mạch tổ hợp và được kết nối với đầu ra của các mạch tổ hợp các yếu tố đầu vào của flip flop thực tế. Như vậy, đầu ra của flip flop thực tế là đầu ra của flip flop cần thiết. Trong bài này, chuyển đổi flop flop sau đây sẽ được giải thích.

- SR Flip Flop Flip Flop JK
- JK Flip Flop để SR Flip Flop
- SR Flip Flop Flip Flop D
- D Flip Flop để SR Flip Flop
- JK Flip Flop Flip Flop T
- JK Flip Flop Flip Flop D

• D Flip Flop để JK Flip Flop

➤ SR Flip Flop Flip Flop JK

Như đã nói trước, J và K sẽ được cung cấp như đầu vào bên ngoài S và R. Như thể hiện trong sơ đồ logic dưới đây, S và R sẽ là kết quả đầu ra của các mạch tổ hợp.

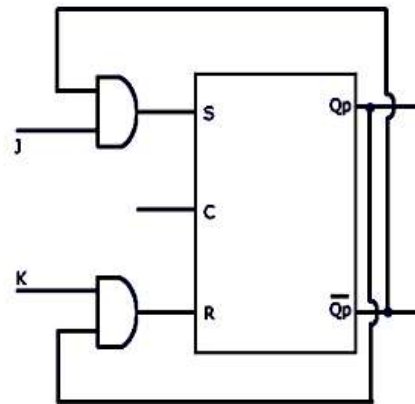
Các bảng sự thật cho việc chuyển đổi flip flop được đưa ra dưới đây. Hiện trạng được đại diện bởi Q_p và Q_{p+1} là trạng thái tiếp theo sẽ được thu được khi các yếu tố đầu vào J và K được áp dụng.

Đối với hai đầu vào J và K, sẽ có 8 tổ hợp có thể. Đối với mỗi sự kết hợp của J, K và Q_p , tương ứng với giai đoạn Q_{p+1} được tìm thấy. Q_{p+1} chỉ đơn giản là cho thấy các giá trị trong tương lai để thu được bằng cách flip flop JK sau khi giá trị của Q_p . Bảng này sau đó được hoàn thành bằng cách viết các giá trị của S và R yêu cầu để có được mỗi Q_{p+1} từ Q_p tương ứng. Đó là, các giá trị của S và R được yêu cầu để thay đổi trạng thái của flip flop từ Q_p Q_{p+1} được viết.

Bảng sự thật

J-K Inputs		Outputs		S-R Inputs	
J	K	Q_p	Q_{p+1}	S	R
0	0	0	0	0	X
0	0	1	1	X	0
0	1	0	0	0	X
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	1	X	0
1	1	0	1	1	0
1	1	1	0	0	1

sơ đồ khối



J	KQ_p			
	00	01	11	10
0	0	X	0	0
1	1	X	0	1

$$S = \overline{J}Q_p$$

J	KQ_p			
	00	01	11	10
0	X	0	1	X
1	0	0	1	0

$$R = KQ_p$$

K-Map

Hình 2.26: SR Flip Flop đến Flip Flop JK

➤ **JK Flip Flop đến SR Flip Flop**, hình 2.27

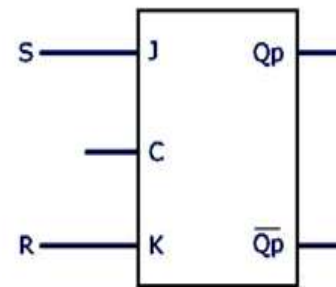
Điều này sẽ là quá trình đảo ngược của việc chuyển đổi giải thích ở trên. S và R sẽ là các yếu tố đầu vào bên ngoài để J và K. Như thể hiện trong sơ đồ logic dưới đây, J và K sẽ là kết quả đầu ra của các mạch tổ hợp. Như vậy, giá trị của J và K có thể đạt được trong điều kiện của S, R và Q_p . Sơ đồ logic được hiển thị dưới đây.

Một bảng chuyển đổi được viết bằng cách sử dụng S, R, Q_p , $Q_p + 1$, J và K. Đối với hai đầu vào, S và R, tám sự kết hợp được thực hiện. Đối với từng kết hợp, Q_p tương ứng 1 kết quả đầu ra được tìm thấy. Các kết quả đầu ra cho sự kết hợp của S = 1 và R = 1 không được phép cho một flip flop SR. Vì vậy, kết quả đầu ra được coi là không hợp lệ và các giá trị J và K được đưa ra là "không quan tâm".

Bảng sự thật

S-R Inputs		Outputs		J-K Inputs	
S	R	Q_p	Q_{p+1}	J	K
0	0	0	0	0	X
0	0	1	1	X	0
0	1	0	0	0	X
0	1	1	0	X	1
1	0	0	1	1	X
1	0	1	1	X	0
1	1	Invalid		Dont care	
1	1	Invalid		Dont care	

sơ đồ khối



S	R Q_p			
	00	01	11	10
0	0 ⁰	X ¹	X ³	0 ²
1	1 ⁴	X ⁵	X ⁷	X ⁶

J=S

S	R Q_p			
	00	01	11	10
0	X ⁰	0 ¹	1 ³	X ²
1	X ⁴	0 ⁵	X ⁷	X ⁶

K=R

K=R

Hình 2.27: JK Flip Flop đến SR Flip Flop

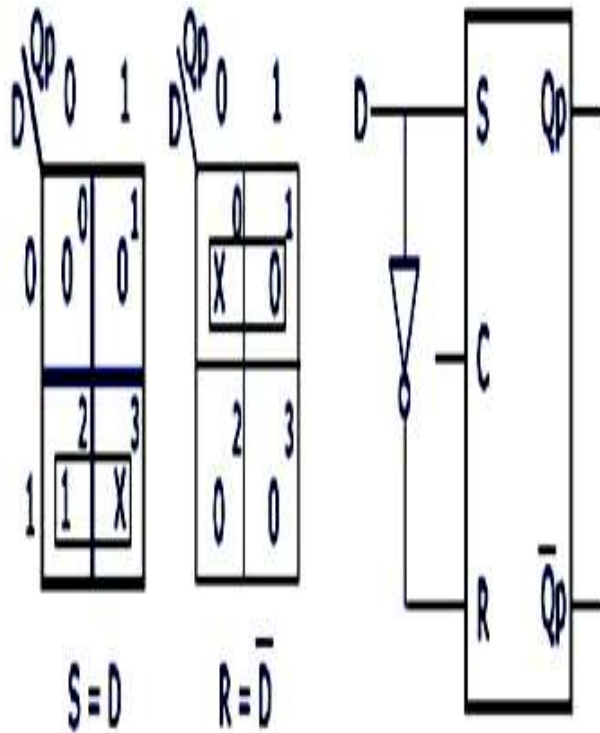
➤ SR Flip Flop Flip Flop D, hình 2.28

Như thể hiện trong hình, S và R là các yếu tố đầu vào thực tế của flip flop và D là đầu vào bên ngoài của flip flop. Bốn sự kết hợp, sơ đồ logic, bảng chuyển đổi, và K bản đồ cho S và R về D và Q_p được hiển thị dưới đây.

Bảng sự thật

D Input	Outputs		S-R Inputs	
	Q_p	Q_{p+1}	S	R
0	0	0	0	X
0	1	0	0	1
1	0	1	1	0
1	1	1	X	0

sơ đồ khối



Hình 2.28: SR Flip Flop Flip Flop D

➤ D Flip Flop đến SR Flip Flop

D là đầu vào thực tế của flip flop và S và R là các yếu tố đầu vào bên ngoài. Tám sự kết hợp có thể đạt được từ các yếu tố đầu vào bên ngoài S, R và Q_p . Tuy nhiên, kể từ khi sự kết hợp của $S = 1$ và $R = 1$ là không hợp lệ, các giá trị của Q_{p+1} và D được coi là "không quan tâm". Sơ đồ logic cho thấy việc chuyển đổi từ D đến SR, và bản đồ cho K-D trong điều khoản của S, R và Q_p được hiển thị dưới đây.

Bảng sự thật

S-R Inputs		Outputs		D Input
S	R	Q _p	Q _{p+1}	

0	0	0	0	0
---	---	---	---	---

0	0	1	1	1
---	---	---	---	---

0	1	0	0	0
---	---	---	---	---

0	1	1	0	0
---	---	---	---	---

1	0	0	1	1
---	---	---	---	---

1	0	1	1	1
---	---	---	---	---

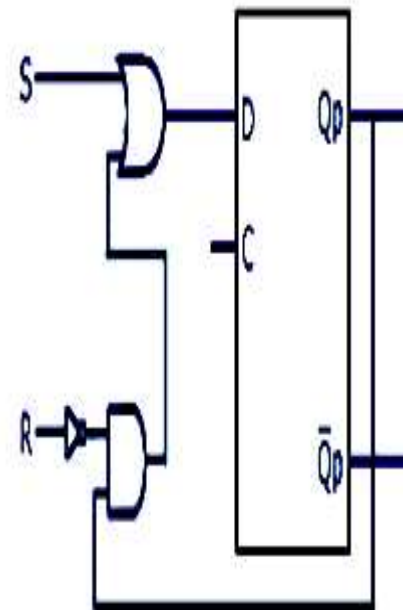
1	1	Invalid		Dont care
---	---	---------	--	-----------

1	1	Invalid		Dont care
---	---	---------	--	-----------

S	RQ _p			
	00	01	11	10
0	0	1	0	0
1	1	1	X	X

$$D = S + \bar{R}Q_n$$

sơ đồ khối



Hình 2.29: D Flip Flop đến SR Flip Flop

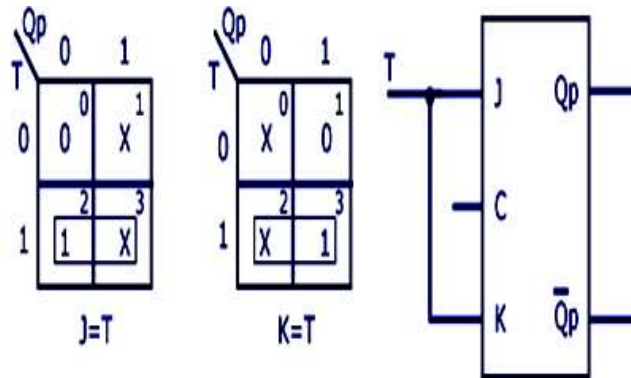
➤ JK Flip Flop Flip Flop T

J và K là các yếu tố đầu vào thực tế của flip flop và T được thực hiện như là đầu vào bên ngoài để chuyển đổi. Bốn sự kết hợp được sản xuất với T và Q_p. J và K được thể hiện trong các điều khoản của T và Q_p. Bảng chuyển đổi, K-bản đồ, và sơ đồ logic được đưa ra dưới đây.

Bảng sự thật

T Input	Outputs		J-K Inputs	
	Q_p	Q_{p+1}	J	K
0	0	0	0	X
0	1	1	X	0
1	0	1	1	X
1	1	0	X	1

sơ đồ khối



Hình 2.30: JK Flip Flop Flip Flop T

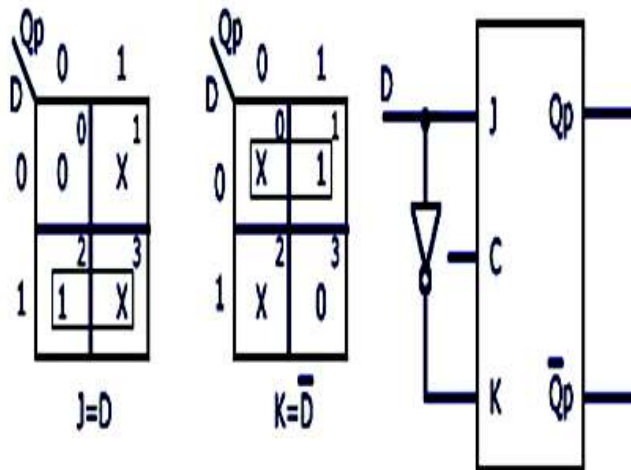
➤ JK Flip Flop Flip Flop D

D là đầu vào bên ngoài và J và K là các yếu tố đầu vào thực tế của flip flop. D và Q_p làm cho bốn sự kết hợp. J và K được thể hiện trong điều kiện của D và Q_p . Bốn sự kết hợp chuyển đổi, bản đồ cho K-J và K trong điều kiện của D và Q_p , và sơ đồ logic hiển thị các chuyển đổi từ JK đến D được đưa ra dưới đây.

Bảng sự thật

D Input	Outputs		J-K Inputs	
	Q_p	Q_{p+1}	J	K
0	0	0	0	X
0	1	0	X	1
1	0	1	1	X
1	1	0	X	0

sơ đồ khối



Hình 2.31: JK Flip Flop Flip Flop D

➤ D Flip Flop đến JK Flip Flop

Trong chuyển đổi này, D là đầu vào thực tế để flip flop và J và K là các yếu tố đầu vào bên ngoài. J, K và Q_p làm cho tám kết hợp có thể, như thể hiện trong bảng chuyển đổi dưới đây. D được thể hiện trong các điều khoản của J, K và Q_p .

Bảng chuyển đổi, bản đồ cho K-D về J, K và Q_p và sơ đồ logic hiển thị các chuyển đổi từ D đến JK được đưa ra trong hình bên dưới.

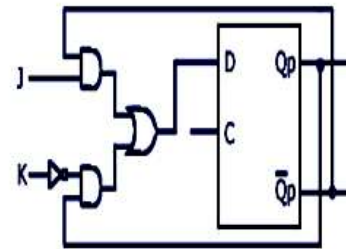
Bảng sự thật

J-K Input		Outputs		D Input
J	K	Q_p	Q_{p+1}	
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	0	0	1	1
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0

J	KQ_p			
	00	01	11	10
0	0	1	0	0
1	0	1	0	0
4	1	1	0	1
5	1	1	0	1
7	1	1	0	1
6	1	1	0	1

$$D = J\bar{Q}_p + \bar{K}Q_p$$

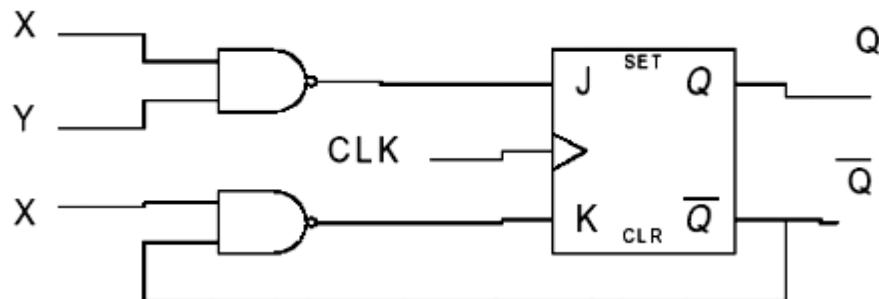
sơ đồ khối



Hình 2.32: D Flip Flop để JK Flip Flop

Bài tập:

Bài 1: Để xây dựng một flipflop mới XY như hình 2.33 (bỏ qua chân SET và CLR)

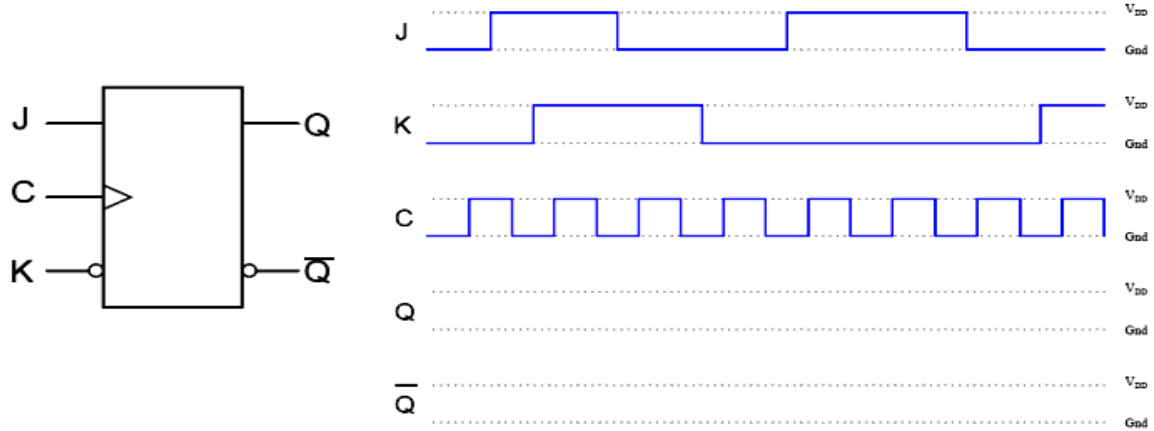


Hình 2.33

a) Tìm phương trình đặc trưng của flipflop XY

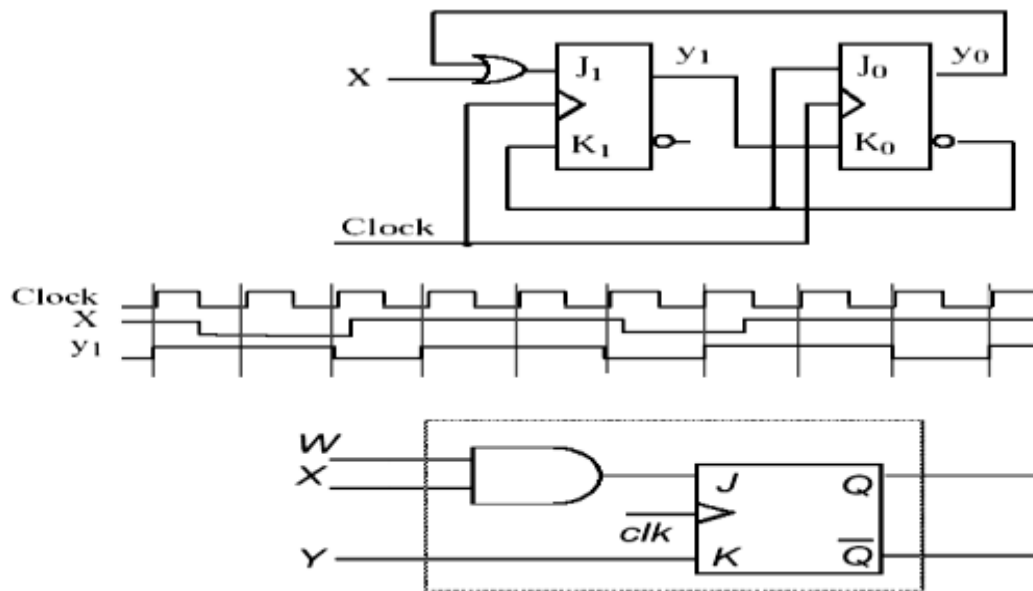
b) Suy ra bảng giá trị của flipflop XY.

Bài 2: Xác định ngõ ra của mạch logic có những ngõ vào như hình 2.34



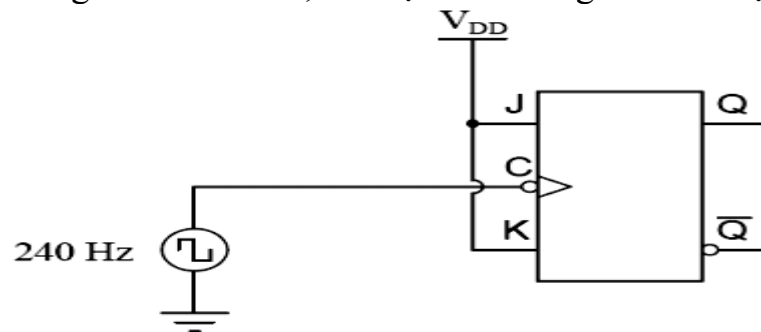
Hình 2.34

Bài 3: Với hình 2.35, hãy vẽ tiếp dạng sóng cho y_0 , giả sử lúc đầu $y_1 = y_0 = 0$



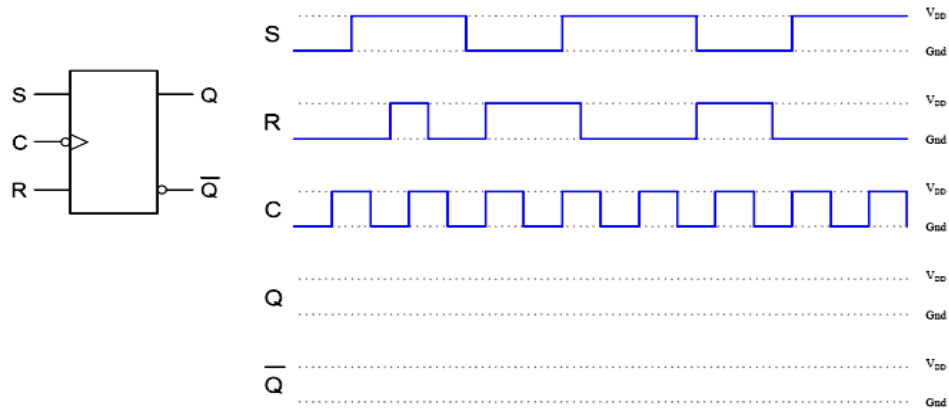
Hình 2.35

Bài 4: Cho mạch logic như hình vẽ, xác định tần số ngõ ra của mạch hình 2.36



Hình 2.36

Bài 5: Xác định ngõ ra của RS-FF có những ngõ vào như hình 2.37



Hình 2.37

❖ Phần thí nghiệm

• Mục đích yêu cầu

Tạo các kỹ năng sử dụng máy dao động ký đúng phương pháp, an toàn khi sử dụng và trình tự vận hành.

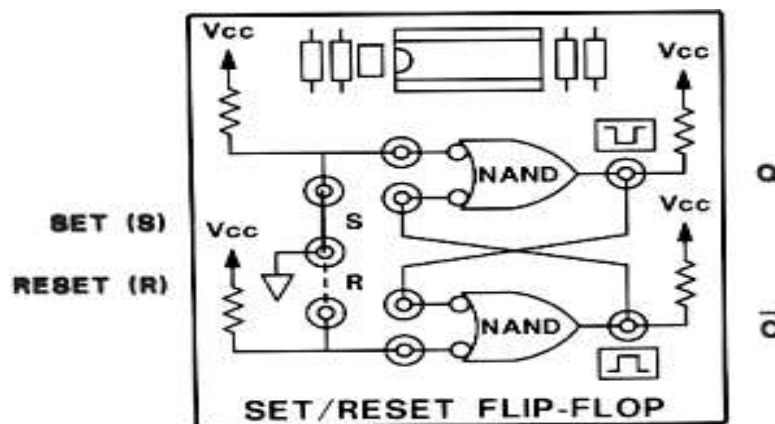
Đo các mạch động đa hài dùng Transistor, IC 555 và Op-amp để vẽ các dạng sóng ngõ ra vào trên các mạch, các giá trị biên độ, giá trị đỉnh của các ngõ tín hiệu.

• Các thiết bị sử dụng

- Dao động ký; Nguồn phát sóng âm tần; Đồng hồ VOM, Dây đo dao động ký (2 dây), Dây tín hiệu máy phát sóng.

• Các bước thực hành

FLIP FLOP LOẠI R-S



Hình 2.38

1. Xác định vị trí khối mạch SET/RESET FLIP-FLOP, và nối mạch như hình 2.31. Đặt bộ nối 2 đầu (jumper) vào vị trí mạch S (SET).

2. Với đồng hồ đo vạn năng (VOM), xác định mức logic tại các ngõ vào, ngõ ra của mạch:

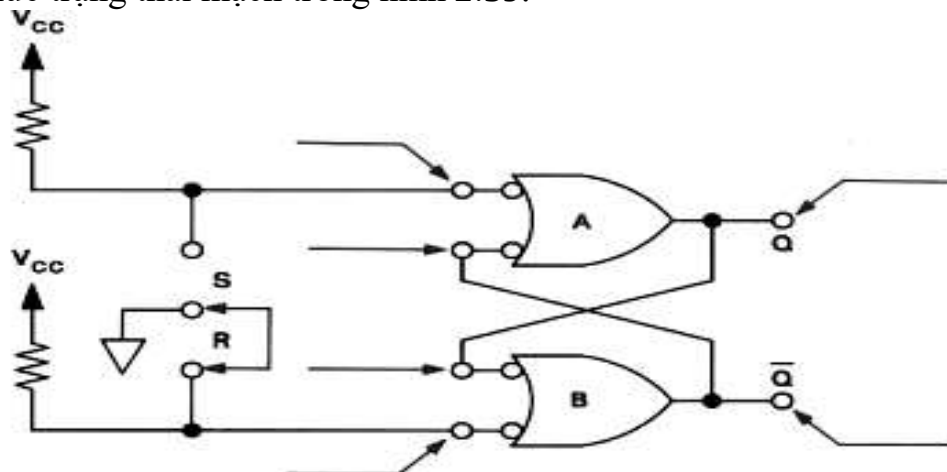
3. Nếu tháo jumper ra khỏi mạch, điều gì xảy ra trên trạng thái ngõ ra mạch? Kết quả có phù hợp với lý thuyết không? Tại sao?

4. Đặt bộ nối hai đầu vào và ra khỏi vị trí SET nhiều lần. Tại sao ngõ ra mạch ổn định?

5. Thao tác ở câu 4 có được mô phỏng được tính dội (nảy) công tắc không? Có thể dùng mạch flip flop này để chống dội cho công tắc được không?

6. Mạch có chỉ báo khả năng lưu trữ điều kiện SET của nó sau khi lệnh SET được loại bỏ (jumper ra)?

7. Đặt bộ nối hai đầu (jumper) ở vị trí R (RESET), và quan sát ngõ ra mạch. Ghi lại các mức trạng thái mạch trong hình 2.39.



Hình 2.39. Trạng thái mạch reset

8. Tác động nào xảy ra làm cho cổng B đổi trạng thái mạch?

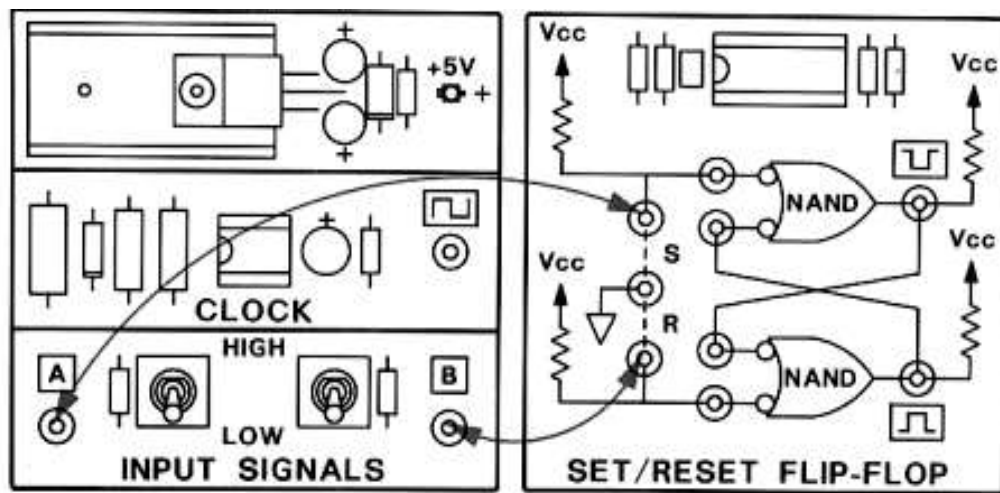
9. Tháo bỏ nối hai đầu khỏi mạch. Trạng thái mạch có thay đổi không? Tại sao?

10. Quan sát ngõ ra mạch khi tháo/lắp jumper vào vị trí RESET nhiều lần. Mạch có đáp ứng với lệnh RESET không?

11. Mạch có thể dùng để chống dội (nảy) công tắc trên cả hai chức năng Set và Reset không?

12. Dựa vào số liệu của bài thí nghiệm đã tìm ra, mối quan hệ giữa các ngõ ra mạch là gì ?

13. Nối mạch như hình 2.40. Đặt cả hai công tắc lật về vị trí DOWN. Xác định mức logic tại các ngõ ra của mạch.



Hình 2.40.

14. Đặt cả hai công tắc lật về vị trí UP. Mạch có đảo trạng thái Set hay Reset không?

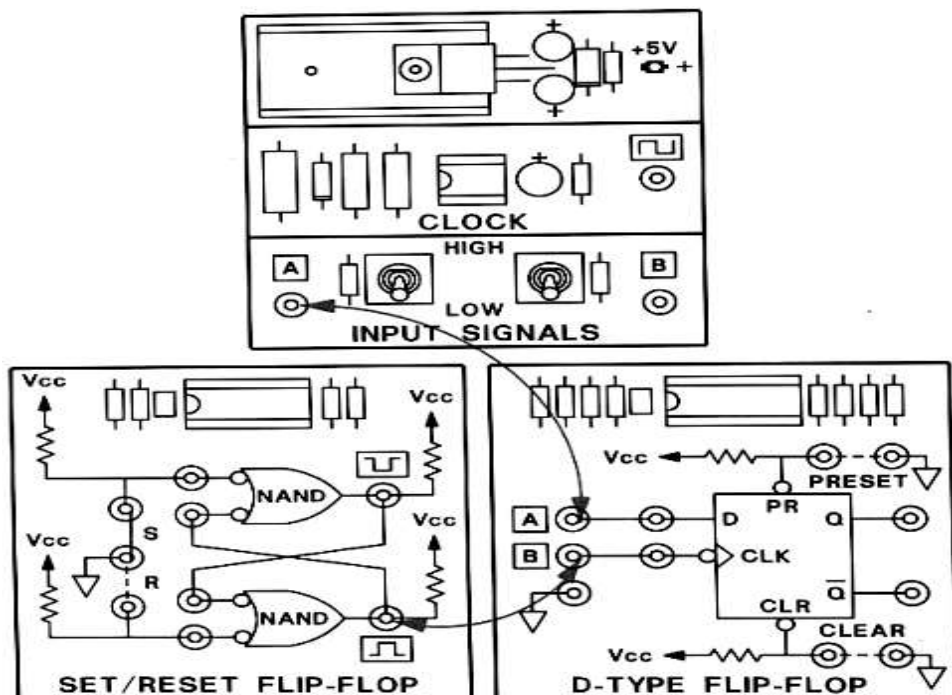
15. Chuyển công tắc B xuống rồi lại lên trong khi quan sát ngõ ra Q. Sau đó chuyển công tắc A xuống lên. Công tắc A có set flip flop và công tắc B có reset nó không?

FLIP FLOP LOẠI D

Phần thí nghiệm

1. Xác định vị trí và nối các khối mạch như hình 241. Đặt công tắc lật A ở vị trí DOWN. Kích hoạt chức năng SET của SET/RESET FLIP-FLOP.
 2. Tác động ngõ vào bằng cách nối jumper vào vị trí PRESET. Xác định mức logic ngõ ra. Kết quả có phù hợp với lý thuyết không?
-
-

3. Chuyển công tắc A lên và xuống. Quan sát ngõ ra Q của flip flop. Ngõ ra có thay đổi không?
-
-



Hình 2.41

4. Đặt công tắc A ở vị trí LOW. Chuyển jumper trên khối mạch SET/RESET FLIP-FLOP để tạo 1 xung clock. Quan sát ngõ ra Q của flip flop. Ngõ ra có thay đổi không?

5. Tháo jumper ra khỏi vị trí PRESET, tác động ngõ vào CLR bằng cách nối jumper vào vị trí CLEAR. Xác định mức logic ngõ ra. Kết quả có phù hợp với lý thuyết không?

6. Chuyển công tắc A lên và xuống. Quan sát ngõ ra Q của Flip flop. Ngõ ra có thay đổi không?

7. Đặt công tắc A ở vị trí LOW. Chuyển jumper trên khối mạch SET/RESET FLIP-FLOP S $\overline{RS}$ để tạo 1 xung clock. Quan sát ngõ ra Q của flip flop. Ngõ ra có thay không?

8. Các trạng thái ngõ ra của D flip-flop bù nhau không?

9. Đặt công tắc lật A ở vị trí LOW. Tác động nhẹ vào PR của D flip flop để ngõ ra Q ở mức HIGH. Chuyển jumper trên khối mạch SET/RESET FLIP-FLOP S $\overline{RS}$ để tạo 1 xung clock. Quan sát ngõ ra Q của Flip flop. Ngõ ra có thay đổi không?

10. Chuyển jumper trên khối SET/RESET FLIP-FLOP sang vị trí S để tạo cạnh xuống. Trạng thái ngõ ra của D flip-flop có thay đổi không? Tại sao?

11. Đặt công tắc A ở vị trí HIGH. Chuyển jumper trên khối mạch SET/RESET FLIP-FLOP S $\overline{RS}$ để tạo 1 xung clock. Quan sát ngõ ra Q của flip flop. Ngõ ra có thay đổi không?

 12. Thay đổi mạch bằng cách nối ngõ vào CLK (clock) tới khối mạch CLOCK. Dùng dao động ký để quan sát ngõ ra D flip-flop.

 13. Ngõ ra mạch có thay đổi không nếu ngõ vào D vẫn giữ trạng thái cũ?

 14. Ngõ ra mạch có thay đổi không sau khi trạng thái ngõ vào D thay đổi?

 15. Ngõ ra mạch có phản ánh dạng sóng xung của mạch CLOCK không, hay chúng tương đương với trạng thái ở ngõ vào D?

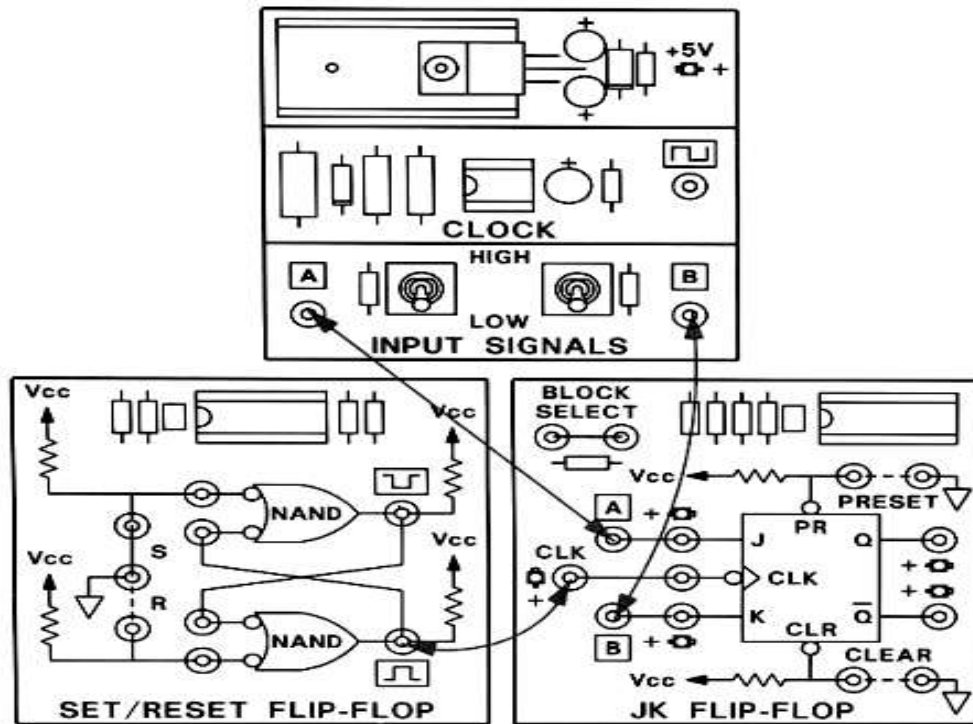
 16. Dựa vào quan sát của bạn, ngõ ra nào của D flip-flop phụ thuộc trạng thái ngõ vào D?

 17. Tác động lần lượt ngõ vào PR và CLR, chuyển công tắc A lên xuống nhiều lần. Dựa vào dao động ký, tác động của ngõ vào PR và CLR có bị ảnh hưởng ngõ vào D của flip-flop không?

 18. Dựa vào quan sát, các ngõ vào PR và CLR của D flip-flop có thể dùng để khởi phát thiết bị trước khi các ngõ vào dữ liệu và clock được dùng không?

FLIP FLOP LOẠI JK

Phần thí nghiệm



Hình 2.30

1. Xác định vị trí và nối các khối mạch như hình 2.30. Đặt công tắc lật A, B ở vị trí HIGH.
2. Tác động ngõ vào bằng cách nối jumper vào vị trí PRESET. Xác định mức logic ngõ ra. Kết quả có phù hợp với lý thuyết không?

3. Chuyển công tắc A, B lên và xuống. Quan sát ngõ ra Q của flip flop. Ngõ ra có thay đổi không?

4. Đặt công tắc A ở vị trí HIGH. Chuyển jumper trên khối mạch SET/RESET FLIP-FLOP để tạo 1 xung clock. Quan sát ngõ ra Q của flip flop. Ngõ ra có thay đổi không?

5. Từ câu 2, 3, 4 hãy nêu cách sử dụng chân PRESET để khóa các ngõ vào J, K, CLR?

6. Tác động ngõ vào CLR cách nối jumper vào vị trí CLFAR. Xác định mức logic ngõ ra. Kết quả có phù hợp với lý thuyết không?

7. Chuyển công tắc A, B lên và xuống. Quan sát ngõ ra Q của flip-flop. Ngõ ra có thay đổi không?

8. Đặt công tắc A, B ở vị trí HIGH. Chuyển jumper trên khối mạch SET/RESET FLIP-FLOP S $\overline{RS}$ để tạo 1 xung clock. Quan sát ngõ ra Q của flip flop. Ngõ ra có thay đổi không?

9. Từ câu 6, 7, 8 hãy nêu cách sử dụng chân CLEAR để khóa các ngõ vào J, K, CLK?

10. Các trạng thái ngõ ra của flip-flop có bù nhau không?

11. Tích cực cả 2 chân PRESET và CLEAR bằng cách sử dụng jumper. Xác định trạng thái của ngõ ra.

12. Tháo 1 trong 2 jumper trên ra, trạng thái ngõ ra có giống như bước 11 không?

13. Làm lại các bước 11, 12 với jumper còn lại. Ngõ ra có thay đổi không khi tháo 1 jumper?

14. Đặt công tắc A, B ở vị trí HIGH. Tác động nhẹ vào PR của JK flip-flop để ngõ ra Q ở mức HIGH. Chuyển jumper trên khối mạch SET/RESET FLIP-FLOP S $\overline{RS}$ để tạo cạnh lên xung clock. Quan sát ngõ ra Q của flip flop. Ngõ ra có thay đổi không? Tại sao?

15. CLEAR flip=flop JK, sử dụng công tắc A, B và khối mạch SET/RESET, LED, Flip-flop JK. Hãy hoàn thành bảng sau:

	Ngõ vào			Ngõ ra		Thay đổi hay không thay đổi
	J	K	CLK	Q	/Q	
CLEAR	X	X	X	0	1	
(1)	1	0	↓			
(2)	1	0	↓			
(3)	0	1	↓			
(4)	0	1	↓			
(5)	1	1	↓			
(6)	1	1	↓			
(7)	0	0	↓			
(8)	0	0	↓			

16. Trong bảng trên, tại sao bước 2 không làm thay đổi ngõ ra?

17. Tại sao bước 4 không làm thay đổi ngõ ra?

18. Tại sao bước 6 làm cho ngõ ra thay đổi mặc dù J, K không thay đổi khi chuyển từ bước 5 sang bước 6?

19. Dựa vào quan sát, cho biết ngõ vào có phải là ngõ vào điều khiển không?

 20. Dựa vào quan sát, cho biết ngõ vào có phải là ngõ vào dữ liệu hay không?

➤ YÊU CẦU VỀ ĐÁNH GIÁ KẾT QUẢ HỌC TẬP BÀI 2

✚ Nội dung:

- + Về kiến thức: Trình bày được khái niệm và phân biệt sự khác nhau giữa các họ của Flip flop (FF), hiểu được các bảng chân trị (bảng sự thật) của mỗi FF.
- + Về kỹ năng: sử dụng thành thạo các dụng cụ đo để đo được các chân tín hiệu điện áp ở ngõ vào – ra của IC, lắp ráp một số mạch cơ bản,....
- + Về thái độ: Đảm bảo an toàn và vệ sinh công nghiệp.

✚ Phương pháp:

- + Về kiến thức: Được đánh giá bằng hình thức kiểm tra viết, trắc nghiệm.
- + Về kỹ năng: Đánh giá kỹ năng thực hành đo được các thông số trong mạch điện theo yêu cầu của bài, lắp ráp một số mạch cơ bản
- + Thái độ: Tỉ mỉ, cẩn thận, chính xác, ngăn nắp trong công việc.

BÀI 3

MẠCH ĐẾM VÀ THANH GHI

Mã Bài: MD28-03

Giới thiệu:

Mạch đếm là một mạch dãy đơn giản được xây dựng từ các phần tử nhớ và các phần tử tổ hợp.

Các mạch đếm là thành phần cơ bản của các hệ thống số chúng được sử dụng để đếm thời gian, chia tần số, điều khiển các mạch khác.

Trong máy tính, thanh ghi (tên thường gọi của mạch ghi dịch) là nơi lưu tạm dữ liệu để thực hiện các phép tính, các lệnh cơ bản như ghi dữ liệu, dịch thông tin Ngoài ra, mạch ghi dịch còn những ứng dụng khác như: tạo mạch đếm vòng, biến đổi dữ liệu nối tiếp $\leftrightarrow$ song song, dùng thiết kế các mạch đèn trang trí, quảng cáo. . . .

Mục tiêu:

- Trình bày được cấu tạo, nguyên lý hoạt động các mạch đếm và thanh ghi thông dụng.
- Nêu được các ứng dụng của các mạch đếm và thanh ghi trong kỹ thuật.
 - Lắp ráp, sửa chữa, đo kiểm được các các mạch đếm và thanh ghi đúng yêu cầu kỹ thuật.
- Rèn luyện tính tỉ mỉ, chính xác, an toàn và vệ sinh công nghiệp.

Nội dung:

1. Mạch đếm

- Mục tiêu: Phân biệt được mạch đếm lên, đếm xuống đồng bộ và không đồng bộ những tác động ảnh hưởng đến mạch đếm như tần số, điện áp... Trình bày được ưu nhược điểm mạch đếm vòng và vòng xoắn (Johnson), mạch đếm với số đếm đặt trước.

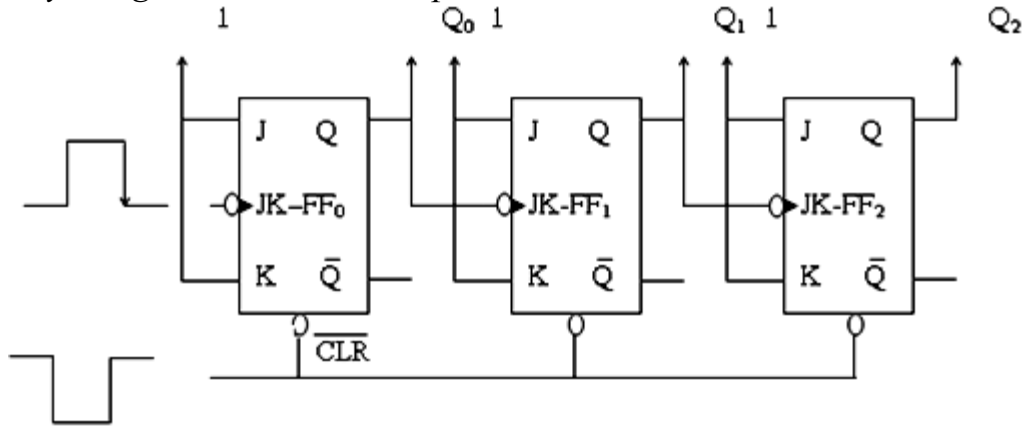
Mạch đếm thực hiện chức năng đếm lên hoặc đếm xuống dưới tác động của xung đồng hồ (xung CK). Mạch đếm có thể chia làm hai loại như sau:

Mạch đếm không đồng bộ là mạch đếm mà người ta sử dụng các FF liên kết với nhau theo dạng nối tiếp. Mỗi ngõ ra của một FF đồng thời làm xung CK cho tầng sau. Vì vậy các FF sẽ đổi trạng thái một cách tuần tự từ FF đầu tiên đến FF cuối cùng.

Mạch đếm đồng bộ các FF được kích hoạt song song bởi xung CK, điều này làm cho các FF thay đổi trạng thái đồng thời.

1.1. Mạch đếm lên không đồng bộ

Xây dựng mạch đếm lên nhị phân 3 bit, hình 3.1



Hình 3.1: Cấu trúc mạch đếm lên không đồng bộ

Mạch đếm lên nhị phân 3 bit với xung CK tác động cạnh xuống và ngõ vào xóa CLR tích cực ở mức thấp.

Bảng trạng thái hình 3.2:

C_K	Q_2	Q_1	Q_0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0

Hình 3.2

Giải thích hoạt động của mạch:

Giả sử trạng thái ban đầu các ngõ ra $Q_0 = Q_1 = Q_2 = 0$.

Các ngõ vào J, K của FF đều nối lên mức cao nên các FF luôn lật trạng thái ngõ ra khi có xung CK tác động cạnh xuống.

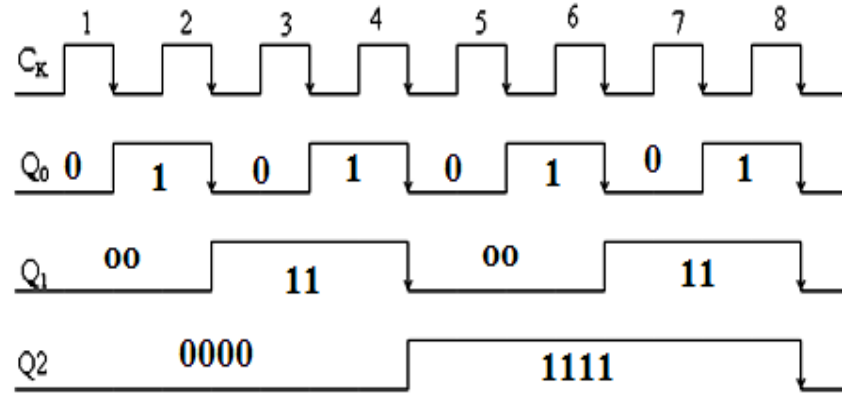
Khi xuất hiện cạnh xuống của xung CK thứ nhất Q_0 thay đổi trạng thái từ $Q_0 = 0$ sang $Q_0 = 1$. Còn Q_1 vẫn bằng 0 do FF chưa được tác động.

Khi xuất hiện cạnh xuống của xung CK thứ hai Q_0 thay đổi trạng thái từ $Q_0 = 1$ sang $Q_0 = 0$ làm CK1 thay đổi theo. Lúc đó CK1 thay đổi trạng thái từ CK1 = $Q_0 = 1$ sang CK1 = $Q_0 = 0$ làm ngõ ra Q_1 của FF1 thay đổi trạng thái từ $Q_1 = 0$ sang $Q_1 = 1$.

Với cạnh xuống của xung CK thứ ba tương tự ta có Q_0 thay đổi trạng thái từ $Q_0 = 0$ sang $Q_0 = 1$.

Quá trình cứ xảy ra tại cạnh xuống của xung CK và như vậy mạch đã thực hiện đếm lên nhị phân 3 bit.

Dạng sóng tín hiệu, hình 3.3 :



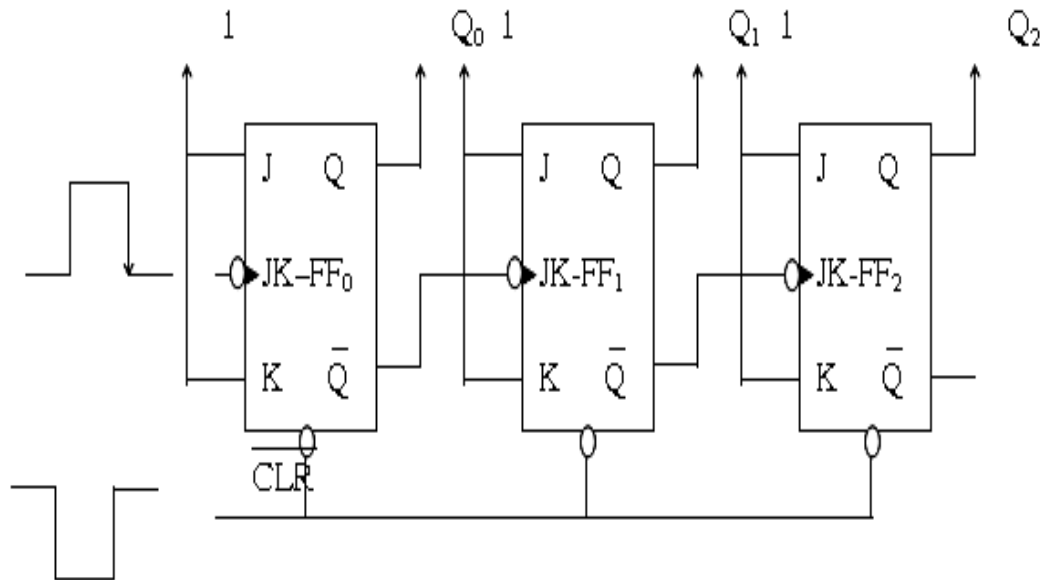
Hình 3.3

Ta thấy ngõ ra của các FF là các mã số nhị phân 3 bit có giá trị từ 0000 – 1111. Giá trị của số đếm tăng dần theo xung CK.

Dựa vào dạng sóng tín hiệu ta thấy: Tần số của $Q_0 = f/2$, tần số của $Q_1 = f/4$ và tần số của $Q_2 = f/4$.

1.2. Mạch đếm xuống không đồng bộ

❖ Xây dựng mạch đếm xuống nhị phân 3 bit, hình 3.4



Hình 3.4 : Mạch đếm xuống không đồng bộ

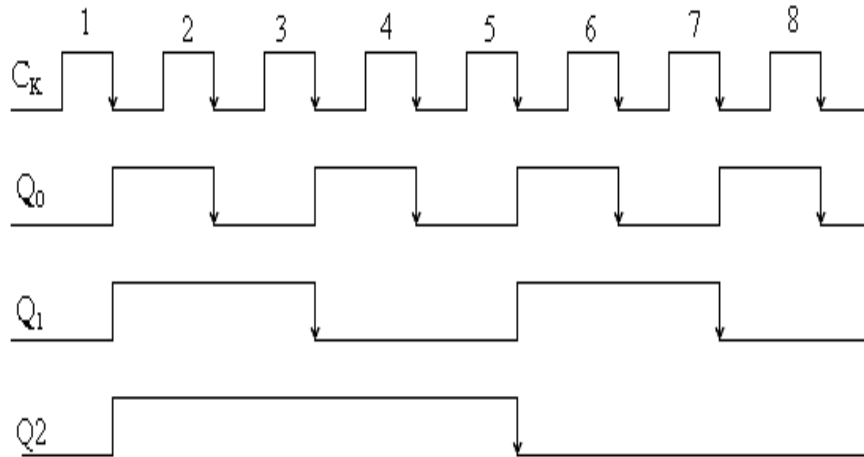
Mạch đếm xuống nhị phân 3 bit với xung CK tác động cạnh xuống và ngõ vào xóa CLR tích cực ở mức thấp.

Bảng trạng thái hình 3.5

C_K	Q_2	Q_1	Q_0
0	0	0	0
1	1	1	1
2	1	1	0
3	1	0	1
4	1	0	0
5	0	1	1
6	0	1	0
7	0	0	1
8	0	0	0

Hình 3.5

Dạng sóng tín hiệu hình 3.6:



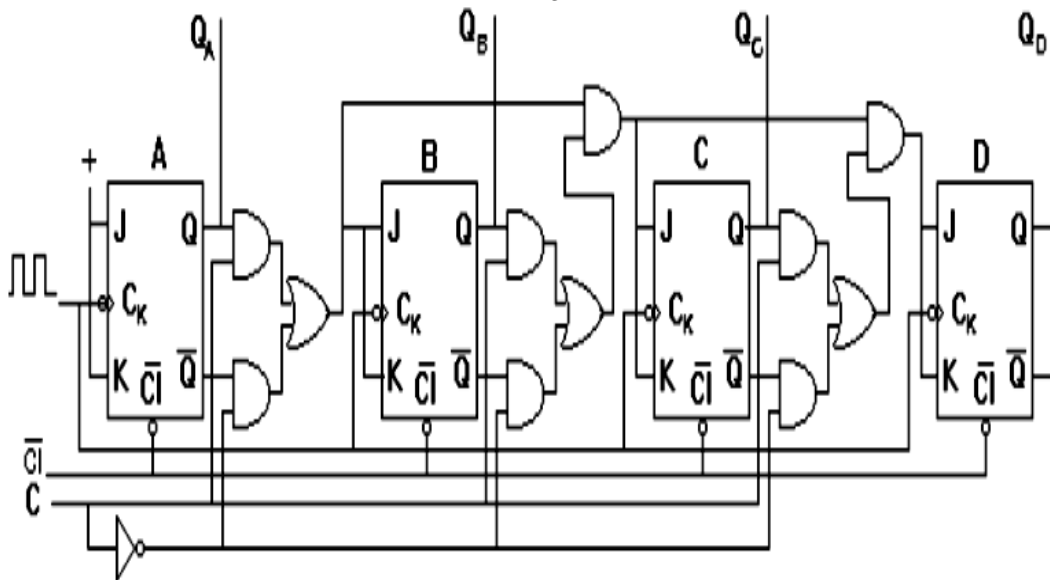
Hình 3.6

- Nếu thực hiện đếm xuống dùng xung C_k tác động cạnh xuống thì:
 - Xung CK đầu tiên tác động bình thường
 - Ngõ ra Q của tầng trước nối đến CK của tầng kế cận.
 - ❖ Giải thích hoạt động của mạch:
 - Đối với mạch đếm xuống khi sử dụng FF có xung C_k tác động cạnh xuống thì ngõ ra $\overline{Q_0}$ của FF_0 được nối tới ngõ vào C_{K1} của FF_1 , ngõ ra $\overline{Q_1}$ của FF_1 được nối tới ngõ vào C_{K2} của FF_2 .
 - Giả sử trạng thái ban đầu $Q_0 = Q_1 = Q_2 = 0$ thì $\overline{Q_0} = \overline{Q_1} = 1$

- Các ngõ vào J, K của các FF được nối lên mức logic 1 nên các FF luôn đảo trạng thái khi có xung C_K tác động
- Tại thời điểm cạnh xuống của xung C_k thứ nhất ngõ ra Q_0 của FF_0 từ $Q_0 = 0$ sang $Q_0 = 1$ và $\overline{Q_0} = 1$ xuống $\overline{Q_0} = 0$. Khi đó C_{K1} cũng thay đổi theo $\overline{Q_0}$ (từ 1 xuống 0) khi đó ngõ ra từ $Q_1 = 0$ sang $Q_1 = 1$ và $\overline{Q_1} = 1$ xuống 0, làm FF_2 cũng thay đổi theo $\overline{Q_1} = 0$, ngõ ra $Q_2 = 0$ lên 1. Trạng thái ngõ ra lúc này là: $Q_2, Q_1, Q_0 = 111$.
- Tại thời điểm cạnh xuống của xung C_k thứ hai ngõ ra Q_0 của FF_0 từ $Q_0 = 1$ xuống $Q_0 = 0$ và $\overline{Q_0} = 0$ lên $\overline{Q_0} = 1$. Khi đó C_{K1} cũng thay đổi theo $\overline{Q_0}$ (từ 0 lên 1) làm FF_1 không được tác động (do tại thời điểm này tương ứng với cạnh lên của xung C_K đưa vào FF_1) do đó ngõ ra của FF_1 vẫn giữ nguyên trạng thái trước đó tức là $Q_1 = 1$. Tương tự $Q_2 = 1$ và trạng thái ngõ ra của các FF lúc này là: $Q_2, Q_1, Q_0 = 110$.
- Tại thời điểm cạnh xuống của xung C_k thứ ba ngõ ra của FF_0, FF_1 là $Q_0 = 0$ lên, $Q_0 = 0$ và $Q_1 = 1$ xuống 0 làm $\overline{Q_1} = 1$ nên Q_2 vẫn bằng 1. Trạng thái ngõ ra của các FF lúc này là: $Q_2, Q_1, Q_0 = 101$.
- Tương tự với các xung C_K còn lại và ngõ ra của các FF cuối cùng $Q_2, Q_1, Q_0 = 000$.

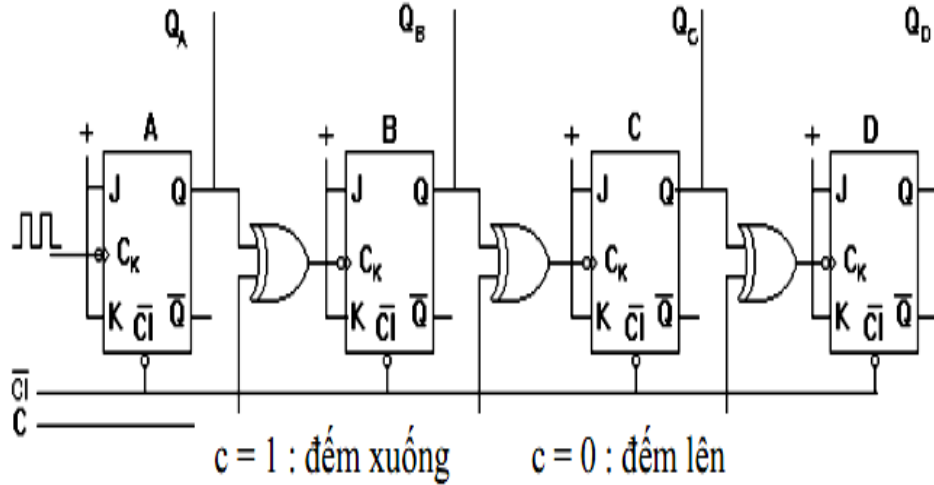
1.3. Mạch đếm lên, đếm xuống không đồng bộ (n=4):

Để có mạch đếm lên hoặc đếm xuống người ta dùng các mạch đa hợp 2→1 (hai trạng thái 1 ngõ ra) với ngõ vào điều khiển C chung để chọn Q hoặc $\overline{Q}$ đưa vào tầng sau qua các cổng NAND. Trong mạch (hình 3.7) dưới đây khi $C = 1$, Q nối vào C_k , mạch đếm lên và $C = 0$, $\overline{Q}$ nối vào C_k , mạch đếm xuống.



Hình 3.7

Trên thực tế, để đơn giản, ta có thể thay đa hợp 2→1 bởi một cổng EX-OR (hình 3.8), ngõ điều khiển C nối vào một ngõ vào cổng EX-OR, ngõ vào còn lại nối với ngõ ra Q của FF và ngõ ra của cổng EX-OR nối vào ngõ vào C của FF sau, mạch cũng đếm lên/xuống tùy vào $C=0$ hay $C=1$.



Hình 3.8

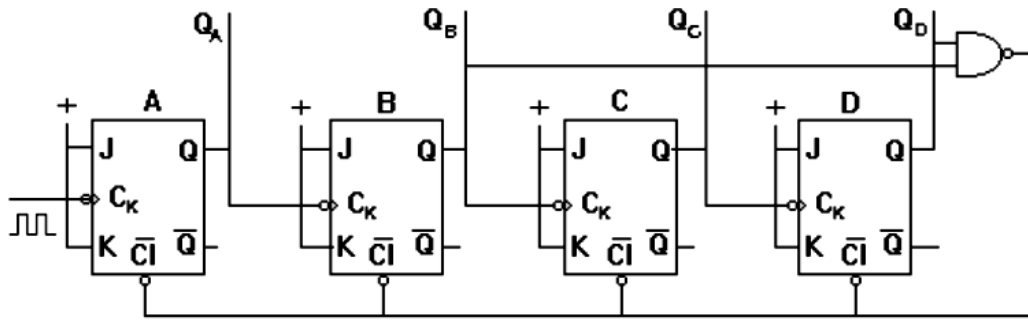
1.4. Mạch đếm không đồng bộ chia n tần số

❖ **Kiểu Reset:** Để thiết kế mạch đếm kiểu Reset, trước nhất người ta lập bảng trạng thái cho số đếm.

Quan sát bảng 3.9 ta thấy ở xung thứ 10, nếu theo cách đếm 4 tầng thì Q_D và Q_B phải lên 1. Lợi dụng hai trạng thái này ta dùng một cổng NAND 2 ngõ vào để đưa tín hiệu về xóa các FF, ta được mạch ở (hình 3.10)

Số xung C_K vào	Số nhị phân ở ngõ ra				Số thập phân tương ứng
	Q_D	Q_C	Q_B	Q_A	
Xóa	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	0(1)	0	0(1)	0	10

Bảng 3.9



Hình 3.10:

Mạch đếm kiểu Reset có khuyết điểm như:

- Có một trạng thái trung gian trước khi đạt số đếm cuối cùng.
- Ngã vào C_i không được dùng cho chức năng xóa ban đầu.

❖ **Kiểu Preset:**

Trong kiểu Preset các ngã vào của các FF sẽ được đặt trước thế nào để khi mạch đếm đến trạng thái thứ N thì tất cả các FF tự động quay về không. Để thiết kế mạch đếm không đồng bộ kiểu Preset, thường người ta làm như sau:

- Phân tích số đếm $N = 2^n \cdot N'$ ($N' < N$) rồi kết hợp hai mạch đếm n bit và N' . Việc thiết kế rất đơn giản khi số $N' \ll N$

1.5. Mạch đếm đồng bộ, hình 3.12.

Trong mạch đếm đồng bộ các FF chịu tác động đồng thời của xung đếm C_k

Ví dụ: Thực hiện mạch đếm lên đồng bộ 3 bit với CK tác động cạnh xuống

Khảo sát bảng trạng thái hình 3.11:

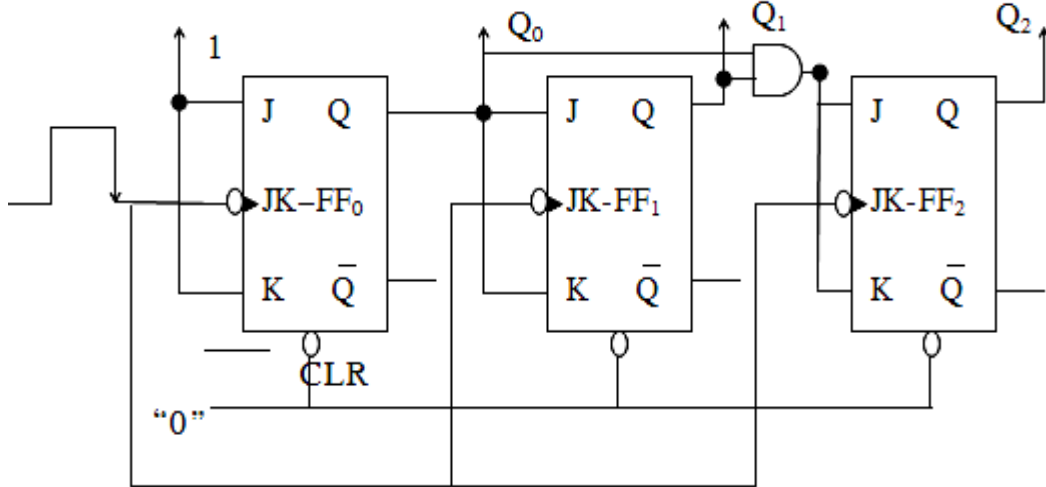
C_K	Q_2	Q_1	Q_0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0

Hình 3.11

Nhận xét:

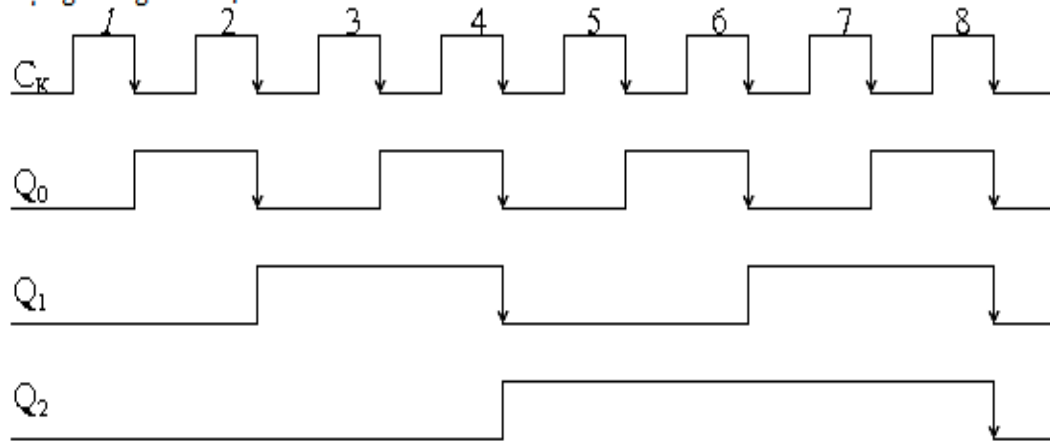
- Q_0 đổi trạng thái từ 0 – 1 và từ 1 – 0 khi có xung C_K vậy $J_0 = K_0 = 1$.

- Q_1 đổi trạng thái từ 0 – 1 và từ 1 – 0 khi có xung C_K và khi $Q_0 = 1$, vậy $J_1 = K_1 = Q_0$.
- Q_2 đổi trạng thái từ 0 – 1 và từ 1 – 0 khi có xung C_K và khi $Q_0 = 1$ và $Q_1 = 1$, vậy $J_2 = K_2 = Q_0Q_1$.



Hình 3.12: Mạch logic đếm đồng bộ

Dạng sóng tín hiệu:

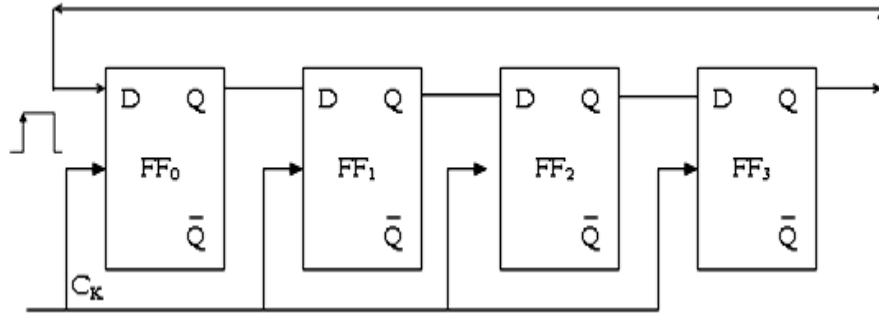


Hình 3.13: Dạng sóng tín hiệu

1.6. Mạch đếm vòng

Thực chất là mạch ghi dịch trong đó ta cho hồi tiếp từ một ngõ ra nào đó về ngõ vào để thực hiện một chu kỳ đếm. Tùy đường hồi tiếp mà ta có các chu kỳ đếm khác nhau. Sau đây ta khảo sát vài loại mạch đếm vòng phổ biến.

Cấu trúc mạch đếm vòng được cấu tạo từ các D Flip – Flop như hình 3.14.



Hình 3.14

Nguyên tắc hoạt động của mạch đếm vòng như sau:

- Giả sử trạng thái ban đầu $Q_3=1, Q_2 = Q_1 = Q_0 = 0$. Khi đó $D_0 = 1, D_1 = D_2 = D_3 = 0$.

+ Tại cạnh lên xung C_{K1} : $Q_0 = 1, Q_3 = Q_2 = Q_1 = 0$. Khi đó $D_1 = 1, D_0 = D_2 = D_3 = 0$.

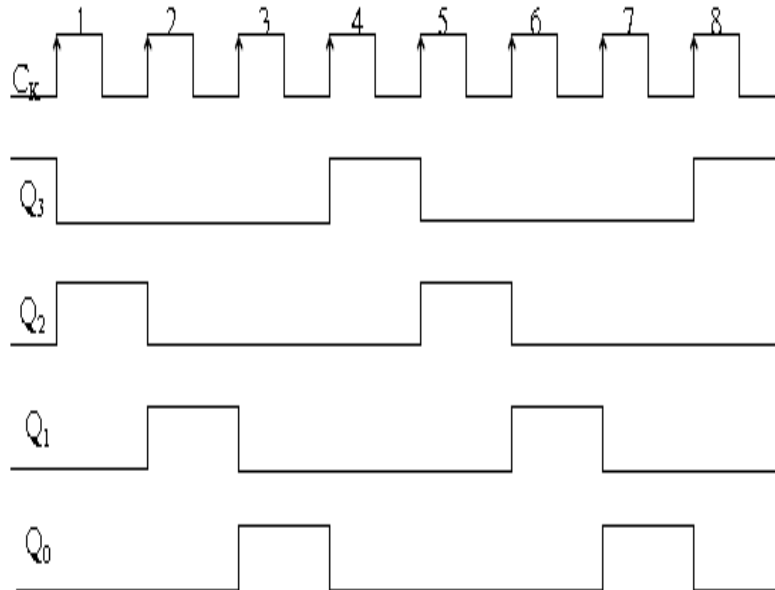
+Tại cạnh lên xung C_{K2} : $Q_1 = 1, Q_3 = Q_2 = Q_0 = 0$. Khi đó $D_2 = 1, D_0 = D_1 = D_3 = 0$.

+Tại cạnh lên xung C_{K3} : $Q_2 = 1, Q_3 = Q_1 = Q_0 = 0$. Khi đó $D_3 = 1, D_0 = D_1 = D_2 = 0$.

+Tại cạnh lên xung C_{K4} : $Q_3 = 1, Q_2 = Q_1 = Q_0 = 0$. Khi đó $D_0 = 1, D_0 = D_2 = D_3 = 0$.

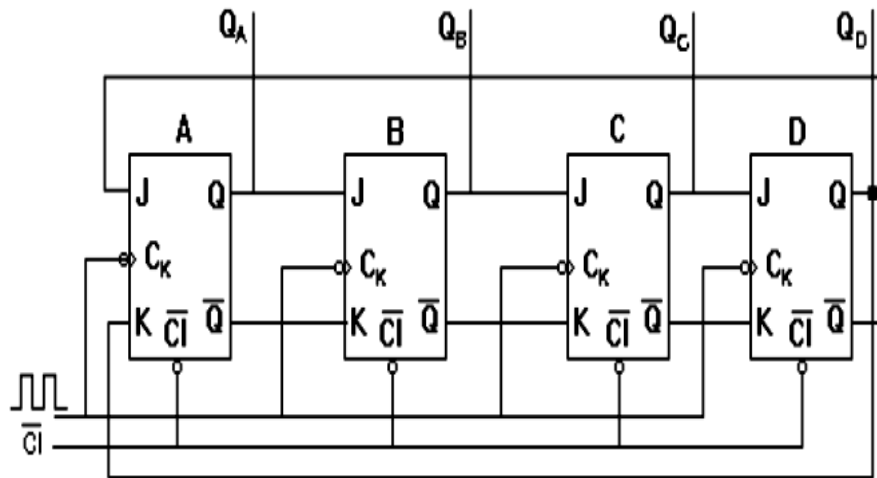
Các xung tiếp theo làm theo chu trình lặp lại trạng thái như trên.

Dạng sóng tín hiệu, hình 3.15:



Hình 3.15: Dạng sóng tín hiệu

1.7 Mạch đếm vòng xoắn (Jonhson), hình 3.16



Hình 3.16 : Mạch đếm vòng xoắn (Jonhson)

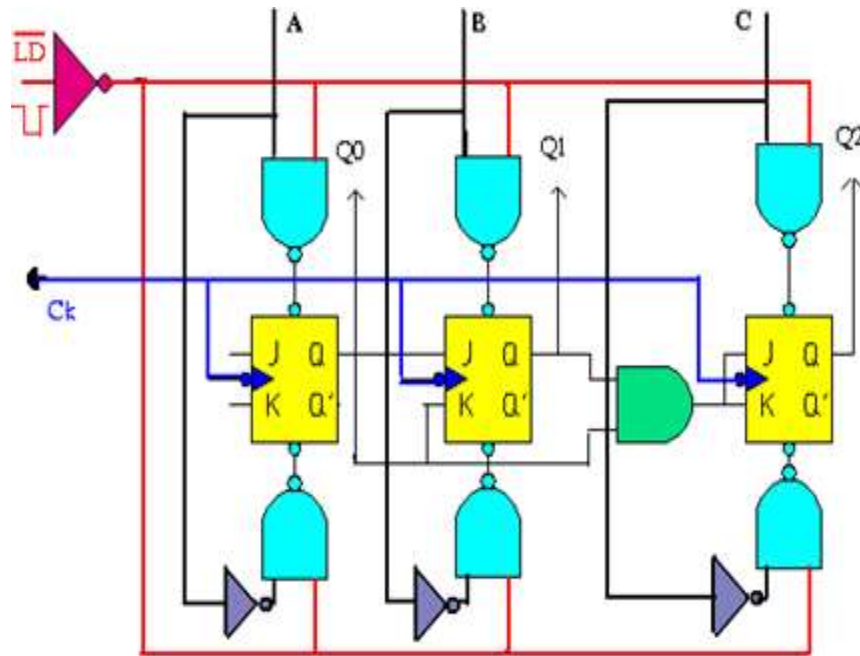
Mạch có một chu kỳ đếm mặc nhiên mà không cần đặt trước và nếu có đặt trước, mạch sẽ cho các chu kỳ khác nhau tùy vào tổ hợp đặt trước đó. Bảng trạng thái như hình 3.17

C_K	Q_D	Q_C	Q_B	Q_A	Số TP
Preset	0	0	0	0	0
1↓	0	0	0	1	1
2↓	0	0	1	1	3
3↓	0	1	1	1	7
4↓	1	1	1	1	15
5↓	1	1	1	0	14
6↓	1	1	0	0	12
7↓	1	0	0	0	8
8↓	0	0	0	0	0

Hình 3.17

1.8. Mạch đếm với số đếm đặt trước

Nhiều bộ đếm song song ở dạng IC tích hợp được thiết kế để có khả năng nạp trước số cần đếm thay vì 0 như ta thường thấy. Số đặt trước là bất kì trong những số có thể ra của mạch và mạch có thể đếm lên hay đếm xuống 1 cách đồng bộ hay không đồng bộ từ số này. Việc này giống như là nạp song song ở mạch ghi dịch vậy, bằng cách tận dụng ngõ Cl và Pr (ngõ không đồng bộ độc lập với ck). Cấu trúc mạch với 3 tầng FF được minh họa như hình và hoạt động nạp được thực hiện như hình 3.18:



Hình 3.18. Mạch đếm đặt trước 3 bit

Giả sử mạch đang đếm hay dừng ở 1 số đếm nào đó. Đưa sẵn số đếm có trạng thái cần nạp vào ngõ A B C. Đặt một xung mức thấp vào đầu LD (parallel load), xung này sẽ cho phép trạng thái logic ABC qua cổng NAND để đưa vào 3 tầng FF qua 3 ngõ Pr hay Cl (tùy thuộc bit mức thấp hay cao). Kết quả là $Q0 = A$, $Q1 = B$, $Q2 = C$.

Khi LD lên cao trở lại, lúc này nếu có xung nhịp Ck thì mạch sẽ tiếp tục đếm từ số vừa nạp (trước đó ck và các ngõ T không có tác dụng).

2. Thanh ghi

- *Mục tiêu: Phân biệt được các loại thanh ghi. Trình bày được ưu nhược điểm của nó.*

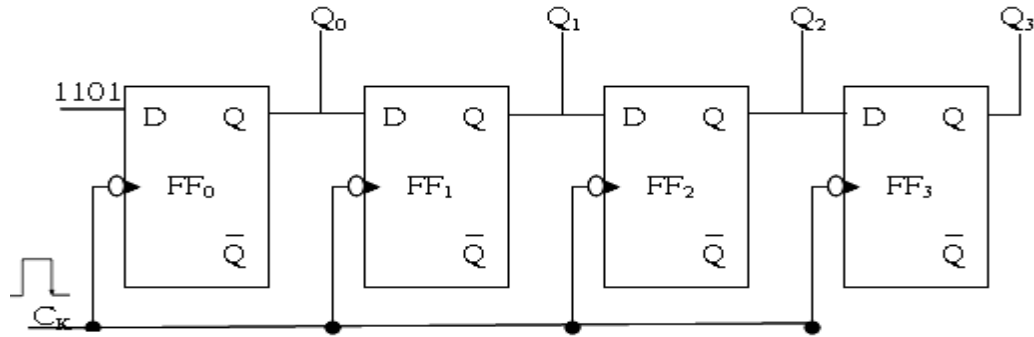
Thanh ghi được xây dựng trên cơ sở các DFF (hoặc các FF khác thực hiện chức năng của DFF) và trong đó mỗi DFF sẽ lưu trữ 1 bit dữ liệu.

Để tạo thanh ghi nhiều Bit, người ta ghép nhiều DFF lại với nhau theo qui luật như sau

- Ngõ ra của DFF đứng trước được nối với ngõ vào DATA của DFF sau ($D_{i+1} = q_i$) (thanh ghi có khả năng dịch phải)
- Hoặc ngõ ra của DFF đứng sau được nối với ngõ vào của DATA đứng trước ($D_i = Q_{i-1}$) 9 thanh ghi có khả năng dịch trái.

2.1. Thanh ghi vào nối tiếp ra song song dịch phải, hình 3.18

Cấu trúc :



Hình 3.18 : Thanh ghi vào nối tiếp ra song song dịch phải

❖ Nguyên tắc hoạt động:

Giả sử cho dữ liệu ngõ vào $D_{in} = 111101$ như hình, ban đầu $Q_3Q_2Q_1Q_0 = 0000$

$D_0 = 1, D_1 = 0, D_2 = 0, D_3 = 0$ tại CK_1 $Q_0 = 1, Q_1 = 0, Q_2 = 0, Q_3 = 0$.

$D_0 = 0, D_1 = 1, D_2 = 0, D_3 = 0$ tại CK_2 $Q_0 = 0, Q_1 = 1, Q_2 = 0, Q_3 = 0$.

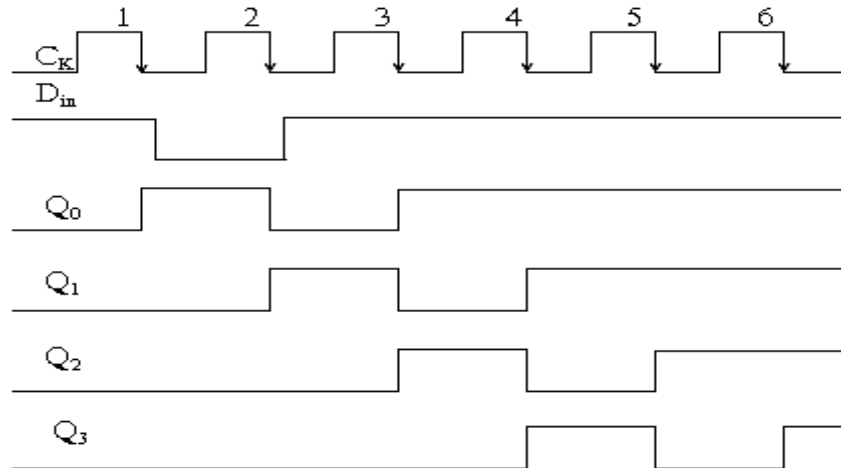
$D_0 = 1, D_1 = 1, D_2 = 1, D_3 = 0$ tại CK_3 $Q_0 = 1, Q_1 = 0, Q_2 = 1, Q_3 = 0$.

$D_0 = 1, D_1 = 1, D_2 = 0, D_3 = 1$ tại CK_4 $Q_0 = 1, Q_1 = 1, Q_2 = 0, Q_3 = 1$.

$D_0 = 1, D_1 = 1, D_2 = 1, D_3 = 0$ tại CK_5 $Q_0 = 1, Q_1 = 1, Q_2 = 0, Q_3 = 1$.

$D_0 = 1, D_1 = 1, D_2 = 1, D_3 = 1$ tại CK_6 $Q_0 = 1, Q_1 = 1, Q_2 = 1, Q_3 = 1$.

Dạng sóng tín hiệu hình 3.19:



Hình 3.19: Tín hiệu thanh ghi vào nối tiếp ra song song dịch phải

2.2. Thanh ghi vào nối tiếp ra song song dịch trái

❖ Nguyên tắc hoạt động:

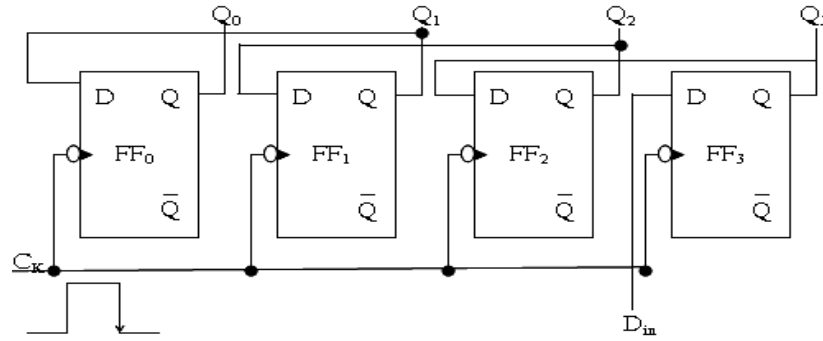
Giả sử cho dữ liệu ngõ vào $D_{in} = 111101$ như hình, ban đầu $Q_3Q_2Q_1Q_0 = 0000$

$D_3 = 1, D_2 = 0, D_1 = 0, D_0 = 0$ tại CK_1 $Q_3 = 1, Q_2 = 0, Q_1 = 0, Q_0 = 0$.

$D_3 = 0, D_2 = 1, D_1 = 0, D_0 = 0$ tại CK_1 $Q_3 = 0, Q_2 = 1, Q_1 = 0, Q_0 = 0$.

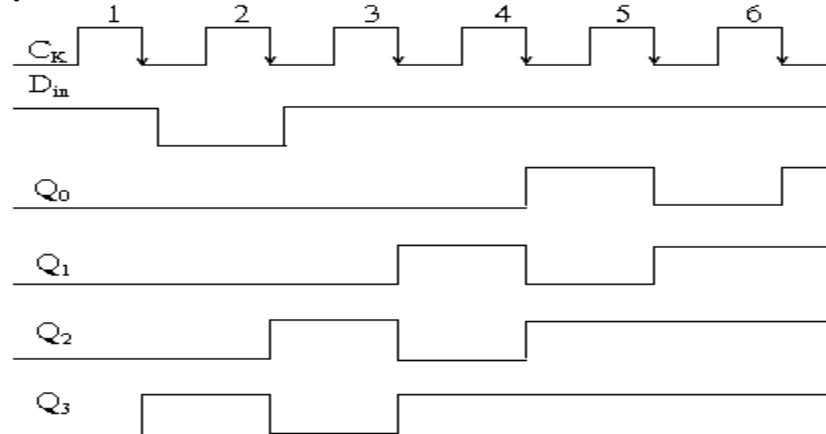
$D_3 = 1, D_2 = 1, D_1 = 1, D_0 = 0$ tại CK_1 $Q_3 = 1, Q_2 = 0, Q_1 = 1, Q_0 = 0$.

$D_3 = 1, D_2 = 1, D_1 = 0, D_0 = 1$ tại CK_1 $Q_3 = 1, Q_2 = 1, Q_1 = 0, Q_0 = 1$.



Hình 3.20 : Thanh ghi vào nối tiếp ra song song dịch trái

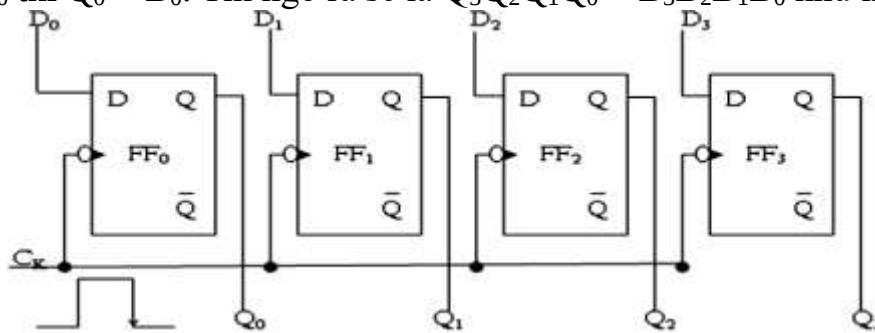
Dạng sóng tín hiệu hình 3.21



Hình 3.21: Tín hiệu thanh ghi vào nối tiếp ra song song dịch trái

2.3. Thanh ghi vào song song ra song song

Giả sử dữ liệu vào là $D_3D_2D_1D_0 = B_3B_2B_1B_0$. Khi có cạnh xuống của xung Ck xuất hiện thì với $D_3 = B_3$ thì $Q_3 = B_3$, $D_2 = B_2$ thì $Q_2 = B_2$, $D_1 = B_1$ thì $Q_1 = B_1$, $D_0 = B_0$ thì $Q_0 = B_0$. Thì ngõ ra sẽ là $Q_3Q_2Q_1Q_0 = B_3B_2B_1B_0$ như hình 3.22

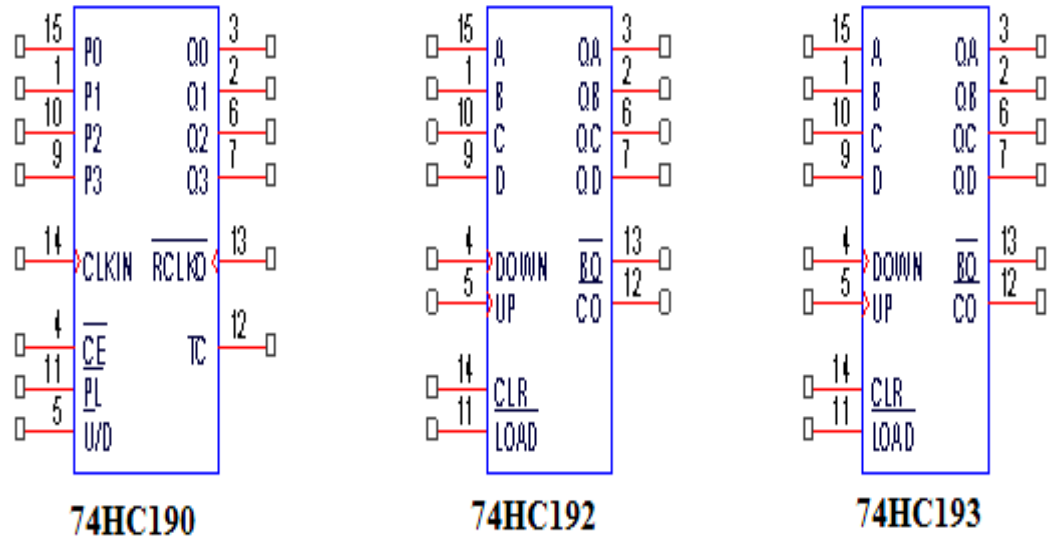


Hình 3.22 : Thanh ghi vào song song ra song song

3. Giới thiệu một số IC đếm và thanh ghi thông dụng

- Mục tiêu: Phân biệt sự giống và khác nhau giữa các họ IC, chức năng và ứng dụng của nó vào các mạch điện.

• IC đếm, hình 3.23



Hình 3.23

- Giải thích hoạt động của các họ IC:

+ **Nhóm 74LS160/161/162/163**

Cả 4 IC đều có cùng kiểu chân và các ngõ vào ra tương tự nhau, có xung ck nhảy ở cạnh xuống do đó trong cấu tạo có thêm mạch đệm sau ngõ đồng bộ, có khả năng nạp song song và preset đồng bộ.

- LS160 là IC đếm chia 10, còn LS161 và LS163 là IC đếm chia 16

- LS160 và LS161 có chân xoá CI không đồng bộ còn LS162, LS163 có chân xoá CI đồng bộ

+ **Nhóm 74LS190, 74LS191**

74LS190 là mạch đếm chia 10 còn 74LS191 là mạch đếm chia 16. Chúng có kiểu chân ra như nhau và chức năng cũng như nhau

- Chân EnG (enable gate) là ngõ vào cho phép tác động ở thấp; chân U/D là ngõ cho phép đếm lên hay xuống (thấp)

- Chân RC (ripple clock) xung rợn sẽ xuống thấp khi đếm hết số; được dùng cho việc nối tầng và xác định tần số của xung max/min khi nối tới chân LD (load) của tầng sau.

Cách nối tầng như sau : chân RC của tầng trước nối tới chân ck của tầng sau, khi này tuy mỗi mạch là đếm đồng bộ nhưng toàn mạch là đếm bất đồng bộ. Cách khác là chân RC của tầng trước nối tới chân EnG của tầng sau, xung ck dùng đồng bộ tới các tầng.

+ **Nhóm 74LS192, LS193**

LS192 là mạch đếm chia 10 còn LS193 là mạch đếm chia 16

Cả 2 loại đều cấu trúc chân như nhau và đều có khả năng đếm lên hay xuống

Khi đếm lên xung ck được đưa vào chân CKU còn khi đếm xuống xung ck được đưa vào chân CKD

Khi đếm lên hết số chân Carry xuống thấp, khi đếm xuống hết số chân Borrow xuống thấp. 2 chân này dùng khi cần nối tầng nhiều IC

Đặc biệt mạch có thể đặt trước số đếm ban đầu ở các chân ABCD và chân LD xuống thấp để cho phép nạp số ban đầu.

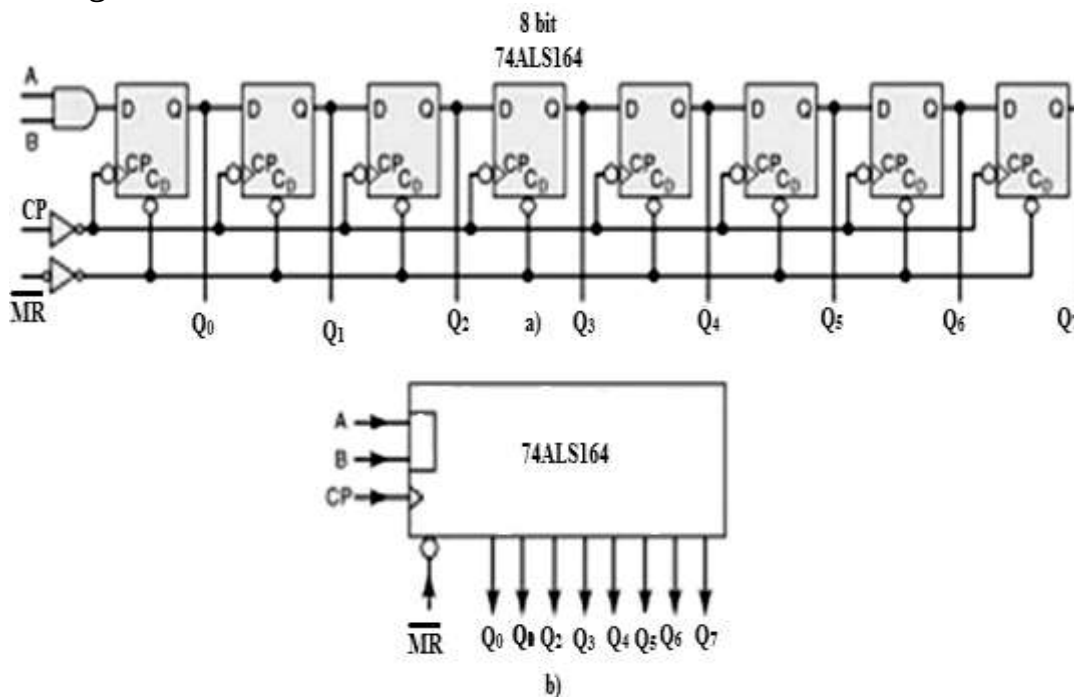
+ Nhóm 74HC/HCT4518 và 74HC/HCT4520

Đây là 2 IC đếm đồng bộ họ CMOS dùng FF D về hoạt động cũng tương tự như những IC kể trên nhưng vì cấu tạo cơ bản từ các cổng logic CMOS nên tần số hoạt động thấp hơn so với những IC cùng loại bù lại tiêu tán công suất thấp.

4518 là IC đếm chia 10 còn 4520 là IC đếm chia 16. Cấu trúc chân và đặc tính của chúng như nhau. Chân nhận xung ck và chân cho phép E có thể chuyển đổi chức năng cho nhau do đó mạch có thể tác động cạnh xuống hay cạnh lên

Mạch cũng cho phép nối tầng nhiều IC khi nối Q3 của tầng trước tới ngõ E của tầng sau.

IC thanh ghi 74LS164, hình 3.24

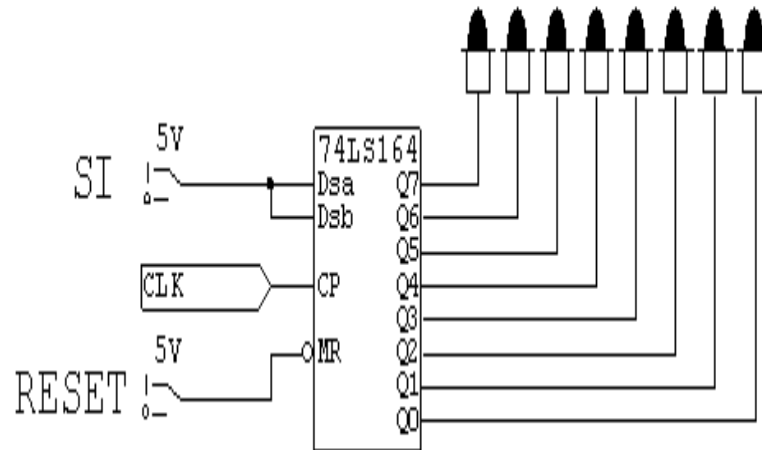


Hình 3.24

Chúng ta đã được biết đến các loại FF. Chúng đều có thể lưu trữ (nhớ 1 bit) và chỉ khi có xung đồng bộ thì bit đó mới truyền tới ngõ ra (đảo hay không đảo). Bây giờ nếu ta mắc nhiều FF nối tiếp lại với nhau thì sẽ nhớ được nhiều bit. Các ngõ ra sẽ phân hoạt động theo xung nhịp ck. Có thể lấy ngõ ra ở từng tầng FF

(gọi là các ngõ ra song song) hay ở tầng cuối (ngõ ra nối tiếp). Như vậy mạch có thể ghi lại dữ liệu (nhớ) và dịch chuyển nó (truyền) nên mạch được gọi là ghi dịch. Ghi dịch cũng có rất nhiều ứng dụng đặc biệt trong máy tính, như chính cái tên của nó: lưu trữ dữ liệu và dịch chuyển dữ liệu chỉ là ứng dụng nổi bật nhất

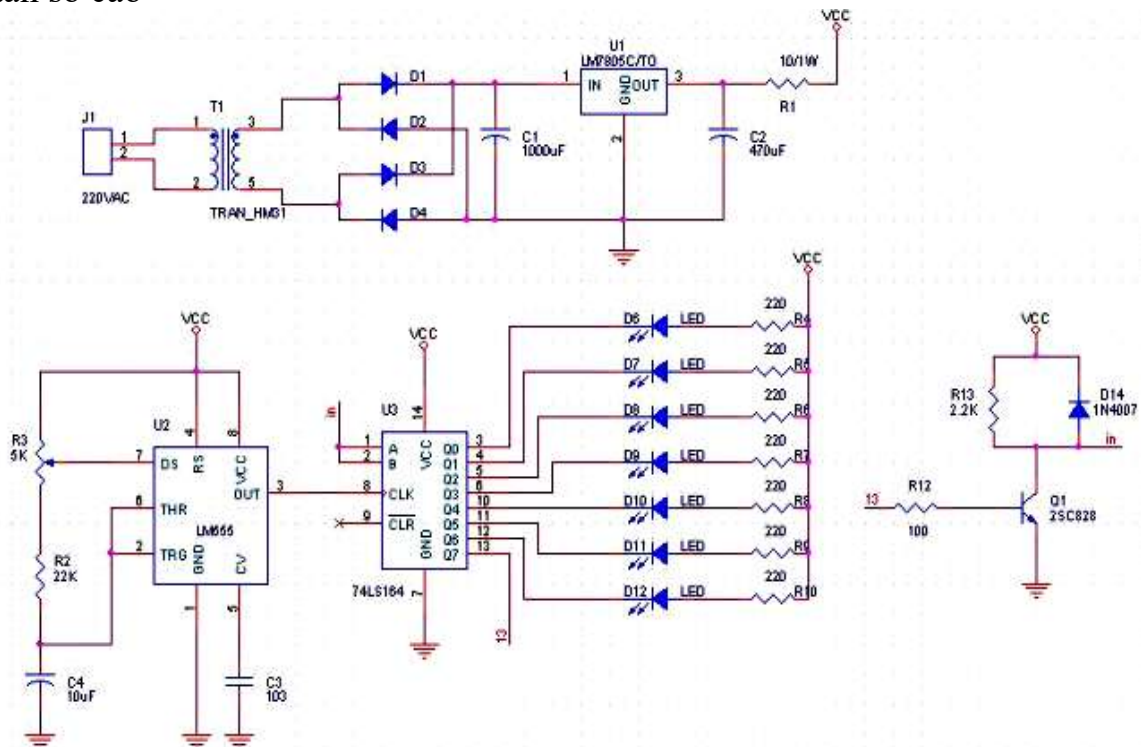
Sơ đồ mạch điện hình 3.25, các đèn Led sẽ sáng từ Q0 đến Q7



Hình 3.25

Sơ đồ thực tế hình 3.26

IC 74164 là một thanh ghi dịch 8 bit vào nối tiếp và song song, làm việc được ở tần số cao



Hình 3.26

❖ *Nguyên lý mạch điện* : Mạch điện được chia làm 4 khối chính như sau:

- Khối nguồn gồm.

Dòng điện 220V AC đưa vào biến thế T1 hạ áp thành 12V AC

D1-D4 chỉnh lưu dòng điện AC thành dòng điện DC

C1 tụ lọc DC

IC 7805 ổn định điện áp chuẩn

- Khối tạo xung vuông.

IC 555 được thiết kế tạo ra mạch xung vuông , và biến trở dùng để điều chỉnh độ rộng xung .Ngõ ra được lấy từ chân số 3 của IC 555

- Khối quét Led (hay còn gọi là ghi dịch)

Ngõ ra chân số 3 của IC 555 được đưa vào chân số 8 của IC 74LS164. Ngõ ra từ Q0-Q7 sẽ dịch chuyển (hay còn gọi là sáng dần)

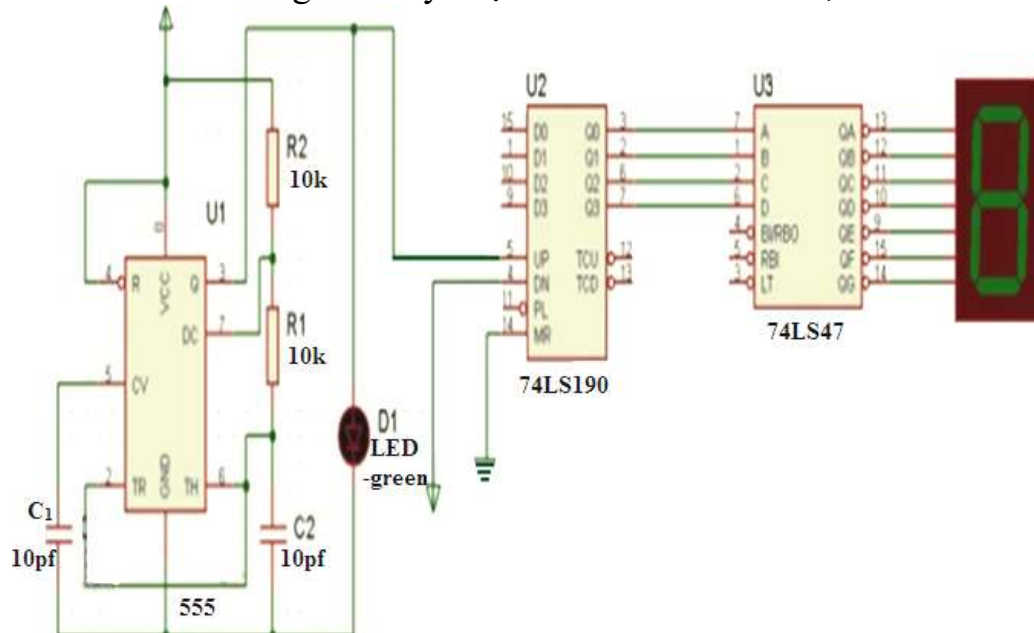
- Khối mạch đảo tín hiệu.

Dùng BJT Q1 tín hiệu được đưa vào chân B và lấy ra chân C

4. Tính toán, lắp ráp một số mạch ứng dụng cơ bản

- *Mục tiêu: Lắp ráp, sửa chữa, đo kiểm được các mạch giải mã, mã hóa và hiển thị của các LED trong các mạch điện.*

- Mạch đếm từ 0 – 9 dùng Led bảy đoạn 74LS47 – 74LS190, hình 3.27



Hình 3.27

• **Dao động tạo xung vuông với tần số tùy chọn.**

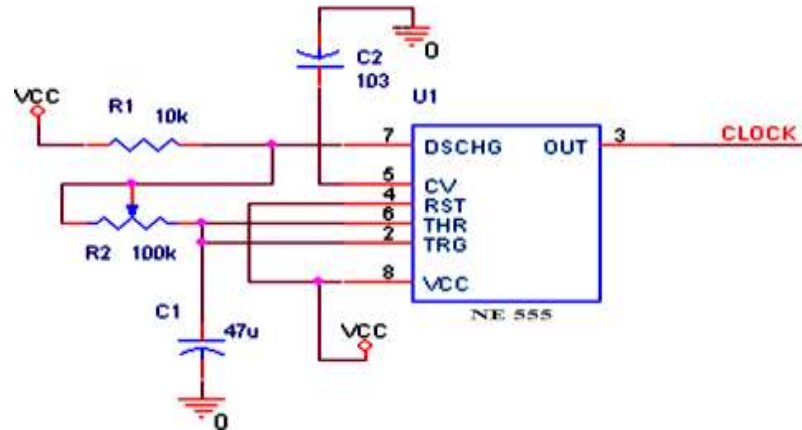
Ở đây chúng ta sử dụng NE555 hình 3.28. Nhiệm vụ của 555 là tạo ra xung vuông để cấp cho mạch đếm.

❖ *Sơ đồ nguyên lý mạch tạo xung vuông*

- Trong sơ đồ mạch trên tần số đầu ra của 555 được tính theo công thức :

$$f = 1/(\ln 2 * C1 * (R1 + 2R2))$$

- Biến trở R2 dùng để điều chỉnh tần số đầu ra. Tần số lớn thì mạch đếm nhanh còn tần số thấp thì mạch đếm chậm.



Hình 3.28

• **Mã hóa-giải mã và hiển thị**

- Do đếm từ 0 đến 25 nên ta sử dụng 1 LED 7 đoạn hiển thị số lần đếm và 2 IC –IC 74LS190 và 1 IC 74LS47 giải mã BCD ra LED 7 đoạn .

+ **74LS190**: IC này cũng khá quen thuộc nó dùng để đếm mã nhị phân chia 10 mã hóa ra BCD. Cứ mỗi 1 xung vào thì nó đếm tiến lên 1 và được mã hóa ra 4 chân. Khi đếm đến 10 tự nó sẽ reset và quay trở về ban đầu. Hai thông số quan trọng để thiết kế mạch đếm này là: Bảng trạng thái mã hóa ra BCD và điều kiện để Reset (trở về trạng thái ban đầu).

- Bảng giá trị mã hóa ra BCD, khi sản xuất ra IC này nhà sản xuất đã cung cấp cho chúng ta bảng trạng thái như hình 3.29.

Đếm	Ngô ra			
	Q ₀	Q ₁	Q ₂	Q ₃
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H

H: Mức cao, L: Mức thấp

Hình 3.29

Trong bảng trạng thái trên cần chú ý là : Đầu ra của Q_0 được nối với đầu vào của CP1.

- *Mức Reset cho 74LS190*: IC có 4 chân Reset dùng để reset hệ thống với các chân : MR1, MR2, MS1, MS2. Đặt các mức thích hợp vào các chân này thì nó sẽ tự động Reset và bảng mức Reset, hình 3.30

Reset/Set các ngõ vào				Ngõ ra			
MR1	MR2	MS1	MS2	Q0	Q1	Q2	Q3
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	Count	L	H
L	X	L	X	Count	Count	L	L
X	L	X	L	Count	Count	L	L
L	L	X	X	Count	Count	L	L
X	X	L	X	Count	Count	L	L

H: mức cao
L: mức thấp
X: không xác định

Hình 3.30

+ **74LS47** : IC này dùng để giải mã BCD sang mã LED 7 đoạn. Khi IC 74LS90 mã hóa ra mã BCD, sau đó 74LS47 sẽ mã hóa các mã BCD này chuyển sang LED 7 đoạn hiện thị các giá trị đếm. Bảng trạng thái các mức hiện thị sau khi giải mã BCD như hình 3.31.

NUMERICAL DESIGNATIONS — RESULTANT DISPLAYS

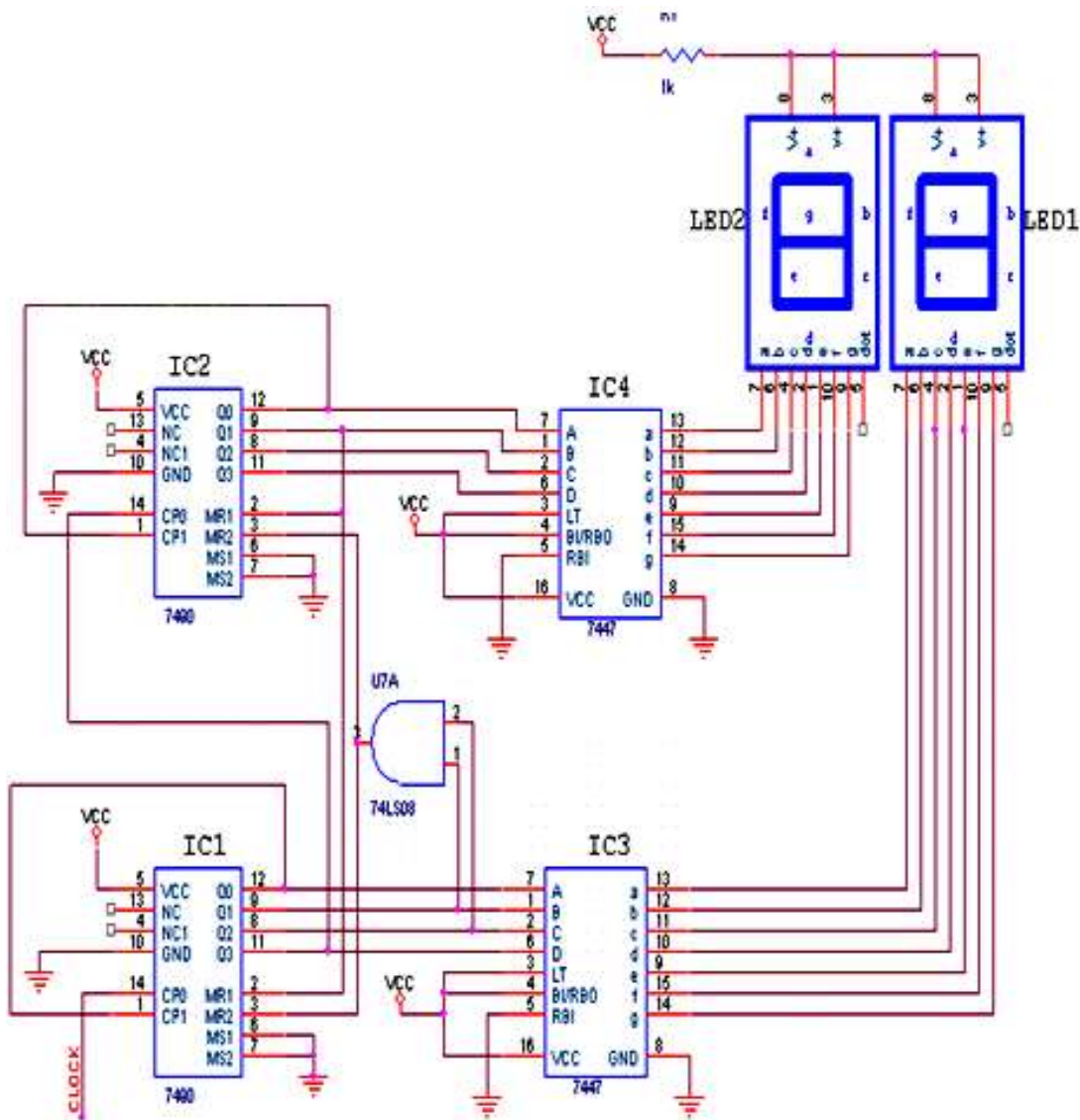
TRUTH TABLE

DECIMAL OR FUNCTION	INPUTS							OUTPUTS							NOTE
	LT	RBI	D	C	B	A	BI/RBO	a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	L	L	L	L	L	L	H	A
1	H	X	L	L	L	H	H	H	L	L	H	H	H	H	A
2	H	X	L	L	H	L	H	L	L	H	L	L	H	L	
3	H	X	L	L	H	H	H	L	L	L	L	H	H	L	
4	H	X	L	H	L	L	H	H	L	L	H	H	L	L	
5	H	X	L	H	L	H	H	L	H	L	L	H	L	L	
6	H	X	L	H	H	L	H	H	H	L	L	L	L	L	
7	H	X	L	H	H	H	H	L	L	L	H	H	H	H	
8	H	X	H	L	L	L	H	L	L	L	L	L	L	L	
9	H	X	H	L	L	H	H	L	L	L	H	H	L	L	
10	H	X	H	L	H	L	H	H	H	H	L	L	H	L	
11	H	X	H	L	H	H	H	H	H	L	L	H	H	L	
12	H	X	H	H	L	L	H	H	L	H	H	H	L	L	
13	H	X	H	H	L	H	H	L	H	H	L	H	L	L	
14	H	X	H	H	H	L	H	H	H	H	L	L	L	L	
15	H	X	H	H	H	H	H	H	H	H	H	H	H	H	
BI	X	X	X	X	X	X	L	H	H	H	H	H	H	H	B
RBI	H	L	L	L	L	L	L	H	H	H	H	H	H	H	C
LT	L	X	X	X	X	X	H	L	L	L	L	L	L	L	D

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

Hình 3.31

- Sơ đồ của mạch đếm từ 0-25.



Hình 3.32

❖ Nguyên lý :

- Khi ta cấp xung vào IC₁ nó sẽ đếm lần lượt từ 0 cho đến 9. Khi tới 9 thì lúc này nó sẽ cấp 1 xung cho IC₂ và IC₂ được nhận 1 xung và nó đếm 1. Sau đó IC₁ vẫn tiếp tục đếm đến 9 thì IC₂ lại nhận được 1 xung nữa và đếm thành 2. Do mạch chỉ đếm đến 25 nên các mức reset phải chọn cho hợp lý để khi đếm đến 25 nó tự trở về 0.

- Ở mạch trên các chân reset tương ứng của 2 IC₁ và IC₂ được nối với nhau và được nối với 1 chân đầu ra của IC₁ và IC₂ sao cho các chân 2 và 3 của IC₁ và IC₂ phải ở mức cao (Vì các chân 6 và 7 của hai IC đã cho trước điều kiện là

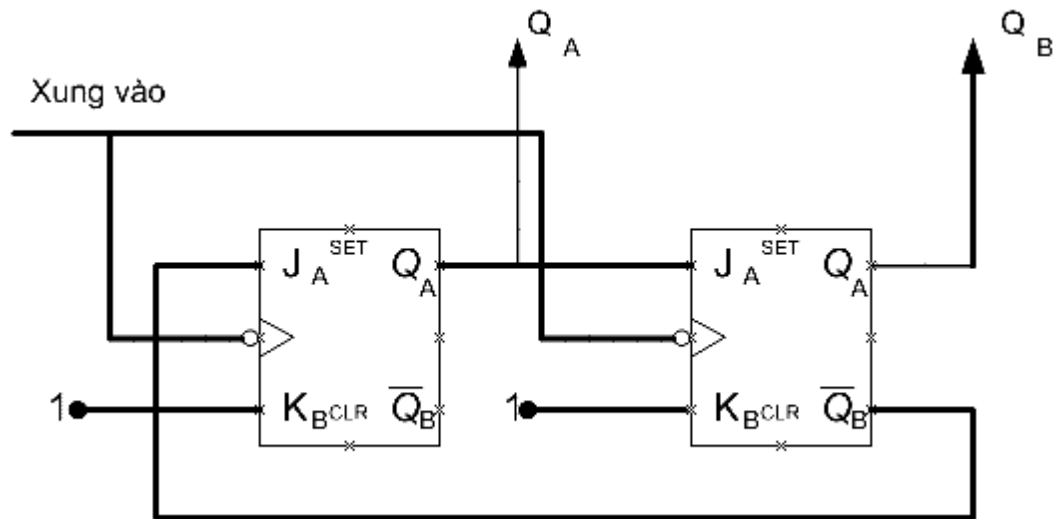
nối với GND) như hình 3.32 .Ở đây do đếm đến 25 ta không chọn được mức Reset trong bảng trạng thái phù hợp nên phải dùng cổng AND thì mới ra được 25.

Ví dụ :

- Thiết kế mạch đếm đồng bộ Mod-3 như hình 3.33a. (mạch đếm chia 3) có hoạt động logic theo như bảng trạng thái hình 3.33b.

Xung vào	Q_B	Q_A
0 (xóa)		
1		
2		
3		
4		

Hình 3.33a



Hình 3.33b. Mạch đếm đồng bộ Mod-3

Giải :

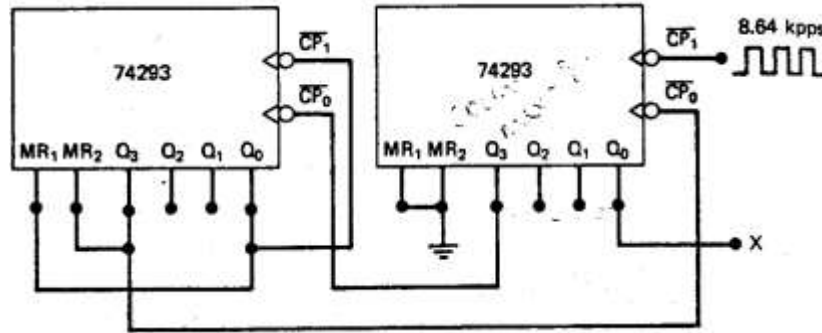
Số tầng FF là hai (hình 3.33b). Sau khi được xóa số đếm là $00 = 0$, sau đó mạch đếm lên $01 = 1$, $10 = 2$ rồi tự động reset trở về $00 = 0$ để đếm lên trở lại.

Vì mạch đếm đồng bộ nên xung vào được đưa thẳng đến ngõ đồng hồ của mỗi FF. Quan sát bảng trạng thái thấy Q_A từ 0 lên 1 ở xung 1 nhưng vẫn ở 0 ở xung 3 nên giữ K_A ở 1 (đối với FF JK nếu K ở 1 thì $J = 0$ sẽ cho $Q = 0$, $J = 1$ sẽ cho $Q = \overline{Q}$) và nối $\overline{Q_B}$ đến J_A (ở xung đếm 0 $\overline{Q_B} = 1$ tức là $J_A = K_A = 1$ nên ở xung 1 $Q_A = 1$ và $\overline{Q_B}$ tiếp tục là 1 tức là $J_A = K_A = 1$ nên ở xung 2 $Q_A = 0$. lúc bấy giờ $\overline{Q_B} = 0$, lúc bấy giờ $\overline{Q_B} = 0$, lúc bấy giờ $\overline{Q_B}$.

Đối với Q_B quan sát bảng trạng thái thấy ở xung 1 $Q_B = 0$ và $Q_A = 1$, ở xung 2 $Q_B = 1$ (tức đảo so với trước) nên thử nối Q_A đến J_B và giữ K_B ở mức cao. Sau xung 2 $Q_A = 0$ tức $J_B = 0$, $K_B = 1$ nên ở xung 3 $Q_B = 0$ như mong muốn. Kiểm tra thấy ở xung 4 $Q_A = 1$, $Q_B = 0$,...

❖ Bài tập:

Bài 1: Xác định tần số ngõ ra X



Hình 3.34.

Bài 2: Thiết kế một dãy tín hiệu tuần hoàn dùng JK-FF và mạch NAND như bảng hình 3.35 :

Xung clock	C	B	A
1	0	0	1
2	1	0	0
3	0	1	0
4	1	0	1
5	1	1	0
6	0	1	1

Hình 3.35

Vẽ dạng tín hiệu của A, B, C.

Bài 3 : Thiết kế mạch đếm đồng bộ module 12 dùng JK-FF.

Ngõ ra mạch đếm dùng để điều khiển hệ thống đèn giao thông.

- Đèn xanh sáng trong 40s
- Đèn vàng sáng trong 20s
- Đèn đỏ sáng trong 10s
- Đèn vàng và đỏ sáng trong cùng 10s. Chu kỳ lặp lại.

Chu kỳ xung đồng hồ là 10s.

Bài 4 : Thiết kế mạch đếm đồng bộ JK-FF có ngõ vào điều khiển XX :

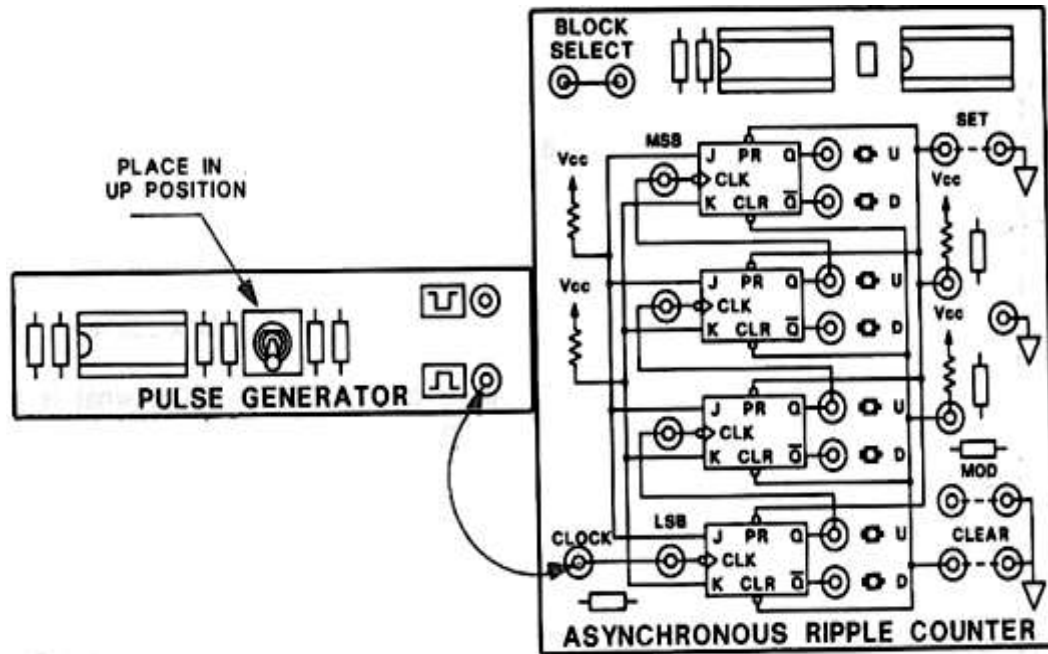
Khi $X = 0$ mạch đếm theo thứ tự 0, 2, 4, 6 rồi trở về 0.

Khi $X = 1$ mạch đếm 0, 6, 4, 2 rồi trở về 0

Các trạng thái không sử dụng trong hai lần đếm đều trở về 0 khi có xung đồng hồ.

❖ **Phần thí nghiệm : Mạch Đếm Và Thanh Ghi**

1. Xác định khối mạch ANSYNCHRONOUS RIPPLE COUNTER và nối mạch như hình 3.36. Đặt công tắc chốt trạng thái trên khối mạch PULSE GENERATOR ở vị trí (UP)



Hình 3.36

2. Sử dụng jumper để nối khối BLOCK SELECT. Có thể xác định được số đếm ban đầu của bộ nguồn được cấp lần đầu tiên không ?

3. Nêu cách reset lại bộ đếm ripple ?

4. Reset lại bộ đếm ripple. Vậy các trạng thái LED UP và DOWN là cái gì? ?

5. Reset bộ đếm. Phát 5 chu kỳ xung CLOCK bằng cách bật /tắt công tắc trên khối PULSE GENERATOR.

Chú ý : Điều này yêu cầu 5 lần chuyển động xuống - lên của công tắc.

6. Dựa trên LED UP thì đầu ra đếm cái gì trong hệ nhị phân, thập phân và hexa.

Hệ đếm nhị phân= -----

Hệ đếm thập phân=-----

Hệ đếm hexa=-----

7. Dựa trên LED DOWN thì đầu ra đếm cái gì trong hệ nhị phân, thập phân và hexa.

Hệ đếm nhị phân= -----

Hệ đếm thập phân=-----

Hệ đếm hexa=-----

8. Kết quả ở bước 6 và 7 cho biết : bộ đếm ripple tạo ra 2 giá trị đếm khác nhau ứng với một lượng xung clock ở ngõ vào không ?

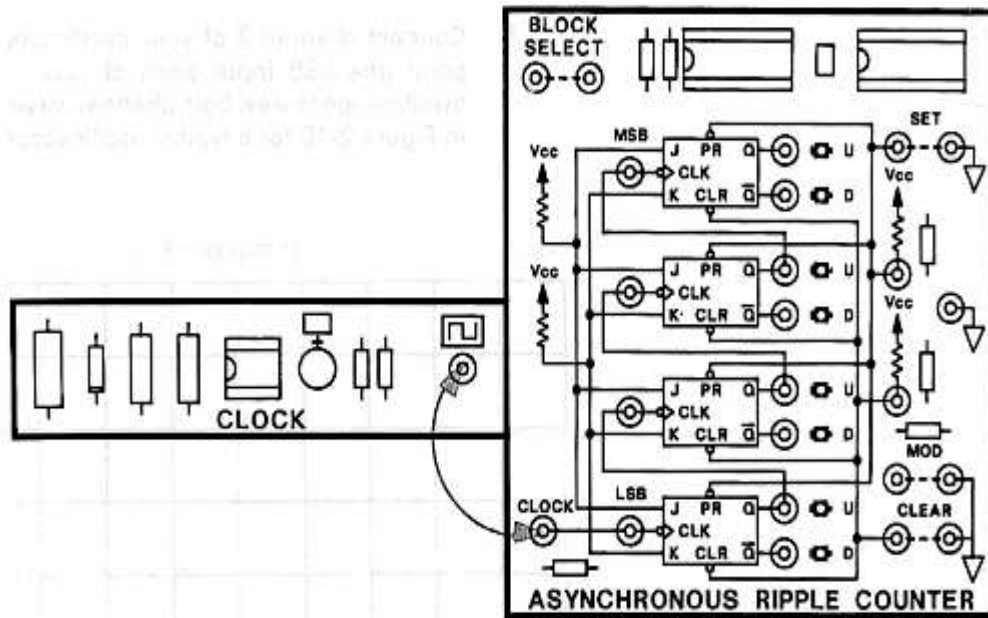
9. Vậy tất cả đầu ra của bộ đếm có thay đổi không ?

Chú ý : lặp lại các bước 5, 6, 7 nếu bạn không chắc chắn về câu trả lời của mình.

10. Nếu bộ đếm Preset thì giá trị của bộ đếm là bao nhiêu ?

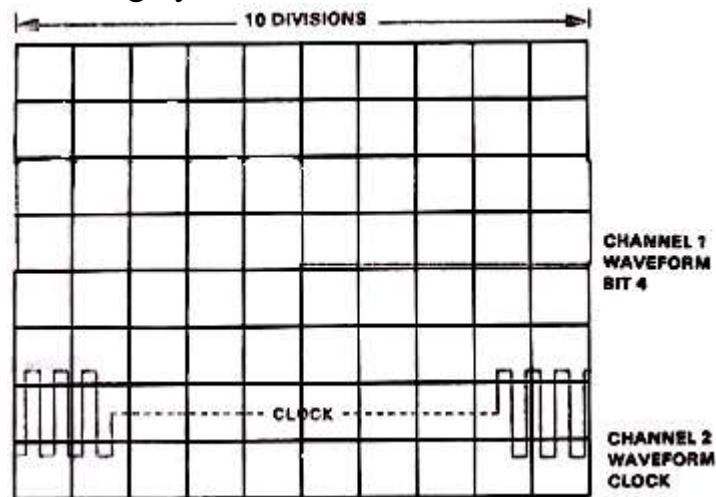
11. Phát thêm 1 xung CLOCK. Xác định giá trị bộ đếm ?

12. Nói mạch như hình 3.37



Hình 3.37

13. Nối kênh 1 của dao động ký tới MSB, nối kênh 2 của dao động ký đến ngõ vào của xung CLOCK (đầu vào LSD của bộ đếm ripple). Điều chỉnh máy hiện sóng để quan sát cả hai dạng sóng đồng thời. Chú ý đến hình 3.38 minh họa kết quả hiển thị trên dao động ký.



Hình 3.38. Giới thiệu dạng sóng trên dao động ký

14. Có bao nhiêu chu kỳ xung CLOCK được cung cấp để phát một chu kỳ hoàn chỉnh của đầu ra bộ đếm ở bit 4 (MSB).

Chu kỳ xung CLOCK = -----

15. Chuyển kênh 2 của máy hiện sóng đến BIT 3. Vậy đầu ra của mạch Flip-flop BIT 4 thay đổi trạng thái trên cạnh dương hoặc cạnh âm của dạng sóng BIT 3 ?

Sườn chuyển đổi dạng sóng = -----

16. Dựa vào dạng sóng trên dao động ký, dạng sóng giữa BIT 3 và BIT 4 có tỷ lệ như thế nào ?

Tỷ lệ = -----

17. thay đổi lần lượt kênh 2 của máy hiện sóng dao động ký giữa đầu ra Q và $\bar{Q}$ của Flip-flop Bit 3. Mối quan hệ pha giữa 2 tín hiệu này ?

18. Sử dụng kênh 2 để quan sát thứ tự đầu ra Q của Bit 1, Bit 2 và Bit 3 của mạch Flip-flop. Dựa trên sự quan sát, các đầu ra được mô tả như thế nào ?

➤ YÊU CẦU VỀ ĐÁNH GIÁ KẾT QUẢ HỌC TẬP BÀI 3

✚ Nội dung:

+ Về kiến thức: Trình bày được khái niệm và phân biệt sự khác nhau giữa các mạch đếm và các thanh ghi, hiểu được chức năng của các họ của IC

+ Về kỹ năng: sử dụng thành thạo các dụng cụ đo để đo được các chân tín hiệu điện áp ở ngõ vào – ra của IC, lắp ráp một số mạch cơ bản,....

+ Về thái độ: Đảm bảo an toàn và vệ sinh công nghiệp.

✚ Phương pháp:

+ Về kiến thức: Được đánh giá bằng hình thức kiểm tra viết, trắc nghiệm.

+ Về kỹ năng: Đánh giá kỹ năng thực hành đo được các thông số trong mạch điện theo yêu cầu của bài, lắp ráp một số mạch cơ bản

+ Thái độ: Tỉ mỉ, cẩn thận, chính xác, ngăn nắp trong công việc.

BÀI 4

MẠCH LOGIC MSI

Mã Bài: MĐ28-04

Giới thiệu:

Bước tiếp theo trong sự phát triển của các mạch tích hợp, được thực hiện vào cuối những năm 1960, giới thiệu các thiết bị có chứa hàng trăm bán dẫn trên mỗi chip, được gọi là "**medium-scale integration**" (MSI).

Trong chương này chúng ta đề cập đến các mạch logic tổ hợp, tức là các mạch mà tín hiệu ở đầu ra chỉ phụ thuộc vào tín hiệu ở đầu vào của mạch tại thời điểm đang xét. Hoạt động của mạch tổ hợp được mô tả bằng các bảng trạng thái hoặc bằng các hàm chuyển mạch logic đặc trưng cho quan hệ giữa các đại lượng vào và ra của hệ thống

Trong chương 4 đề cập đến các mạch điện cụ thể thực hiện các chức năng khác nhau của hệ thống số. Các mạch điện này được thiết kế dựa trên các cổng logic tổ hợp. Các cổng logic này được tích hợp trong một IC cỡ vừa (MSI)

Mục tiêu:

- Trình bày được cấu trúc, nguyên lý của hệ thống mã hóa và giải mã.
- Trình bày được các phép toán logic, tạo kiểm và các loại IC thông dụng.
- Nêu được các ứng dụng của các mạch giải mã, mã hóa, ghép kênh và tách kênh trong kỹ thuật
- Lắp ráp, sửa chữa, đo kiểm được các các mạch giải mã, mã hóa, ghép kênh và tách kênh đúng yêu cầu kỹ thuật
- Rèn luyện tính tư duy, sáng tạo và chủ động trong quá trình thực hành

Nội dung

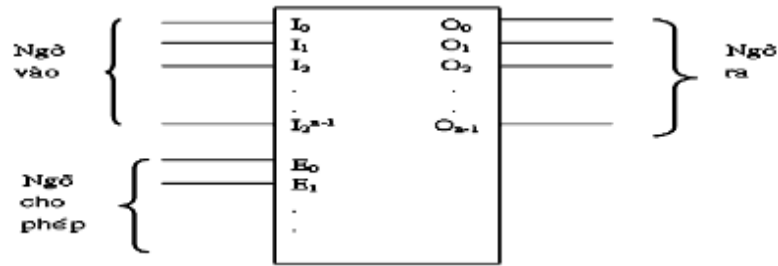
1. Mạch mã hóa (Encoder)

- Mục tiêu: Trình bày được các sơ đồ, bảng trạng thái mã hóa của các kênh. Ưu nhược điểm của nó.

Mã hóa là gán các ký hiệu cho các đối tượng trong một tập hợp để thuận tiện cho việc thực hiện một yêu cầu cụ thể nào đó. Thí dụ mã BCD gán số nhị phân 4 bit cho từng số mã của số thập phân (từ 0 đến 9) để thuận tiện cho máy đọc một số có nhiều số mã; mã Gray dùng tiện lợi trong việc tối giản các hàm logic . . .

1.1. Sơ đồ khối tổng quát

Sơ đồ khối tổng quát của một mạch mã hóa như Hình 4.1



Hình 4.1: Sơ đồ khối tổng quát của một mạch mã hóa

Bảng trạng thái:

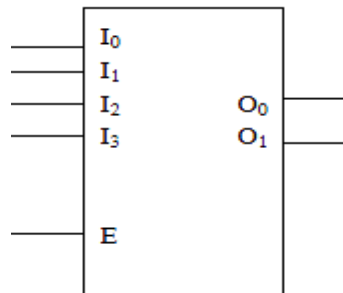
$I_0 I_1 \dots I_{2^n-1}$	$O_{n-1} \dots O_1 O_0$
1 0... 0	0.....0 0
0 1... 0	0.....0 1
.....	
0 0....1	1.....1 1

Hình 4.2

Khi một ngõ vào được chọn ngõ ra có một tổ hợp nhị phân tương ứng. Với ngõ vào đầu tiên là 1 0...0 và ngõ vào cuối cùng là 00...1. Ngõ vào được chọn có mức logic 1 ta nói ngõ vào tác động ở mức cao và ngõ vào được chọn có mức logic 0 ta nói ngõ vào tác động ở mức thấp.

1.2. Mạch mã hóa từ 4 sang 2

- Sơ đồ khối hình 4.3

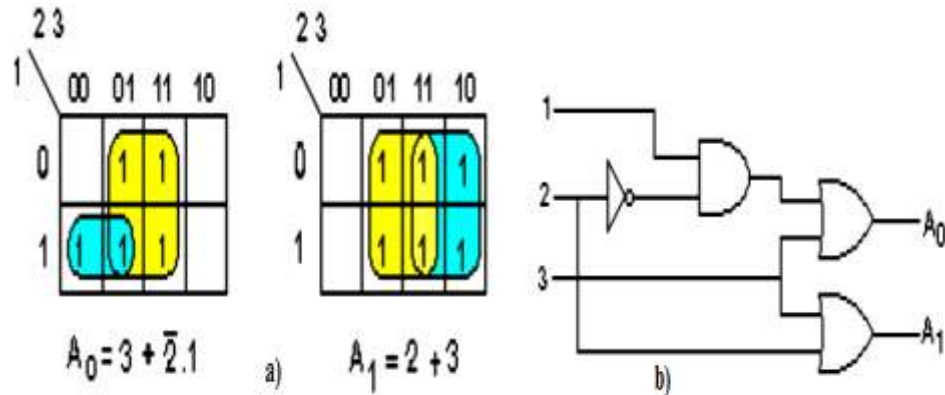


Hình 4.3: Mạch mã hóa từ 4 sang 2

Nhận thấy biến 0 trong bảng trạng thái (hình 4.3 a) không ảnh hưởng đến kết quả nên ta chỉ vẽ bảng Karnaugh cho 3 biến 1, 2 và 3. Lưu ý, là do trong bảng trạng thái có các trường hợp bất chấp của biến nên ứng với một trị riêng của hàm ta có thể có đến 2 hoặc 4 số 1 trong bảng Karnaugh. Thí dụ với trị 1 của cả 2 hàm A_1 và A_0 ở dòng cuối cùng đưa đến 4 số 1 trong các ô 001, 011, 101 và 111 của 3 biến 123.

Từ bảng Karnaugh, ta có kết quả và mạch tương ứng. Trong mạch không có

ngã vào 0, điều này được hiểu là mạch sẽ chỉ báo số 0 khi không tác động vào ngã vào nào.



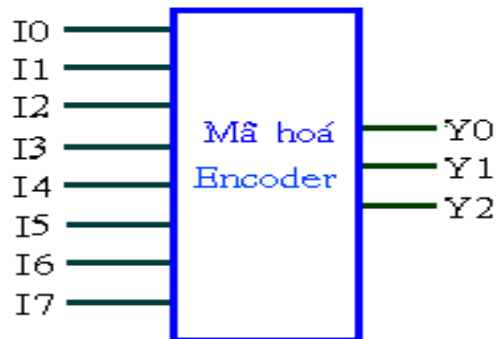
Hình 4.3: Bảng trạng thái và sơ đồ mạch

1.3. Mạch mã hóa từ 8 sang 3

Khảo sát một IC mã hóa 8 đường sang 3 đường. Trên thực tế khi chế tạo một IC, ngoài các ngã vào/ra để thực hiện chức năng chính của nó, người ta thường dự trù thêm các ngã vào và ra cho một số chức năng khác.

Mạch mã hoá 8 đường sang 3 đường còn gọi là mã hoá bát phân sang nhị phân (có 8 ngõ vào chuyển thành 3 ngõ ra dạng số nhị phân 3 bit. Nhưng bất cứ lúc nào cũng chỉ có 1 ngõ vào ở mức tích cực tương ứng với chỉ một tổ hợp mã số 3 ngõ ra; tức là mỗi 1 ngõ vào sẽ cho ra 1 mã số 3 bit khác nhau. Với 8 ngõ vào (I_0 đến I_7) thì sẽ có 8 tổ hợp ngõ ra nên chỉ cần 3 ngõ ra (Y_2, Y_1, Y_0)

Sơ đồ khối hình 4.4.



Hình 4.4 Khối mã hóa 8 sang 3

Bảng trạng thái mạch mã hóa 8 sang 3, bảng hình 4.5

Vào								Ra		
I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	Y2	Y1	Y0
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

Hình 4.5

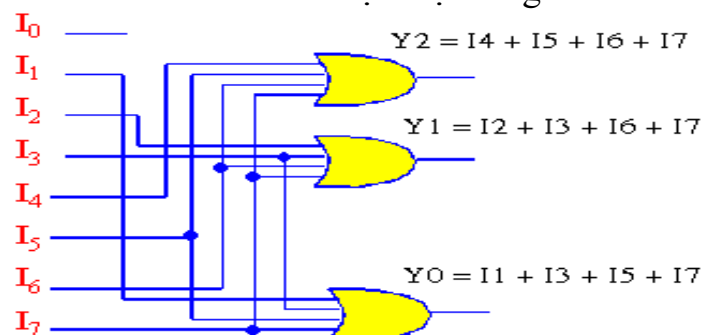
Từ bảng trên, ta có :

$$Y0 = I1 + I3 + I5 + I7$$

$$Y1 = I2 + I3 + I6 + I7$$

$$Y2 = I4 + I5 + I6 + I7$$

Dựa vào 3 biểu thức trên ta có thể vẽ được mạch logic như hình 4.6:



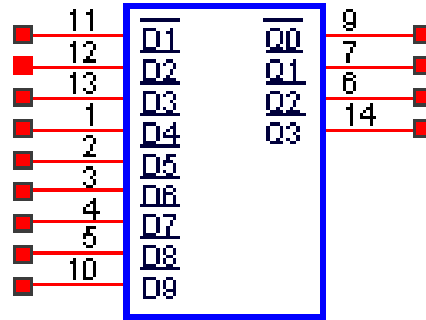
Hình 4.6: Sơ đồ mạch 8 sang 3

1.4. Mạch mã hóa ưu tiên

Với mạch mã hoá được cấu tạo bởi các cổng logic như ở hình trên ta có nhận xét rằng trong trường hợp nhiều phím được nhấn cùng 1 lúc thì sẽ không thể biết được mã số sẽ ra là bao nhiêu. Do đó để đảm bảo rằng khi 2 hay nhiều phím hơn được nhấn, mã số ra chỉ tương ứng với ngõ vào có số cao nhất được nhấn, người ta đã sử dụng mạch mã hoá ưu tiên. Rõ ràng trong cấu tạo logic sẽ phải thêm 1 số cổng logic phức tạp hơn,

❖ Xét IC 74LS147 là mạch mã hoá ưu tiên 10 đường sang 4 đường, nó đã được tích hợp sẵn tất cả các cổng logic trong nó.

Kí hiệu khối của 74LS147 như hình 4.7



Hình 4.7 : Sơ đồ khối

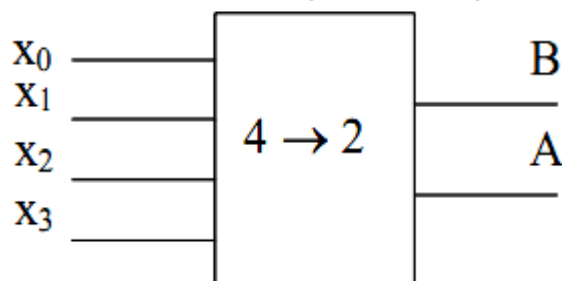
Bảng trạng thái của 74LS147 hình 4.8

Các ngõ vào thập phân tác động ở mức thấp									Các ngõ ra BCD tác động ở thấp			
1	2	3	4	5	6	7	8	9	Q ₃	Q ₂	Q ₁	Q ₀
1	1	1	1	1	1	1	1	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	0
X	0	1	1	1	1	1	1	1	1	1	0	1
X	X	0	1	1	1	1	1	1	1	1	0	0
X	X	X	0	1	1	1	1	1	1	0	1	1
X	X	X	X	0	1	1	1	1	1	0	1	0
X	X	X	X	X	0	1	1	1	1	0	0	1
X	X	X	X	X	X	0	1	1	1	0	0	0
X	X	X	X	X	X	X	0	1	0	1	1	1
X	X	X	X	X	X	X	X	0	0	1	1	0

Hình 4.8

Nhìn vào bảng trạng thái ta thấy thứ tự ưu tiên giảm từ ngõ vào 9 xuống ngõ vào 0. Chẳng hạn khi ngõ vào 9 đang là 0 thì bất chấp các ngõ khác (X) số BCD ra vẫn là 1001 (qua cổng đảo nữa). Chỉ khi ngõ vào 9 ở mức 1 (mức không tích cực) thì các ngõ vào khác mới có thể được chấp nhận, cụ thể là ngõ vào 8 sẽ ưu tiên trước nếu nó ở mức thấp.

- Xét mạch mã hoá ưu tiên 4 → 2 (4 ngõ vào, 2 ngõ ra), sơ đồ khối (hình 4.9).



Hình 4.9

Bảng trạng thái

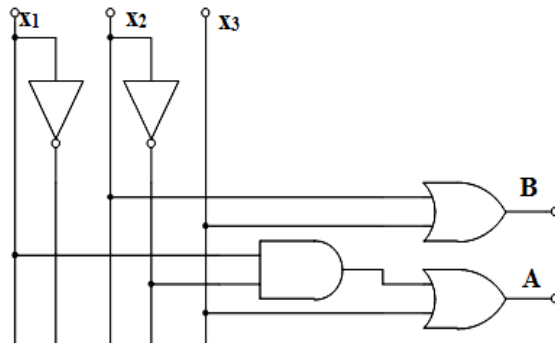
x_0	x_1	x_2	x_3	B	A
1	0	0	0	0	0
x	1	0	0	0	1
x	x	1	0	1	0
x	x	x	1	1	1

Hình 4.10 : Bảng trạng thái

Từ bảng trạng thái (hình 4.10) có thể viết được phương trình logic các ngõ ra A và B:

$$A = \overline{x_1} \overline{x_2} x_3 + x_3 = x_1 \cdot \overline{x_2} + x_3$$

$$B = \overline{x} \cdot \overline{x_3} + x_3 = x_2 + x_3$$



Hình 4.11: Sơ đồ logic mạch mã hóa ưu tiên 4 → 2

2. Mạch giải mã (Decoder)

- Mục tiêu: Trình bày được các sơ đồ, bảng trạng thái của mạch giải mã các kênh. Ưu nhược điểm của nó.

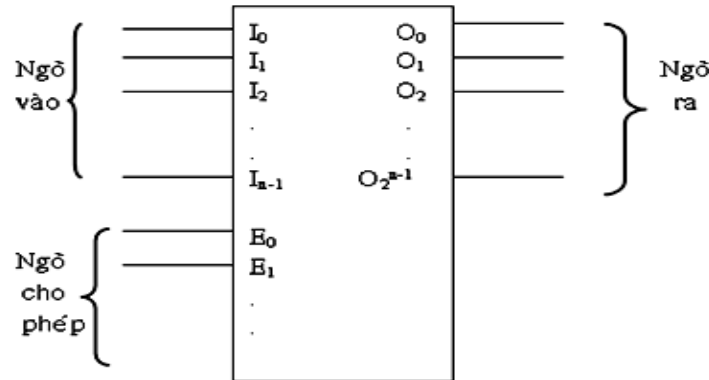
Mạch giải mã là mạch có chức năng ngược lại với mạch mã hoá tức là nếu có 1 mã số áp vào ngõ vào thì tương ứng sẽ có 1 ngõ ra được tác động, mã ngõ vào thường ít hơn mã ngõ ra. Mạch giải mã được ứng dụng chính trong ghép kênh dữ liệu, hiển thị led 7 đoạn, giải mã địa chỉ bộ nhớ.

Mạch giải mã có nhiệm vụ chuyển đổi từ một mã nhị phân ngõ vào khi chúng tác động đồng thời đến các ngõ vào thành một tín hiệu logic duy nhất ở một ngõ ra nào đó tương ứng với một mã nhị phân đã tác động. Như vậy với n ngõ vào có thể nhận giá trị 0 hoặc 1 sẽ có 2^n tổ hợp ngõ ra.

- Ngõ ra tác động mức thấp mang giá trị 0

- Ngõ ra tác động mức cao mang giá trị 1

Sơ đồ khối tổng quát của bộ giải mã, hình 4.12 :

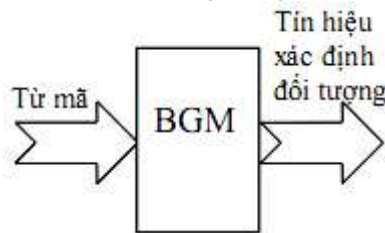


Hình 4.12: Sơ đồ khối tổng quát của bộ giải mã

2.1.Đặc điểm chung

Mạch giải mã có chức năng chính hình 4.13:

- Bộ giải mã thực hiện chức năng ngược với bộ mã hóa.
- Cung cấp thông tin ở đầu ra khi đầu vào xuất hiện tổ hợp các biến nhị phân ứng với 1 hay nhiều từ mã đã được chọn.
- Từ từ mã xác định được tín hiệu tương ứng với đối tượng đã mã hóa.



Hình 4.13

Có 2 trường hợp giải mã:

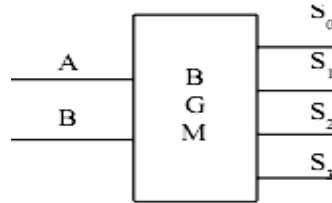
- Giải mã cho 1 từ mã

Nguyên lý: ứng với một tổ hợp cần giải mã ở đầu vào thì đầu ra bằng các tổ hợp đầu vào còn lại, đầu ra bằng 0.

- Giải mã cho toàn bộ mã

Nguyên lý: ứng với một tổ hợp nào đó ở đầu vào thì 1 trong các đầu ra bằng 1, các đầu ra còn lại bằng 0.

Ví dụ: Với bộ giải mã cho toàn bộ từ mã có 2 đầu ra như hình 4.14. Thì với $AB=00$, đầu ra $S_1, S_2, S_3 = 0$. Tương tự với các giá trị AB còn lại.

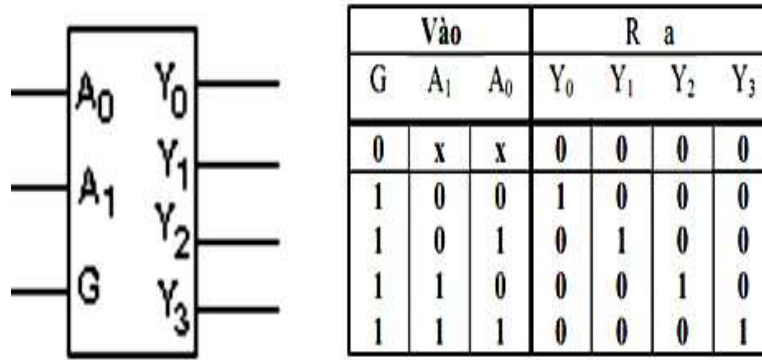


Hình 4.14

2.2. Mạch giải mã 2 sang 4, hình 4.16

Thiết kế mạch Giải mã 2 đường sang 4 đường (2 ngõ vào, 4 ngõ ra) có ngõ vào cho phép. Để đơn giản, ta xét mạch giải mã 2 đường sang 4 đường có các ngõ vào và ra đều tác động ở mức cao.

Sơ đồ khối, bảng trạng thái, các hàm ngõ ra và sơ đồ mạch hình 4.15



Hình 4.15: Sơ đồ khối và bảng trạng thái

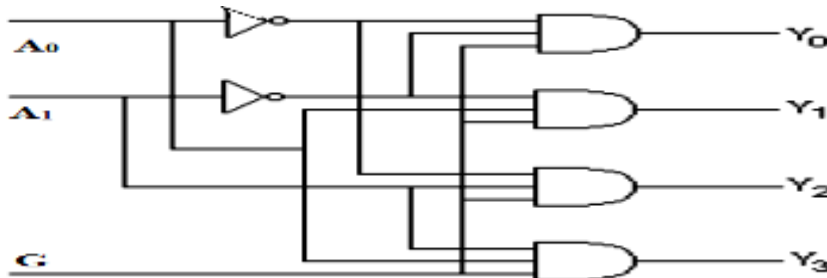
Các hàm ngõ ra của mạch giải mã 2 sang 4 hình 4.16

$$Y_0 = G \overline{A_1} \overline{A_0}$$

$$Y_1 = G \overline{A_1} A_0$$

$$Y_2 = G A_1 \overline{A_0}$$

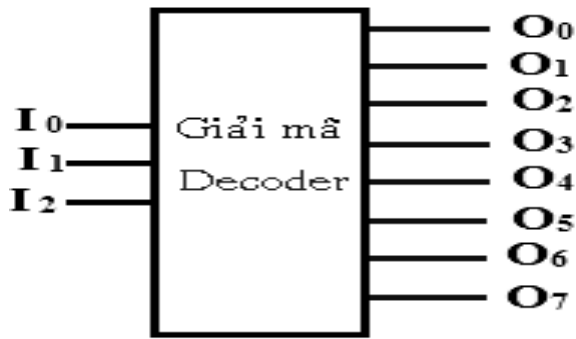
$$Y_3 = G A_1 A_0$$



Hình 4.16: Sơ đồ mạch giải mã 2 sang 4

2.3. Mạch giải mã 3 sang 8, hình 4.19

Sơ đồ khối hình 4.17:



Hình 4.17: Sơ đồ khối

Bảng trạng thái hình 4.18

E	I_2	I_1	I_0	O_0	O_1	O_2	O_3	O_4	O_5	O_6	O_7
0	x	x	x	x	x	x	x	x	x	x	x
1	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	1	0	0	0	0	0	0
1	0	1	0	0	0	1	0	0	0	0	0
1	0	1	1	0	0	0	1	0	0	0	0
1	1	0	0	0	0	0	0	1	0	0	0
1	1	0	1	0	0	0	0	0	1	0	0
1	1	1	0	0	0	0	0	0	0	1	0
1	1	1	1	0	0	0	0	0	0	0	1

Hình 4.18

Hàm số biểu diễn mối quan hệ ngõ vào – ngõ ra:

$$O_0 = E \bar{I}_0 \bar{I}_1 \bar{I}_2$$

$$O_1 = E \bar{I}_0 \bar{I}_1 I_2$$

$$O_2 = E \bar{I}_0 I_1 \bar{I}_2$$

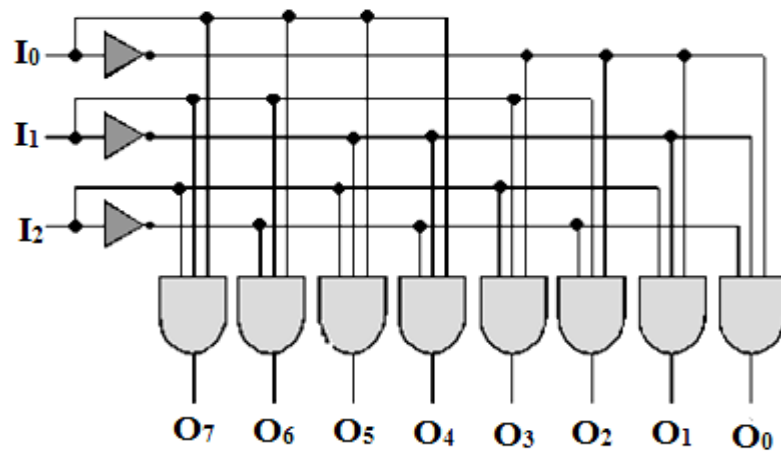
$$O_3 = E \bar{I}_0 I_1 I_2$$

$$O_4 = E I_0 \bar{I}_1 \bar{I}_2$$

$$O_5 = E I_0 \bar{I}_1 I_2$$

$$O_6 = E I_0 I_1 \bar{I}_2$$

$$O_7 = E I_0 I_1 I_2$$



Hình 4.19: Sơ đồ mạch giải mã 3 sang 8

2.4. Mạch giải mã BCD sang thập phân hình 4.21

Mạch gồm 10 ngõ vào tượng trưng cho 10 số thập phân và 4 ngõ ra là 4 bit của số BCD. Khi một ngõ vào (tượng trưng cho một số thập phân) được tác động bằng cách đưa lên mức cao các ngõ ra sẽ cho số BCD tương ứng.

Bảng trạng thái của mạch hình 4.20:

Trạng thái các ngõ vào										Mã số ra			
9	8	7	6	5	4	3	2	1	0	A ₃	A ₂	A ₁	A ₀
0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	0	0	0	1	0	0	0	0	1
0	0	0	0	0	0	0	1	0	0	0	0	1	0
0	0	0	0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	0	1	0	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	0	0	1	0	1
0	0	0	1	0	0	0	0	0	0	0	1	1	0
0	0	1	0	0	0	0	0	0	0	0	1	1	1
0	1	0	0	0	0	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	0	1	0	0	1

Hình 4.20

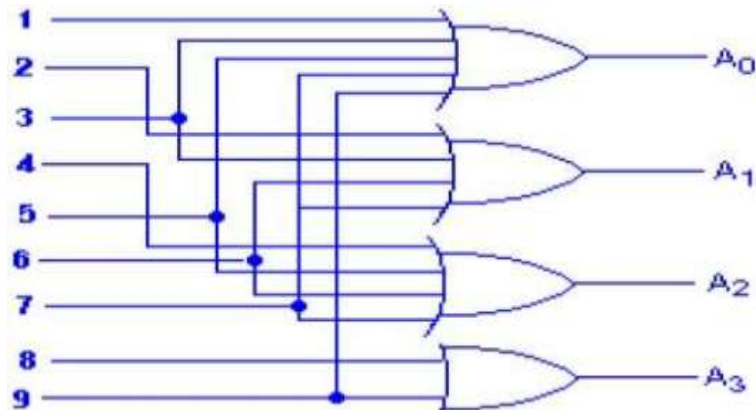
Không cần bảng Karnaugh ta có thể viết ngay các hàm xác định các ngõ ra:

$$A_0 = 1 + 3 + 5 + 7 + 9$$

$$A_1 = 2 + 3 + 6 + 7$$

$$A_2 = 4 + 5 + 6 + 7$$

$$A_3 = 8 + 9$$



Hình 4.21: Sơ đồ mạch giải mã BCD sang thập phân

Để tạo mã BCD ưu tiên cho số lớn, ta viết lại bảng trạng thái (hình

4.22) và dùng phương pháp đại số để đơn giản các hàm xác định các ngõ ra A_3, A_2, A_1, A_0

Trạng thái các ngõ vào										Mã số ra			
9	8	7	6	5	4	3	2	1	0	A_3	A_2	A_1	A_0
0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	0	0	0	1	x	0	0	0	1
0	0	0	0	0	0	0	1	x	x	0	0	1	0
0	0	0	0	0	0	1	x	x	x	0	0	1	1
0	0	0	0	0	1	x	x	x	x	0	1	0	0
0	0	0	0	1	x	x	x	x	x	0	1	0	1
0	0	0	1	x	x	x	x	x	x	0	1	1	0
0	0	1	x	x	x	x	x	x	x	0	1	1	1
0	1	x	x	x	x	x	x	x	x	1	0	0	0
1	x	x	x	x	x	x	x	x	x	1	0	0	1

Hình 4.22

$$A_3 = \bar{9}.8 + 9 = 9 + 8$$

$$A_2 = 7.\bar{8}.\bar{9} + 6.\bar{7}.\bar{8}.\bar{9} + 5.\bar{6}.\bar{7}.\bar{8}.\bar{9} + 4.\bar{5}.\bar{6}.\bar{7}.\bar{8}.\bar{9}$$

$$= (7 + 6.\bar{7} + 5.\bar{6}.\bar{7} + 4.\bar{5}.\bar{6}.\bar{7})\bar{8}.\bar{9}$$

$$A_2 = (7 + 6 + 5 + 4)\bar{8}.\bar{9} = (7 + 6 + 5 + 4)(\bar{8} + \bar{9})$$

$$A_1 = 7.\bar{8}.\bar{9} + 6.\bar{7}.\bar{8}.\bar{9} + 3.\bar{4}.\bar{5}.\bar{6}.\bar{7}.\bar{8}.\bar{9} + 2.\bar{3}.\bar{4}.\bar{5}.\bar{6}.\bar{7}.\bar{8}.\bar{9}$$

$$= (7 + 6.\bar{7} + 3.\bar{4}.\bar{5}.\bar{6}.\bar{7} + 2.\bar{3}.\bar{4}.\bar{5}.\bar{6}.\bar{7})\bar{8}.\bar{9}$$

$$A_1 = (7 + 6 + 3.\bar{4}.\bar{5} + 2.\bar{3}.\bar{4}.\bar{5})\bar{8}.\bar{9} = (7 + 6 + 3.\bar{4}.\bar{5} + 2.\bar{4}.\bar{5})(\bar{8} + \bar{9})$$

$$A_0 = 9 + 7.\bar{8}.\bar{9} + 5.\bar{6}.\bar{7}.\bar{8}.\bar{9} + 3.\bar{4}.\bar{5}.\bar{6}.\bar{7}.\bar{8}.\bar{9} + 1.\bar{2}.\bar{3}.\bar{4}.\bar{5}.\bar{6}.\bar{7}.\bar{8}.\bar{9}$$

$$= 9 + (7 + 5.\bar{6}.\bar{7} + 3.\bar{4}.\bar{5}.\bar{6}.\bar{7} + 1.\bar{2}.\bar{3}.\bar{4}.\bar{5}.\bar{6}.\bar{7})\bar{8}.\bar{9}$$

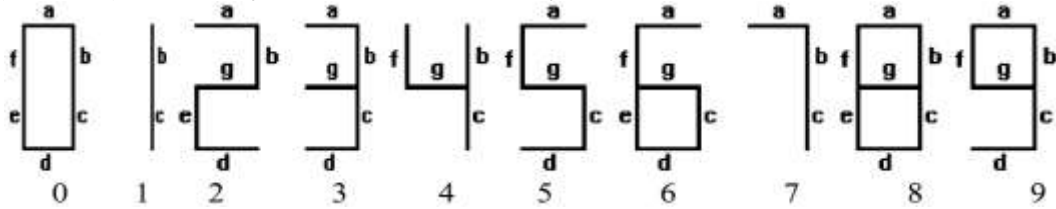
$$A_0 = 9 + (7 + 5.\bar{6} + 3.\bar{4}.\bar{6} + 1.\bar{2}.\bar{4}.\bar{6})\bar{8}.\bar{9}$$

$$= 9 + (7 + 5.\bar{6} + 3.\bar{4}.\bar{6} + 1.\bar{2}.\bar{4}.\bar{6})(\bar{8} + \bar{9})$$

2.5. Mạch giải mã BCD sang Led 7 đoạn

Đây là loại đèn dùng hiển thị các số từ 0 đến 9, đèn gồm 7 đoạn a, b, c, d, e, f, g, bên dưới mỗi đoạn là một led (đèn nhỏ) hoặc một nhóm led mắc song song (đèn lớn). Đèn LED 7 đoạn có cấu tạo gồm 7 đoạn, mỗi đoạn là 1 đèn LED.

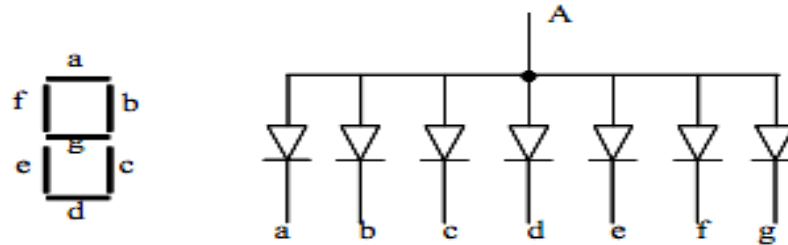
Khi một tổ hợp các đoạn cháy sáng sẽ tạo được một con số thập phân từ 0 - 9. (H 4.23) cho thấy các đoạn nào cháy để thể hiện các số từ 0 đến 9.



Hình 4.23

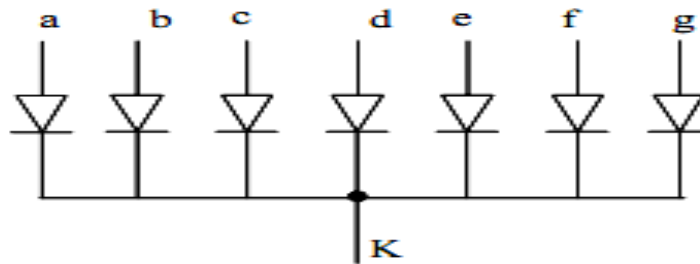
Tùy theo cách nối các Kathode (Catôt) hoặc các Anode (Anôt) của các LED trong đèn, mà người ta phân thành 2 loại:

Loại Anode chung (H 4.24a), dùng cho mạch giải mã có ngõ ra tác động thấp.



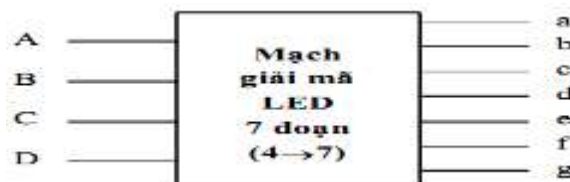
Hình 4.24a: LED 7 đoạn loại Anode chung

Loại catod chung (H 4.24b), dùng cho mạch giải mã có ngõ ra tác động cao.



Hình 4.24b: LED 7 đoạn loại Kathode chung

Ứng với mỗi loại LED khác nhau ta có một mạch giải mã riêng. Sơ đồ khối của mạch giải mã LED 7 đoạn như hình 4.25



Hình 4.25

❖ **Xét mạch giải mã LED 7 đoạn loại Anode chung:**

- Đối với LED 7 đoạn loại anode chung hình 4.24a, vì các Anode của các đoạn LED được nối chung với nhau và đưa lên mức logic 1 (5V), ***nếu muốn đoạn LED nào tắt ta nối Kathode tương ứng lên mức logic 1 (5V) và ngược lại muốn đoạn LED nào sáng ta nối Kathode tương xứng xuống mass (mức logic 0).***

Ví dụ: Để hiển thị số 0 ta nối Cathode của đoạn LED “ g” lên mức 1 để đoạn “ g” tắt và nối Cathode của các đoạn led a, b, c, d, f xuống mass nên các đoạn này sẽ sáng và cho ta thấy số 0, ta có bảng trạng thái như hình 4.25

Bảng trạng thái:

NGÕ VÀO				NGÕ RA							Hiển thị thập phân
D	C	B	A	a	b	c	d	e	f	g	
0	0	0	0	1	1	1	1	1	1	0	0
0	0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	2
0	0	1	1	1	1	1	1	0	0	1	3
0	1	0	0	0	1	1	0	0	1	1	4
0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	1	1	1	1	0	0	0	0	7
1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	1	1	1	0	0	1	1	9

Hình 4.25

- Dùng bìa Karnaugh để rút gọn, phương trình được viết ở dạng chính tắc 1 (tổng của các tích số) hoặc dạng chính tắc 2 (tích của các tổng số) như sau:

- Phương trình logic của ngõ ra (a) hình 4.26:
 - + Dạng chính tắc 2: $a = \overline{B}.D.(\overline{C} + \overline{A})(C + A) = \overline{B}DA + \overline{B}.D.C\overline{A}$
 - + Dạng chính tắc 1: $a = C\overline{B}A + \overline{B}C\overline{D}A$

(a)

DC \ BA	00	01	11	10
00	0	1	x	0
01	1	0	x	0
11	0	0	x	x
10	0	0	x	x

Hình 4.26

- Phương trình logic của ngõ ra (b) hình 4.27:
 - + Dạng chính tắc 2: $b = C(A + B)(\bar{A} + \bar{B}) = C(\bar{A}\bar{B} + \bar{A}B)$
 - + Dạng chính tắc 1: $b = C\bar{B}A + CB\bar{A} = C(A \oplus B)$

b)

DC \ BA	00	01	11	10
00	0	0	x	0
01	0	1	x	0
11	0	0	x	x
10	0	1	x	x

Hình 4.27

- Phương trình logic của ngõ ra (c) hình 4.28:
 - + Dạng chính tắc 2: $c = \bar{B}\bar{A}\bar{C}$
 - + Dạng chính tắc 1: $b = \bar{B}\bar{A}\bar{C}\bar{D}$

c)

DC \ BA	00	01	11	10
00	0	0	x	0
01	0	0	x	0
11	0	0	x	x
10	1	0	x	x

Hình 4.28

- Phương trình logic của ngõ ra (d) hình 4.29:
 - + Dạng chính tắc 2: $d = \bar{D}(\bar{A} + B + \bar{C})(\bar{B} + C + D)(A + \bar{B})(A + C)$
 $= \bar{A}\bar{B}\bar{C}\bar{D} + A\bar{B}\bar{C}\bar{D} + A\bar{B}C\bar{D}$
 - + Dạng chính tắc 1: $d = C\bar{B}\bar{A} + \bar{D}\bar{C}\bar{B}\bar{A} + CBA$

d)

DC \ AB	00	01	11	10
00	0	1	x	0
01	1	0	x	0
11	0	1	x	x
10	0	0	x	x

Hình 4.29

- Phương trình logic của ngõ ra (e) hình 4.30:

+ Dạng chính tắc 2: $e = (\bar{B} + A)(A + C)$

+ Dạng chính tắc 1: $e = C\bar{B} + A$

e)

DC \ BA	00	01	11	10
00	0	1	x	0
01	1	1	x	1
11	1	1	x	x
10	0	0	x	x

Hình 4.30

- Phương trình logic của ngõ ra (f) hình 4.31:

+ Dạng chính tắc 2: $f = (A + B)(B + \bar{C})(A + \bar{B} + \bar{C})\bar{D} = AB\bar{D} + A\bar{C}\bar{D} + B\bar{C}\bar{D}$

+ Dạng chính tắc 1: $f = BA + A\bar{C}\bar{D} + B\bar{C}\bar{D}$

f)

DC \ BA	00	01	11	10
00	0	0	x	0
01	1	0	x	0
11	1	1	x	x
10	1	0	x	x

Hình 4.31

- Phương trình logic của ngõ ra (g) hình 4.32

+ Dạng chính tắc 2: $g = \bar{D}(A + \bar{B})(B + \bar{C})(\bar{B} + C) = \bar{B}\bar{C}\bar{D} + \bar{D}CBA$

+ Dạng chính tắc 1: $g = ABC\bar{D} + \bar{B}\bar{C}\bar{D}$

		g)			
		DC			
		00	01	11	10
AB	00	1	0	x	0
	01	1	0	x	0
	11	0	1	x	x
	10	0	0	x	x

Hình 4.32

❖ Mạch giải mã LED 7 đoạn loại Kathode chung

Chọn mức tích cực ở ngõ ra là mức logic 1. Vì Kathode của các đoạn led được nối chung và được nối xuống mức logic 0 (0V – mass) nên muốn đoạn led nào tắt ta đưa Anode tương ứng xuống mức logic 0 (0V – mas)

Ví dụ: Để hiển thị số 0 ta nối Anode của đoạn LED “g” xuống mức logic 0 để đoạn “g” tắt và nối Anode của các đoạn LED a, b, c, d, f được nối lên nguồn nên các đoạn này sẽ sáng và cho ta thấy số 0, ta có bảng trạng thái như hình 4.33

D	B	C	A	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1

Hình 4.33

Tương tự như trường hợp trên, ta cũng dùng bảng Karnaugh để tối thiểu hóa hàm mạch và đi tìm phương trình logic tối giản các ngõ ra của các đoạn led (trong bảng đồ Karnaugh sau ta thực hiện tối thiểu hóa theo dạng chính tắc 1)

- Phương trình logic của ngõ ra (a) hình 4.34:

+ Dạng chính tắc 1: $a = D + B + \overline{AC} + AC$

+ Dạng chính tắc 2: $a = (\overline{A} + B + C + D)(A + B + \overline{C}) = AD + B + AC + \overline{AC}$

a)

DC \ AB	00	01	11	10
00	1	0	x	1
01	0	1	x	1
11	1	1	x	x
10	1	1	x	x

Hình 4.34

- Phương trình logic của ngõ ra (b) hình 4.35:

+ Dạng chính tắc 1: $b = \bar{C} + BA + \bar{B}\bar{A} = \bar{C} + \overline{A \oplus B}$

+ Dạng chính tắc 2: $b = (\bar{C} + B + \bar{A})(A + \bar{B} + \bar{C}) = \bar{C} + AB + \bar{A}\bar{B} = \bar{C} + \overline{A \oplus B}$

b)

DC \ AB	00	01	11	10
00	1	1	x	1
01	1	0	x	1
11	1	1	x	x
10	1	0	x	x

Hình 4.35

- Phương trình logic của ngõ ra (c) hình 4.36:

+ Dạng chính tắc 1: $c = \bar{B} + A + C$

+ Dạng chính tắc 2: $c = \bar{C} + \bar{B} + A$

c)

DC \ BA	00	01	11	10
00	1	1	x	1
01	1	1	x	1
11	1	1	x	x
10	0	1	x	x

Hình 4.36

- Phương trình logic của ngõ ra (d) hình 4.37:

+ Dạng chính tắc 1: $d = D + B\bar{A} + \bar{A}\bar{C} + B\bar{C} + \bar{A}\bar{B}C$

+ Dạng chính tắc 2:

$$d = (A + B + \bar{C})(\bar{A} + \bar{B} + \bar{C})(\bar{A} + B + C + D)$$

$$= (\bar{C} + \bar{A}\bar{B} + \bar{A}\bar{B})(\bar{A} + B + C + D) = (C + A \oplus B)(\bar{A} + B + C + D)$$

d)

	DC	00	01	11	10
BA	00	1	0	x	1
	01	0	1	x	1
	11	1	0	x	x
	10	1	1	x	x

Hình 4.37

- Phương trình logic của ngõ ra (e) hình 4.38:

+ Dạng chính tắc 1: $e = \overline{A}B + \overline{A}\overline{C}$

+ Dạng chính tắc 2: $e = \overline{A}(\overline{C} + B) = \overline{A}\overline{C} + \overline{A}B$

e)

	DC	00	01	11	10
BA	00	1	0	x	1
	01	0	0	x	0
	11	0	0	x	x
	10	1	1	x	x

Hình 4.38

- Phương trình logic của ngõ ra (f) hình 4.39:

+ Dạng chính tắc 1: $f = D + C\overline{B} + \overline{B}\overline{A} + \overline{A}\overline{C}$

+ Dạng chính tắc 2: $f = (\overline{B} + \overline{A})(D + C + \overline{A})(C + \overline{B}) = D + \overline{B}C + \overline{A}\overline{C} + \overline{A}\overline{B}$

f)

	DC	00	01	11	10
BA	00	1	1	x	1
	01	0	1	x	1
	11	0	0	x	x
	10	0	1	x	x

Hình 4.39

- Phương trình logic của ngõ ra (g) hình 4.40:

+ Dạng chính tắc 1: $g = D + C\overline{B} + \overline{B}\overline{A} + \overline{C}\overline{B}$

+ Dạng chính tắc 2: $g = (\overline{C} + \overline{B} + \overline{A})(B + C + D)$

g)

DC \ AB	00	01	11	10
00	0	1	x	1
01	0	1	x	1
11	1	0	x	x
10	1	1	x	x

Hình 4.40

2.6. Mạch giải mã BCD sang chỉ thị tinh thể lỏng (Liquid Crystal Displays - LCD)

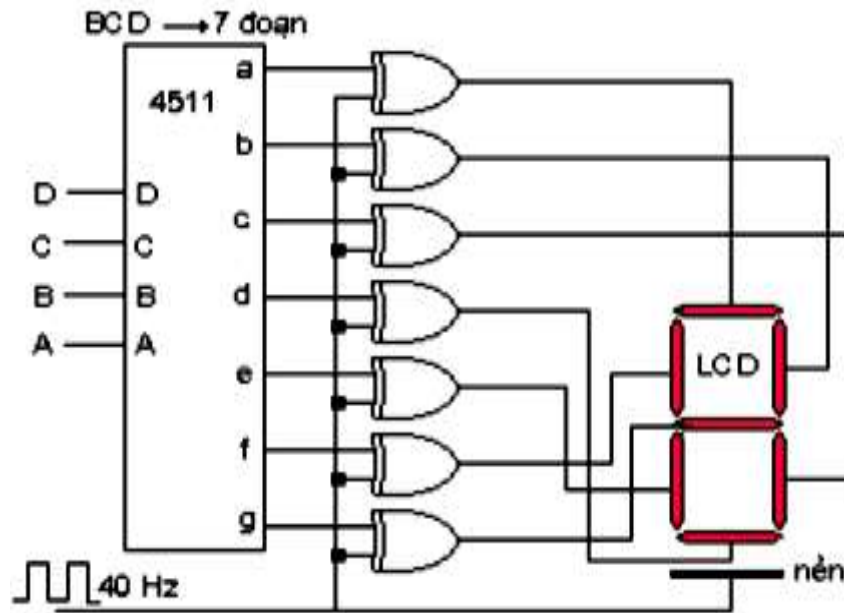
LCD gồm 7 đoạn như led thường và có chung một cực nền (backplane). Khi có tín hiệu xoay chiều biên độ khoảng 3 - 15 VRMS và tần số khoảng 25 - 60 Hz áp giữa một đoạn và cực nền, thì đoạn đó được tác động và sáng lên.

Trên thực tế người ta tạo hai tín hiệu nghịch pha giữa nền và một đoạn để tác động cho đoạn đó cháy sáng. Để hiểu được cách vận chuyển ta có thể dùng IC 4511 kết hợp với các cổng EX-OR để thúc LCD (H 4.41). Các ngõ ra của IC 4511 (Giải mã BCD sang 7 đoạn, tác động cao) nối vào các ngõ vào của các cổng EX-OR, ngõ vào còn lại nối với tín hiệu hình vuông tần số khoảng 40 Hz (tần số thấp có thể gây ra nhấp nháy), tín hiệu này đồng thời được đưa vào nền. Khi một ngõ ra mạch giải mã lên cao, ngõ ra cổng EX-OR cho một tín hiệu đảo pha với tín hiệu ở nền, đoạn tương ứng xem như nhận được tín hiệu có biên độ gấp đôi và sẽ sáng lên. Với các ngõ ra mạch giải mã ở mức thấp, ngõ ra cổng EX-OR cho một tín hiệu cùng pha với tín hiệu ở nền nên đoạn tương ứng không sáng.

• Người ta thường dùng IC CMOS với LCD vì hai lý do:

- CMOS tiêu thụ năng lượng rất thấp phù hợp với việc dùng pin cho các thiết bị dùng LCD.

- Mức thấp của CMOS đạt trị 0 và tín hiệu thúc LCD sẽ không chứa thành phần một chiều, tuổi thọ LCD được kéo dài. (Mức thấp của TTL khoảng 0,4 V, thành phần DC này làm giảm tuổi thọ của LCD).



Hình 4.41: Sơ đồ mạch giải mã BCD sang chỉ thị tinh thể lỏng

3. Mạch ghép kênh

- *Mục tiêu: Trình bày được các sơ đồ, bảng trạng thái mạch ghép kênh. Ưu nhược điểm của nó.*

3.1. Tổng quát

Mạch ghép kênh, đa hợp (Multiplexer-MUX) là 1 dạng mạch tổ hợp cho phép chọn 1 trong nhiều đường ngõ vào song song (các kênh vào) để đưa tới 1 ngõ ra (gọi là kênh truyền nối tiếp). Việc chọn đường nào trong các đường ngõ vào do điều khiển bởi mã số.

Mã số này là dạng số nhị phân, tùy tổ hợp số nhị phân này mà ở bất kì thời điểm nào chỉ có 1 ngõ vào được chọn và cho phép đưa tới ngõ ra. Các mạch ghép kênh thường gặp là 2 sang 1, 4 sang 1, 8 sang 1 ... Nói chung là từ 2^n sang 1.

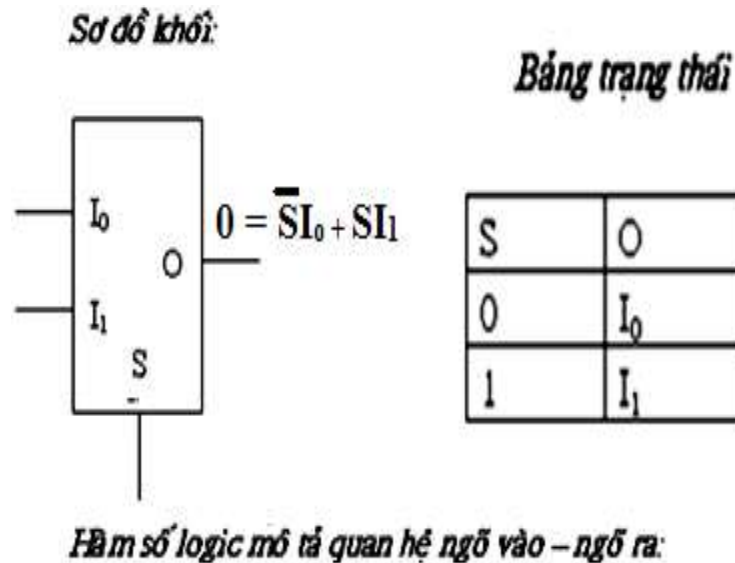
Các mạch ghép kênh ít ngõ vào có thể được kết hợp với nhau để tạo mạch ghép kênh nhiều ngõ vào. Ví dụ để tạo mạch ghép kênh 16:1 ta có thể dùng IC 74LS150 hoặc các IC tương tự, nhưng có 1 cách khác là ghép 2 IC 74LS151

Các dữ liệu nhị phân nhiều bit, chẳng hạn mã ASCII, word,... thường được xử lí song song, tức là tất cả chúng được làm 1 lúc. Trong máy tính, dữ liệu được di chuyển từ nơi này đến nơi khác cùng 1 lúc trên các đường dẫn điện song song gọi là các bus. Khi dữ liệu được truyền đi qua khoảng cách dài chẳng hạn hàng chục mét thì cách truyền song song không còn thích hợp vì tốn nhiều đường dây,

gây nhiễu, Lúc này mạch dồn kênh có thể dùng như mạch chuyển đổi song song sang nối tiếp tương tự như mạch ghi dịch mà ta đã xét ở phần trước.

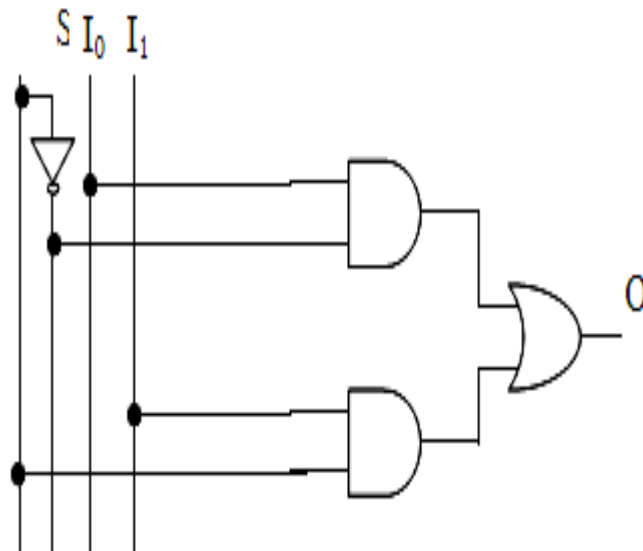
Các mạch dồn kênh với hoạt động logic như đã xét ở trước ngoài cách dùng để ghép nhiều đường ngõ vào còn có thể dùng để thiết kế mạch tổ hợp đôi khi rất dễ dàng vì : Không cần phải đơn giản biểu thức nhiều, thường dùng ít IC và dễ thiết kế.

3.2. Mạch ghép 2 kênh sang 1, hình 4.42



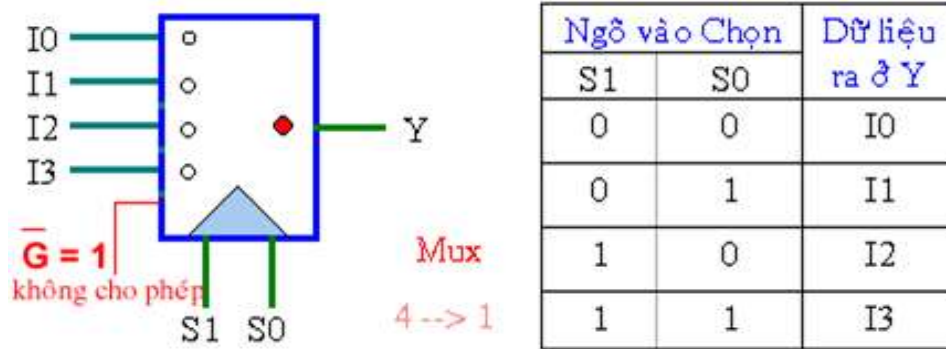
Hình 4.42: Mạch ghép 2 kênh sang 1

Mạch điện logic hình 4.43:



Hình 4.43: Mạch ghép 2 kênh sang 1

3.3. Mạch ghép 4 kênh sang 1, hình 4.44



Hình 4.44: Mạch ghép kênh 4 sang 1 và bảng trạng thái

Mạch trên có 2 ngõ điều khiển chọn là S0 và S1 nên chúng tạo ra 4 trạng thái logic. Mỗi một trạng thái tại một thời điểm sẽ cho phép 1 ngõ vào I nào đó qua để truyền tới ngõ ra Y. Như vậy tổng quát nếu có 2^n ngõ vào song song thì phải cần n ngõ điều khiển chọn.

Cũng nói thêm rằng, ngoài những ngõ như ở trên, mạch thường còn có thêm ngõ G : được gọi là ngõ vào cho phép (enable) hay xung đánh dấu (strobe). Mạch tổ hợp có thể có 1 hay nhiều ngõ vào cho phép và nó có thể tác động mức cao hay mức thấp. Như mạch dồn kênh ở trên, nếu có thêm 1 ngõ cho phép G tác động ở mức thấp, tức là chỉ khi $G = 0$ thì hoạt động dồn kênh mới diễn ra còn khi $G = 1$ thì bất chấp các ngõ vào song song và các ngõ chọn, ngõ ra vẫn giữ cố định mức thấp (có thể mức cao tùy dạng mạch)

Như vậy khi $G = 0$

$S1S0 = 00$, dữ liệu ở I0 sẽ đưa ra ở Y

$S1S0 = 01$, dữ liệu ở I1 sẽ đưa ra ở Y

$S1S0 = 10$, dữ liệu ở I2 sẽ đưa ra ở Y

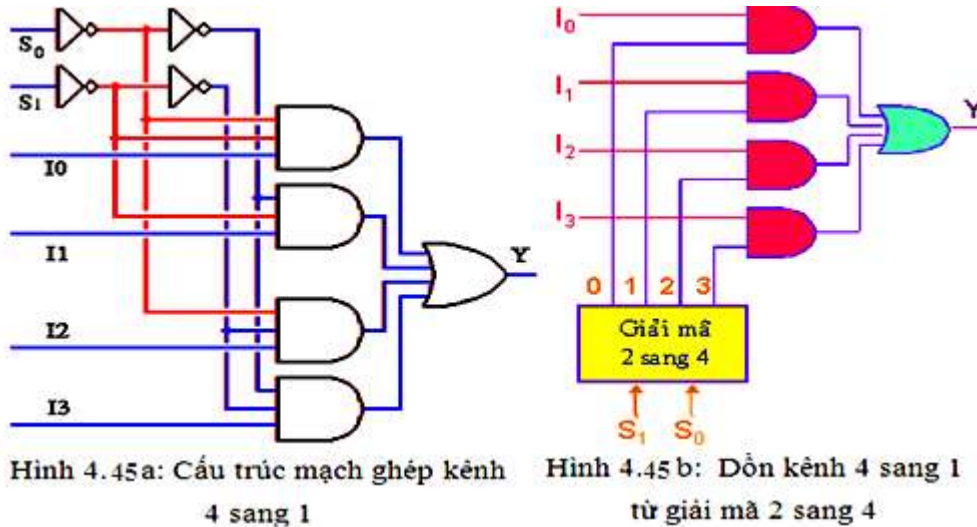
$S1S0 = 11$, dữ liệu ở I3 sẽ đưa ra ở Y

Do đó biểu thức logic của mạch khi có thêm ngõ G là:

$$Y = G.S_1S_0I_0 + G.S_1S_0I_1 + G.S_1S_0I_2 + G.S_1S_0I_3$$

Ta có thể kiểm chứng lại biểu thức trên bằng cách : từ bảng trạng thái ở trên, viết biểu thức logic rồi rút gọn (có thể dùng phương pháp rút gọn dùng bìa Kaunaugh). Sau đó bạn có thể xây dựng mạch dồn kênh trên bằng các cổng logic. Cấu tạo logic của mạch như sau : (lưu ý là trên hình không xét đến chân cho phép G)

Nhận thấy rằng tổ hợp 4 cổng NOT để đưa 2 đường điều khiển chọn S0, S1 vào các cổng AND chính là 1 mạch mã hoá 2 sang 4, các ngõ ra mạch mã hoá như là xung mở cổng AND cho 1 trong các đường I ra ngoài. Vậy mạch trên cũng có thể vẽ lại như hình 4.45a, b :



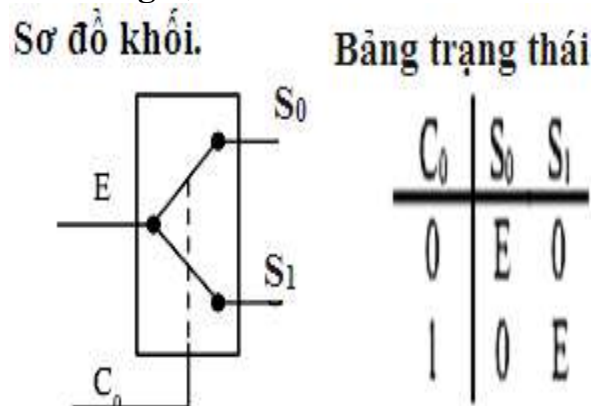
4. Mạch tách kênh

- Mục tiêu: Phân biệt được các sơ đồ, bảng trạng thái của mạch tách kênh. Ưu nhược điểm của nó.

Bộ chuyển mạch phân kênh hay còn gọi là tách kênh, giải đa hợp (Demultiplexer) có chức năng ngược lại với mạch dồn kênh tức là : tách kênh truyền thành 1 trong các kênh dữ liệu song song tùy vào mã chọn ngõ vào. Có thể xem mạch tách kênh giống như 1 công tắc cơ khí được điều khiển chuyển mạch bởi mã số. Tùy theo mã số được áp vào ngõ chọn mà dữ liệu từ 1 đường sẽ được đưa ra đường nào trong số các đường song song.

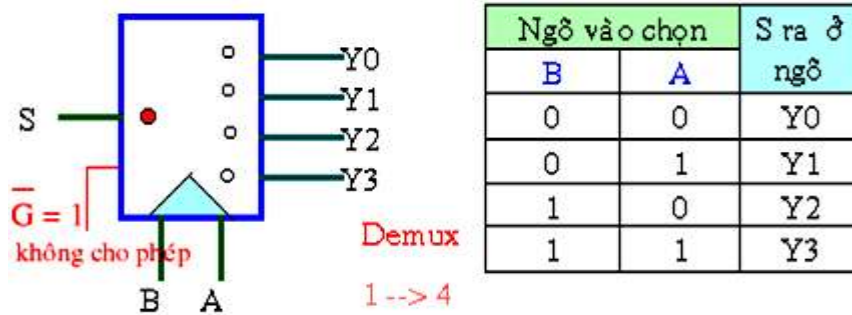
Các mạch tách kênh thường gặp là 1 sang 2, 1 sang 4, 1 sang 8, ...Nói chung từ 1 đường có thể đưa ra 2^n đường, và số đường để chọn sẽ phải là n . Mục dưới sẽ nói đến mạch tách kênh 1 sang 4

4.2. Mạch tách kênh 1 sang 2, hình 4.46



Hình 4.46

4.3. Mạch tách kênh 1 sang 4, hình 4.47



Hình 4.47: Mạch tách kênh 1 sang 4

Mạch tách kênh từ 1 đường sang 4 đường nên số ngõ chọn phải là 2. Khi ngõ cho phép G ở mức 1 thì nó cấm không cho phép dữ liệu vào được truyền ra ở bất kì ngõ nào nên tất cả các ngõ ra đều ở mức 0.

Như vậy khi $G = 0$ $BA = 00$ dữ liệu S được đưa ra ngõ Y0, nếu $S = 0$ thì Y0 cũng bằng 0 và nếu $S = 1$ thì Y0 cũng bằng 1, tức là S được đưa tới Y0; các ngõ khác không đổi. Tương tự với các tổ hợp BA khác thì lần lượt ra ở S sẽ là Y_1, Y_2, Y_3

Biểu thức logic của các ngõ ra sẽ là :

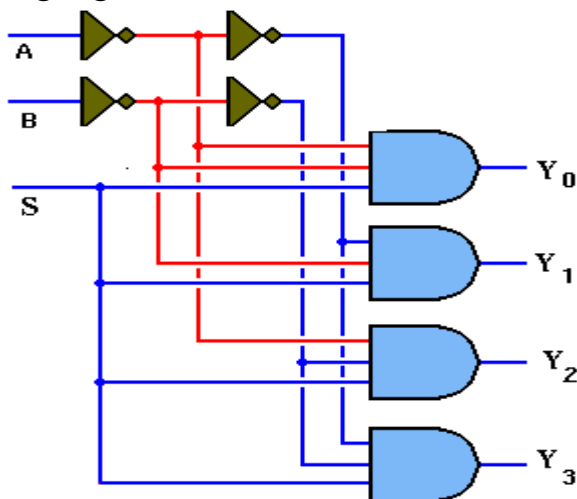
$$Y_0 = G\bar{B}\bar{A}S$$

$$Y_1 = G\bar{B}AS$$

$$Y_2 = GB\bar{A}S$$

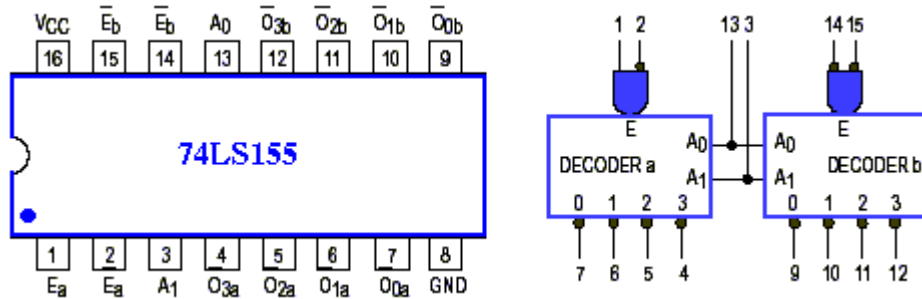
$$Y_3 = GBAS$$

Từ đây có thể dùng cổng logic để thiết kế mạch tách kênh như hình 4.48



Hình 4.48: Cấu trúc của mạch tách kênh 1 sang 4

Ví dụ : Khảo sát IC 74LS155, hình 4.49



Hình 4.49: Kí hiệu sơ khối và chân ra của 74LS155

Trong cấu trúc của nó gồm 2 bộ tách kênh 1 sang 4, chúng có 2 ngõ chọn A₀A₁ chung, ngõ cho phép cũng có thể chung khi nối chân 2 nối với chân 15). Một lưu ý khác là bộ tách kênh đầu có ngõ ra đảo so với ngõ vào (dữ liệu vào chân 1 không đảo) còn bộ tách kênh thứ 2 thì ngõ vào và ngõ ra như nhau khi được tác động (dữ liệu vào chân 14 đảo).

Bảng trạng thái của 74LS155, hình 4.50

Ngõ chọn		Cho phép	Kênh vào	Kênh ra "a"				Cho phép	Kênh vào	Kênh ra "b"			
A ₁	A ₀	E _a	E _b	O ₀	O ₁	O ₂	O ₃	E _b	E _a	O ₀	O ₁	O ₂	O ₃
X	X	1	X	1	1	1	1	1	X	1	1	1	1
X	X	X	0	1	1	1	1	X	1	1	1	1	1
0	0	0	1	0	1	1	1	0	0	0	1	1	1
0	1	0	1	1	0	1	1	0	0	1	0	1	1
1	0	0	1	1	1	0	1	0	0	1	1	0	1
1	1	0	1	1	1	1	0	0	0	1	1	1	0

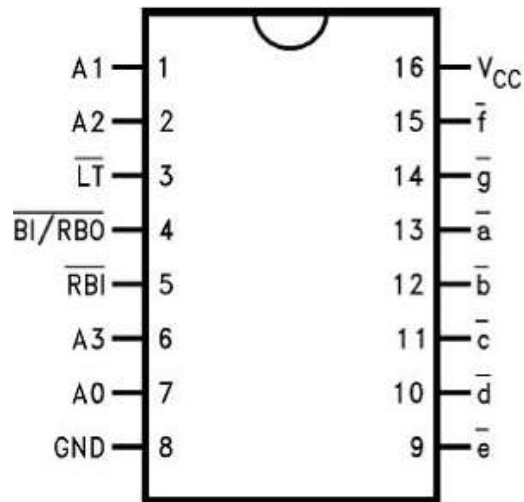
Hình 4.50: Bảng trạng thái của 74LS155

5. Giới thiệu một số IC mã hóa và giải mã thông dụng.

- Mục tiêu: Phân biệt các IC sơ đồ chân, bảng trạng thái và điện áp ngõ vào và ra của IC. Ưu nhược điểm của nó.

5.1. IC giải mã

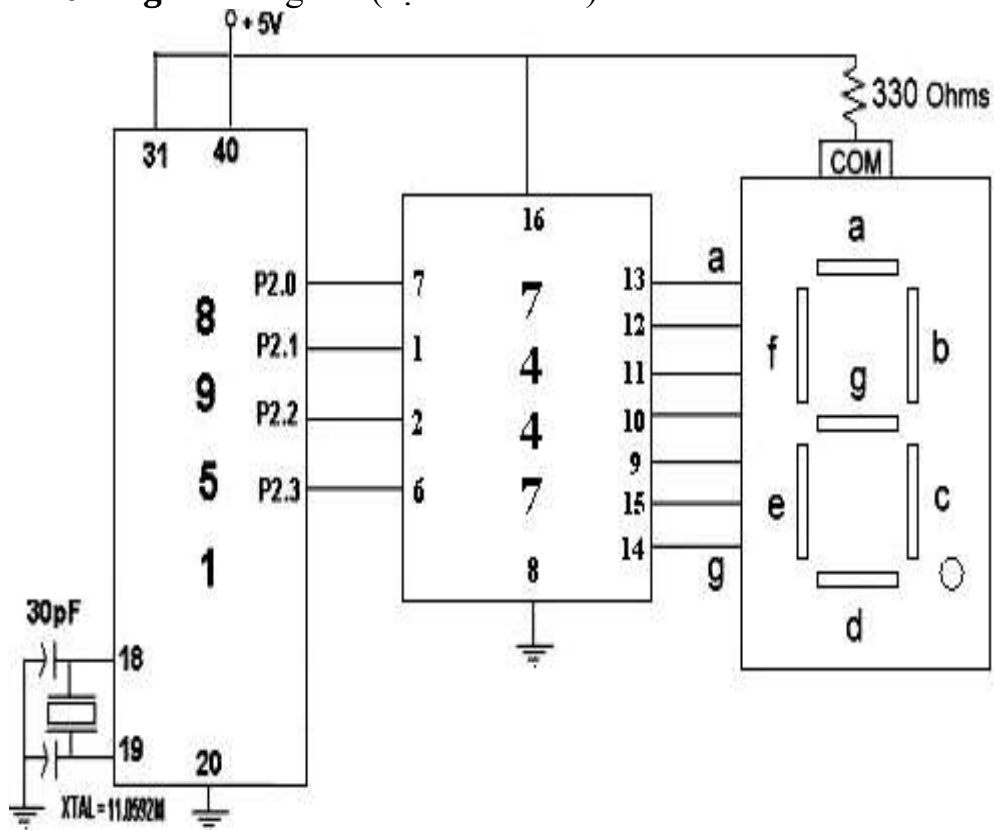
Khảo sát 74LS47 với mạch giải mã ở trên ta có thể dùng 74LS47. Đây là IC giải mã đồng thời thúc trực tiếp led 7 đoạn loại Anode chung vì nó có các ngõ ra cực thu để hở và khả năng nhận dòng đủ lớn. Sơ đồ chân của IC và cấu trúc bên trong IC như hình 4.51 và 4.52 sau:



Hình 4.51: Kí hiệu khối và chân ra 74LS47

Trong đó:

- A_1, A_2, A_3, A_0 là các ngõ vào mã BCD
- RBI là ngõ vào xoá gọn sóng
- LT là ngõ thử đèn
- BI/RBO là ngõ vào xoá
- Từ **a** tới **g** là các ngõ ra (cực thu để hở)



Hình 4.52: Cấu trúc bên trong của 74LS47 và dạng số hiển thị

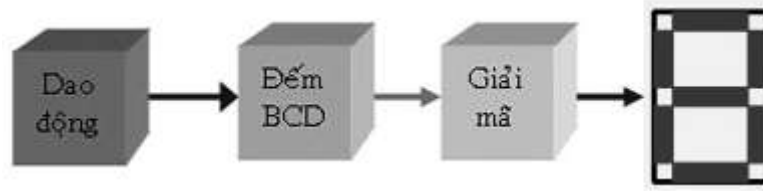
Hoạt động của IC được tóm tắt theo bảng dưới đây:

Số thấy	$\overline{\text{LT}}$	$\overline{\text{RBI}}$	D	C	B	A	$\overline{\text{BI/RBO}}$	$\overline{\text{a}}$	$\overline{\text{b}}$	$\overline{\text{c}}$	$\overline{\text{d}}$	$\overline{\text{e}}$	$\overline{\text{f}}$	$\overline{\text{g}}$	Ghi chú
0	1	X	0	0	0	0	1	0	0	0	0	0	0	1	1
1	1	X	0	0	0	1	1	1	0	0	1	1	1	1	
2	1	X	0	0	1	0	1	0	0	1	0	0	1	0	
3	1	X	0	0	1	1	1	0	0	0	0	1	1	0	
4	1	X	0	1	0	0	1	1	0	0	1	1	0	0	
5	1	X	0	1	0	1	1	0	1	0	0	1	0	0	
6	1	X	0	1	1	0	1	1	1	0	0	0	0	0	
7	1	X	1	1	1	1	1	0	0	0	1	1	1	1	
8	1	X	1	0	0	0	1	0	0	0	0	0	0	0	
9	1	X	1	0	0	1	1	0	0	0	1	1	0	0	
10	1	X	1	0	1	0	1	1	1	1	0	0	1	0	2
11	1	X	1	0	1	1	1	1	1	0	0	1	1	0	
12	1	X	1	1	0	0	1	1	0	1	1	1	0	0	
13	1	X	1	1	0	1	1	0	1	1	0	1	0	0	
14	1	X	1	1	1	0	1	1	1	1	0	0	0	0	
15	1	X	1	1	1	1	1	1	1	1	1	1	1	1	
BI	X	X	X	X	X	X	0	1	1	1	1	1	1	1	3
RBI	1	0	0	0	0	0	0	1	1	1	1	1	1	1	4
LT	0	X	X	X	X	X	1	0	0	0	0	0	0	0	5

Nhận thấy các ngõ ra mạch giải mã tác động ở mức thấp (0) thì led tương ứng sáng. Ngoài 10 số từ 0 đến 9 được giải mã, mạch cũng còn giải mã được 6 trạng thái khác, ở đây không dùng đến. Để hoạt động giải mã xảy ra bình thường thì chân LT và BI/RBO phải ở mức cao. Muốn thử đèn led để các led đều sáng hết thì kéo chân LT xuống thấp (ghi chú 5) Muốn xoá các số (tắt hết led) thì kéo chân BI xuống thấp.

Khi cần giải mã nhiều led 7 đoạn ta cũng có thể ghép nhiều tầng IC, muốn xoá số 0 vô nghĩa ở trước thì nối chân RBI của tầng đầu xuống thấp, khi này chân ra RBO cũng xuống thấp và được nối tới tầng sau nếu muốn xoá tiếp số 0 vô nghĩa của tầng đó. Riêng tầng cuối cũng thì RBI để trống hay để mức cao để vẫn hiển thị số 0 cuối cùng.

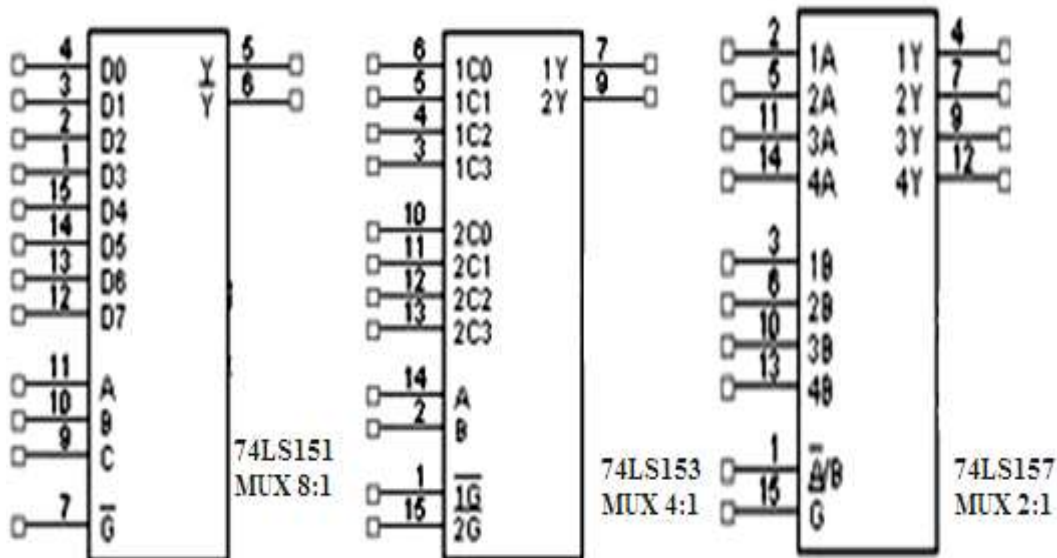
Ví dụ : Hãy xem một ứng dụng của mạch giải mã led 7 đoạn hình 4.53:



Hình 4.53: Ứng dụng giải mã 74LS47

Mạch dao động tạo ra xung kích cho mạch đếm, ta có thể điều chỉnh chu kì xung để mạch đếm nhanh hay chậm. Mạch đếm tạo ra mã số đếm BCD một cách tự động đưa tới mạch giải mã có thể là cho đếm lên hay đếm xuống. Mạch giải mã sẽ giải mã BCD sang led 7 đoạn để hiển thị số đếm thập phân.

5.2. Một số IC ghép kênh hay dùng



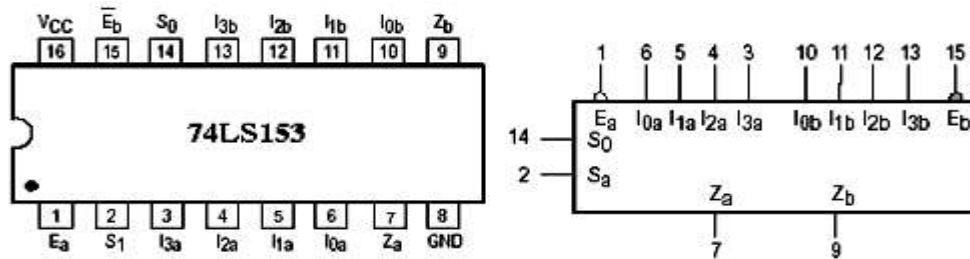
Hình 4.54: Kí hiệu khối của một số IC dồn kênh hay dùng

74LS151 có 8 ngõ vào dữ liệu, 1 ngõ vào cho phép G tác động ở mức thấp, 3 ngõ vào chọn C B A, ngõ ra Y còn có ngõ đảo của nó là $\bar{Y}$. Khi G ở mức thấp nó cho phép hoạt động ghép kênh mã chọn CBA sẽ quyết định 1 trong 8 đường dữ liệu được đưa ra ngõ Y. Ngược lại khi G ở mức cao, mạch không được phép nên $Y = 0$ bất chấp các ngõ chọn và ngõ vào dữ liệu.

74LS153 gồm 2 bộ ghép kênh 4:1 có 2 ngõ vào chọn chung BA mỗi bộ có ngõ cho phép riêng, ngõ vào và ngõ ra riêng. Tương tự chỉ khi G ở mức 0 ngõ Y mới giống 1 trong các ngõ vào tùy mã chọn.

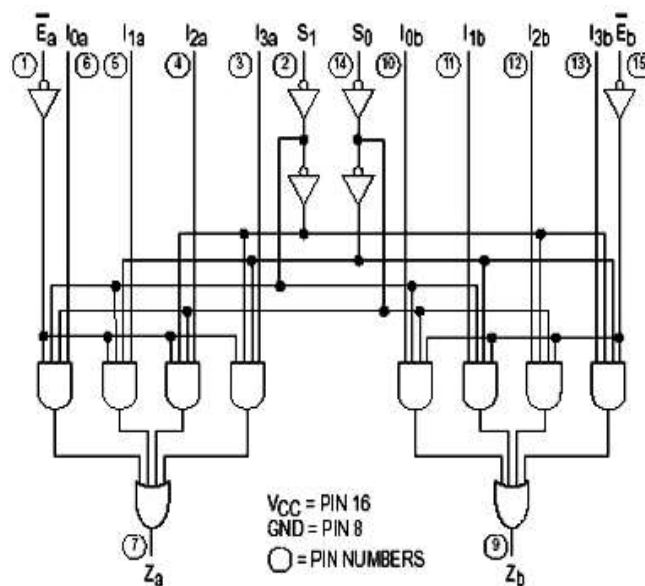
74LS157 gồm 4 bộ ghép kênh 2:1 có chung ngõ vào cho phép G tác động ở mức thấp, chung ngõ chọn A. Ngõ vào dữ liệu 1I0, 1I1 có ngõ ra tương ứng là 1Y, ngõ vào dữ liệu 2I0, 2I1 có ngõ ra tương ứng là 2Y, ... Khi G ở thấp và A ở thấp sẽ cho dữ liệu vào ở ngõ nI0 ra ở nY ($n = 1, 2, 3, 4$) còn khi A ở cao sẽ cho dữ

liệu vào ở nI ra ở nY . Khi $S = 1$ thì $Y = 0$. Chẳng hạn với 74LS153, kí hiệu sơ đồ khối, chân ra, bảng trạng thái và cấu tạo logic được minh hoạ ở những hình 4.55a-b, với những IC khác cũng tương tự.

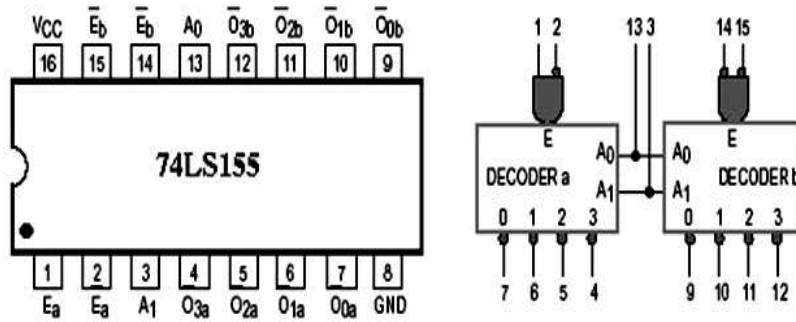


Hình 4.55a: Kí hiệu khối và chân ngõ ra của 74LS153
- Bảng trạng thái của 74LS153 và sơ đồ chân IC

Ngõ chọn		Cho phép	Ngõ vào dẫn kênh				Ngõ ra Z
S1	S0		I0	I1	I2	I3	
X	X	1	X	X	X	X	0
0	0	0	0	X	X	X	0
0	0	0	1	X	X	X	1
0	1	0	X	0	X	X	0
0	1	0	X	1	X	X	1
1	0	0	X	X	0	X	0
1	0	0	X	X	1	X	1
1	1	0	X	X	X	0	0
1	1	0	X	X	X	1	1

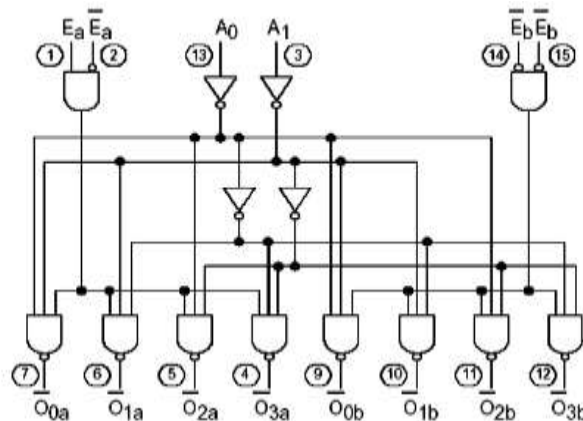


Hình 4.55b: Cấu tạo bên trong của 74LS153 và bảng trạng thái
- Khảo sát IC 74LS155 như hình 4.56 a-b



Hình 4.56a. Kí hiệu khối và chân ra của 74LS155

Trong cấu trúc của nó gồm 2 bộ tách kênh 1 sang 4, chúng có 2 ngõ chọn A_0A_1 chung, ngõ cho phép cũng có thể chung khi nối chân 2 nối với chân 15). Một lưu ý khác là bộ tách kênh đầu có ngõ ra đảo so với ngõ vào (dữ liệu vào chân 1 không đảo) còn bộ tách kênh thứ 2 thì ngõ vào và ngõ ra như nhau khi được tác động (dữ liệu vào chân 14 đảo). Cấu trúc logic của mạch không khác gì so với mạch đã xét ở trên ngoài trừ mạch có thêm ngõ cho phép.



Ngõ chọn		Cho phép	Kênh vào	Kênh ra "a"				Cho phép	Kênh vào	Kênh ra "b"			
A_1	A_0	E_a	E_b	O_0	O_1	O_2	O_3	E_b	E_a	O_0	O_1	O_2	O_3
X	X	1	X	1	1	1	1	1	X	1	1	1	1
X	X	X	0	1	1	1	1	X	1	1	1	1	1
0	0	0	1	0	1	1	1	0	0	0	1	1	1
0	1	0	1	1	0	1	1	0	0	1	0	1	1
1	0	0	1	1	1	0	1	0	0	1	1	0	1
1	1	0	1	1	1	1	0	0	0	1	1	1	0

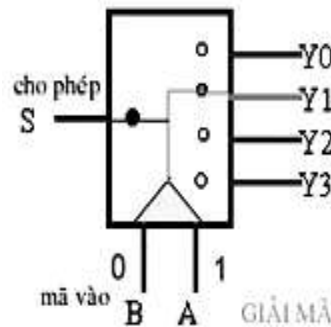
Hình 4.56b: Cấu tạo bên trong của 74LS155 và bảng trạng thái

- Mạch tách kênh hoạt động như mạch giải mã.

Nhiều mạch tách kênh còn có chức năng như 1 mạch giải mã. Thật vậy, vào dữ liệu S không được dùng như 1 ngõ vào dữ liệu nối tiếp mà lại dùng như ngõ vào cho phép còn các ngõ vào chọn CBA khi này lại được dùng như các ngõ vào

dữ liệu và các ngõ ra vẫn giữ nguyên chức năng thì mạch đa hợp lại hoạt động như 1 mạch giải mã.

Tùy thuộc mã dữ liệu áp vào ngõ C B A mà một trong các ngõ ra sẽ lên cao hay xuống thấp tùy cấu trúc mạch. Như vậy mạch tách kênh 1:4 như ở trên đã trở thành mạch giải mã 2 sang 4. Thực tế ngoài ngõ S khi này trở thành ngõ cho phép giải mã, mạch trên sẽ phải cần một số ngõ điều khiển khác để cho phép mạch hoạt động giải mã hay tách kênh; còn cấu tạo logic của chúng hoàn toàn tương thích nhau. Hình 4.57 sau cho phép dùng mạch tách kênh 1 sang 4 để giải mã 2 sang 4.



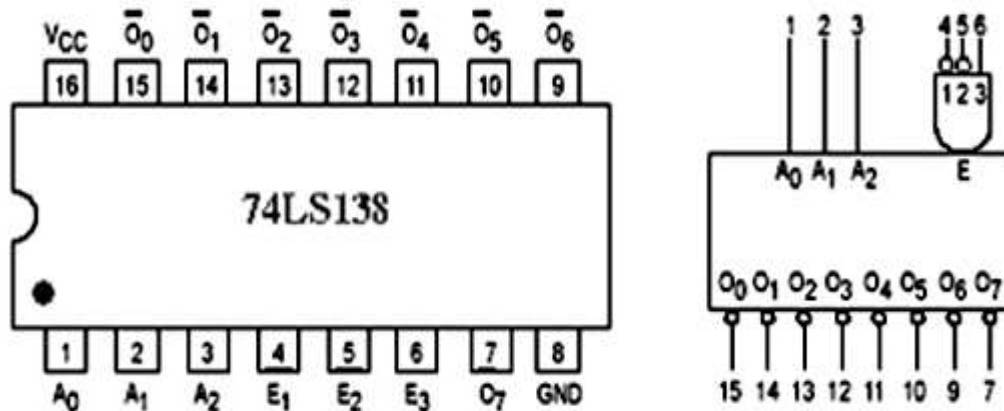
Hình 4.57: Mạch tách kênh hoạt động như mạch giải mã

Tương tự, ta cũng có các loại mạch khác như vừa tách kênh 1:8 vừa giải mã 3:8, tách kênh 1:16/giải mã 4:16...

5.3. Một số IC giải mã tách kênh hay dùng

Khảo sát IC tách kênh/giải mã tiêu biểu 74LS138, 74LS138 là IC MSI giải mã 3 đường sang 8 đường hay tách kênh 1 đường sang 8 đường thường dùng và có hoạt động logic tiêu biểu, thường được dùng như mạch giải mã địa chỉ trong các mạch điều khiển và trong máy tính.

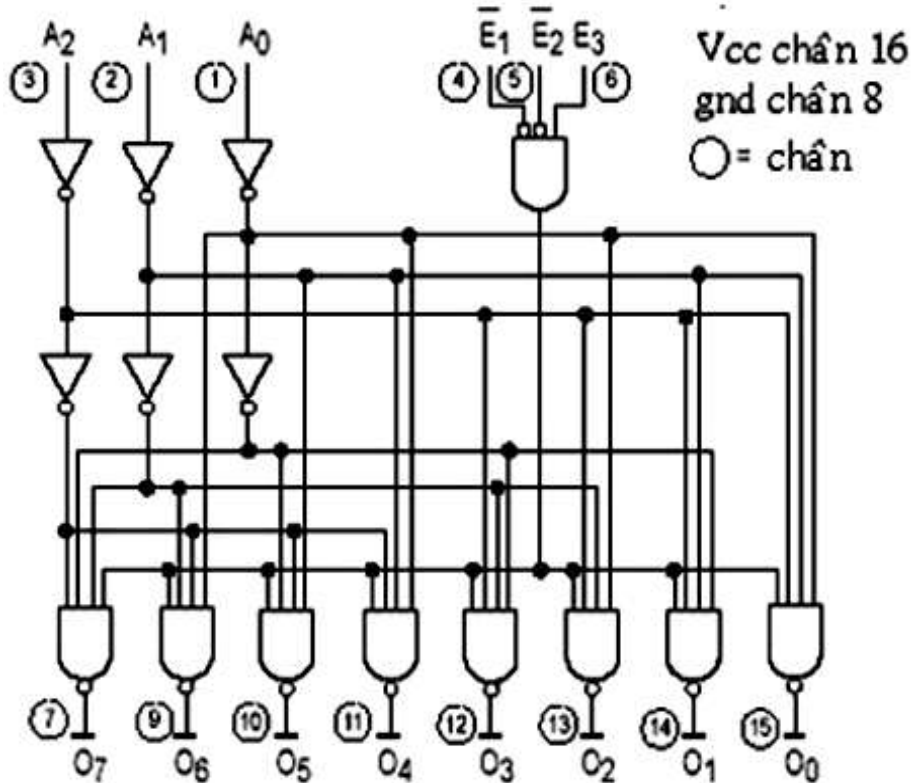
Sơ đồ chân và kí hiệu logic như hình 4.58a-b dưới đây :



Hình 4.58a: Kí hiệu sơ đồ khối và chân ra của 74LS138

Trong đó:

- A₀, A₁, A₂ là 3 đường địa chỉ ngõ vào
- E₁, E₂ là các ngõ vào cho phép (tác động mức thấp)
- E₃ là ngõ vào cho phép tác động mức cao
- O₀ đến O₇ là 8 ngõ ra (tác động ở mức thấp)



Hình 4.58b: Cấu trúc bên trong 74LS138

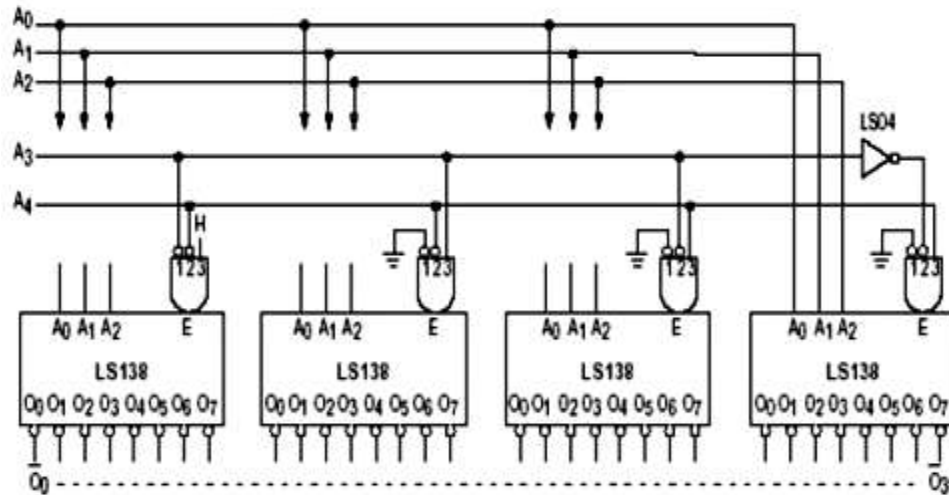
- Hoạt động giải mã như sau :

Đưa dữ liệu nhị phân 3bit vào ở C, B, A(LSB), lấy dữ liệu ra ở các ngõ O₀ đến O₇; ngõ cho phép E₂ và E₃ đặt mức thấp, ngõ cho phép E₁ đặt ở mức cao. Chẳng hạn khi CBA là 001 thì ngõ O₁ xuống thấp còn các ngõ ra khác đều ở cao.

- Hoạt động tách kênh:

Dữ liệu vào nối tiếp vào ngõ E₂, hay E₃ (với ngõ còn lại đặt ở thấp). Đặt G = 1 để cho phép tách kênh. Như vậy dữ liệu ra song song vẫn lấy ra ở các ngõ O₀ đến O₇. Chẳng hạn nếu mã chọn là 001 thì dữ liệu nối tiếp S sẽ ra ở ngõ O₁ và không bị đảo.

Mở rộng đường giải mã: 74LS138 dùng thêm 1 cổng đảo còn cho phép giải mã địa chỉ từ 5 sang 32 đường. Hình4.59 ghép nối như sau:



Hình 4.59: Ghép 4 IC 74LS138 để có mạch giải mã 5 đường sang 32 đường
Các IC giải mã tách kênh khác :

Ngoài 74LS155 và 74LS138 được nói đến ở trên ra còn một số IC cũng có chức năng giải mã/tách kênh được kể ra ở đây là 74139/LS139 gồm 2 bộ giải mã 2 sang 4 hay 2 bộ tách kênh 1 sang 4, chúng có ngõ cho phép (tác động mức thấp) và ngõ chọn riêng .

74154/LS154 bộ giải mã 4 sang 16 đường hay tách kênh 1 sang 16 đường 74159/LS159 giống như 74154 nhưng có ngõ ra cực thu để hở 74155/LS155 như đã khảo sát ở trên : gồm 2 bộ giải mã 2 sang 4 hay 2 bộ tách kênh 1 sang 4. Đặc biệt 74155 còn có thể hoạt động như 1 bộ giải mã 3 sang 8 hay tách kênh 1 sang 8 khi nối chung ngõ cho phép với ngõ vào dữ liệu nối tiếp và nối chung 2 ngõ chọn lại với nhau.

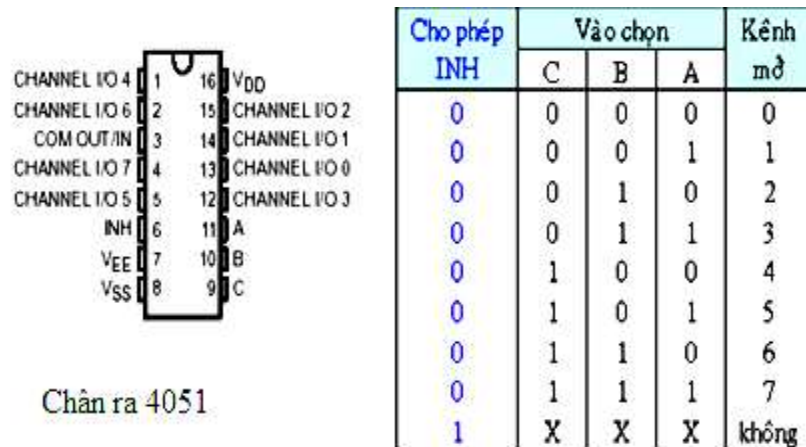
74156/LS156 giống như 74155 nhưng có ngõ ra cực thu để hở. Công nghệ CMOS cũng có các IC giải mã/tách kênh tương ứng như bên TTL chẳng hạn có 74HC/HCT138,... Hơn thế nữa nhiều IC họ CMOS còn cho phép truyền cả dữ liệu số lẫn dữ liệu tương tự. Một số IC được kể ra ở đây là 74HC/HCT4051 dồn/tách kênh tương tự số 1 sang 8 và ngược lại.

74HC/HCT4052 dồn/tách kênh tương tự số 1 sang 4 và ngược lại. 74HC/HCT4053 dồn/tách kênh tương tự số 1 sang 2 và ngược lại

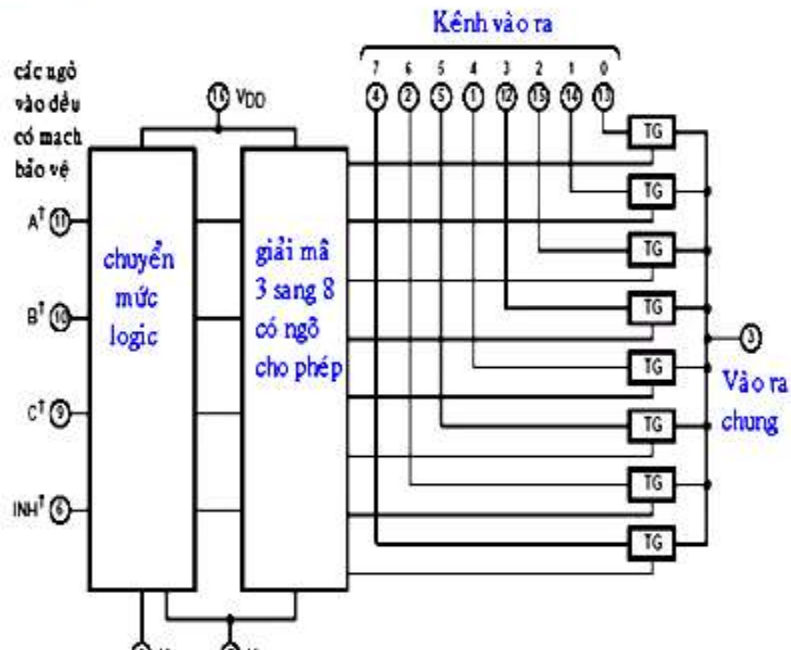
5.4. Mạch ghép kênh

Khảo sát IC 4051 như hình 4.60

Khi dồn kênh dữ liệu vào chân COM OUT/IN, ra ở 3 kênh CHANNEL I/O từ 0 đến 7. Ngược lại, khi tách kênh thì dữ liệu song song vào các chân CHANNEL I/O đến 7 và ra ở chân COM OUT/IN; 3 ngõ chọn là A, B, C. Chân INH (inhibit) cho phép dữ liệu được phép truyền ra.



Cấu trúc mạch logic khá phức tạp



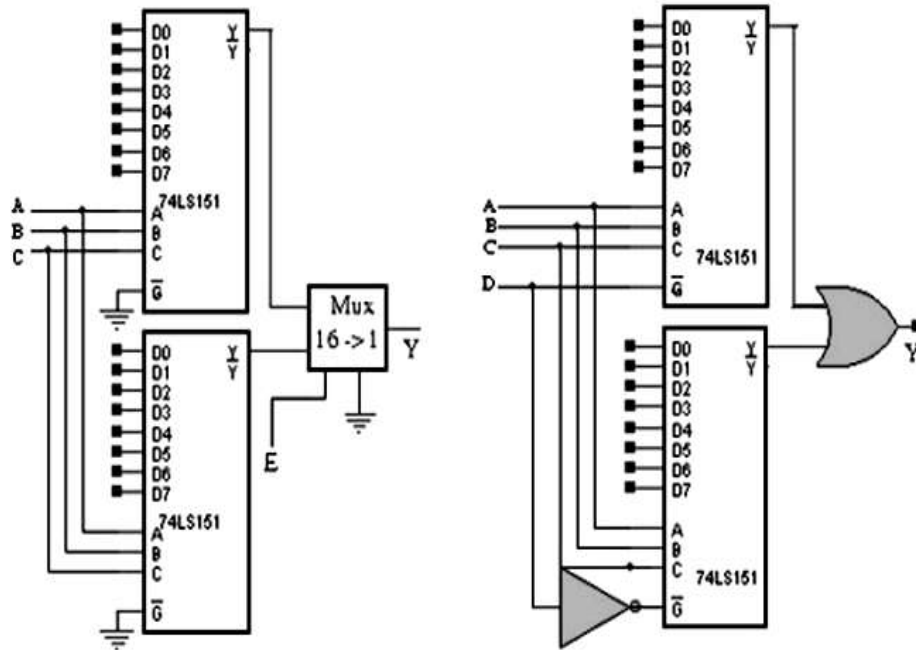
Hình 4.60: Cấu trúc mạch của 4051

6. Tính toán, lắp ráp một số mạch ứng dụng cơ bản

- Mục tiêu: Tính toán lắp ráp, đo, kiểm tra thông số điện áp, tín hiệu xung của các chân IC theo các sơ đồ, bảng trạng thái mã hóa của các kênh và ứng dụng của nó vào trong mạch.

6.1. Mạch ghép kênh

Các mạch ghép kênh ít ngõ vào có thể được kết hợp với nhau để tạo mạch ghép kênh nhiều ngõ vào. Ví dụ để tạo mạch ghép kênh 16:1 ta có thể dùng IC 74LS150 hoặc các IC tương tự, nhưng có 1 cách khác là ghép 2 IC 74LS151. Sơ đồ ghép như hình 4.61sau :



Hình 4.61: Hai cách mở rộng kênh ghép 16 sang 1 từ IC74LS151
(74LS151 là IC dồn kênh 8 sang 1)

6.2. Dùng mạch ghép kênh để thiết kế tổ hợp

Các mạch ghép kênh với hoạt động logic, ngoài cách dùng để ghép nhiều đường ngõ vào còn có thể dùng để thiết kế mạch tổ hợp đôi khi rất dễ dàng vì :

- Không cần phải đơn giản biểu thức nhiều.
- Thường dùng ít IC.
- Dễ thiết kế.
- Bài toán thiết kế mạch tổ hợp như bảng dưới đây cho thấy rõ hơn điều này.

Ví dụ : Thiết kế mạch tổ hợp thỏa bảng trạng thái như hình 4.62sau:

Vào			Ra
C	B	A	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

Hình 4.62

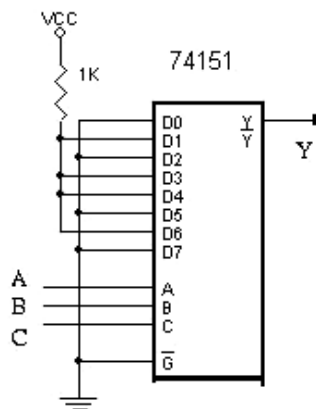
Từ bảng trạng thái, ta có biểu thức logic là :

$$Y = \overline{C}\overline{B}A + \overline{C}B\overline{A} + C\overline{B}\overline{A} + CBA$$

Đây là biểu thức thuộc dạng tổng của các tích. Như cách thiết kế ở trước ta sẽ sử

dùng các cổng logic gồm 3 cổng NOT, 4 cổng NAND, 1 cổng OR, còn nếu chuyển sang dùng toàn cổng NAND không thì phải cần tới 3 cổng NAND 2 ngõ vào, 4 cổng NAND 3 ngõ vào và 1 cổng NAND 4 ngõ vào chưa kể là phải đơn giản biểu thức nếu có thể trước khi thực hiện.

Sử dụng IC dồn kênh 8 sang 1. 3 ngõ vào A, B, C sẽ được nối tới 3 ngõ chọn của IC, căn cứ vào thứ tự tổ hợp trong bảng nếu Y là 0 thì sẽ phải nối ngõ vào ghép kênh tương ứng xuống mass, còn nếu Y là 1 thì nối ngõ vào ghép kênh tương ứng lên nguồn (có thể qua R giá trị 1K). Hình 4.63 sẽ minh họa cho cách nối trên và nếu kiểm tra lại sẽ thấy mạch hoàn toàn thỏa điều kiện đề ra của bài toán.



Hình 4.63

➤ YÊU CẦU VỀ ĐÁNH GIÁ KẾT QUẢ HỌC TẬP BÀI 4

✚ Nội dung:

- + Về kiến thức: Trình bày được khái niệm và phân biệt sự khác nhau giữa các mạch mã hóa và các giả mã, hiểu được chức năng của các họ của IC
- + Về kỹ năng: sử dụng thành thạo các dụng cụ đo để đo được các chân tín hiệu điện áp ở ngõ vào – ra của IC, lắp ráp một số mạch cơ bản,....
- + Về thái độ: Đảm bảo an toàn và vệ sinh công nghiệp.

✚ Phương pháp:

- + Về kiến thức: Được đánh giá bằng hình thức kiểm tra viết, trắc nghiệm.
- + Về kỹ năng: Đánh giá kỹ năng thực hành đo được các thông số trong mạch điện theo yêu cầu của bài, lắp ráp một số mạch cơ bản
- + Thái độ: Tỉ mỉ, cẩn thận, chính xác, ngăn nắp trong công việc.

BÀI 5

HỌ VI MẠCH TTL – CMOS

Mã bài: MD28-05

Giới thiệu:

Trong quá trình phát triển của công nghệ chế tạo mạch số ta có các họ: RTL(Resistor-transistor logic), DCTL (Direct couple-transistor logic), RCTL(Resistor-Capacitor-transistor logic), DTL(Diod-transistor logic), ECL (Emitter- couple logic) v.v.... Đến bây giờ tồn tại hai họ có nhiều tính năng kỹ thuật cao như thời trễ truyền nhỏ, tiêu hao công suất ít, đó là họ TTL (transistor-transistor logic) dùng công nghệ chế tạo BJT và họ MOS (Công nghệ chế tạo MOS - Gồm các IC số dùng công nghệ chế tạo của transistor MOSFET loại tăng, kênh N và kênh P. Với transistor kênh N ta có NMOS, transistor kênh P ta có PMOS và nếu dùng cả hai loại transistor kênh P & N ta có CMOS).

Mục tiêu:

- Trình bày được cấu trúc, các đặc tính cơ bản của các loại IC số
- Trình bày được các thông số cơ bản của IC số
- Trình bày được các phương thức giao tiếp giữa các loại IC số.
- Lắp ráp, sửa chữa, đo kiểm được một số mạch ứng dụng cơ bản
- Rèn luyện tính tỷ mỉ, chính xác, an toàn và vệ sinh công nghiệp

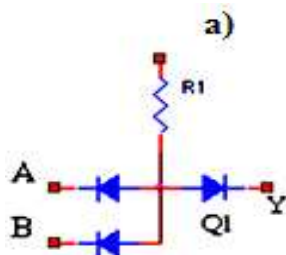
Nội dung:

1. Cấu trúc và thông số cơ bản của TTL

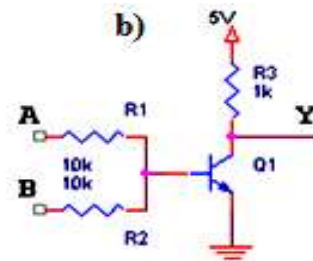
- *Mục tiêu: Trình bày được các sơ đồ, cấu trúc của các cổng logic họ TTL. Ưu nhược điểm thông số của nó.*

1.1. Cơ sở của việc hình thành cổng logic họ TTL

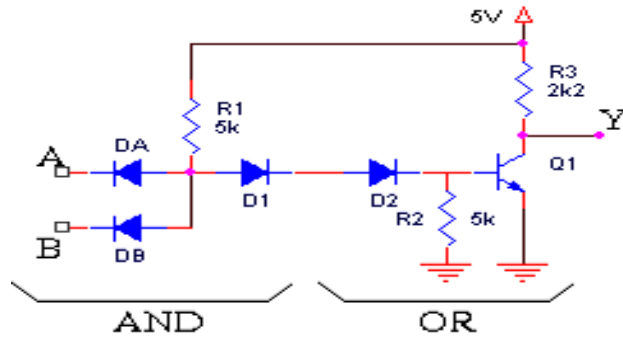
Trước khi đi vào cấu trúc của mạch TTL cơ bản, xét một số mạch điện (H.5.1) cũng có khả năng thực hiện chức năng logic như các cổng logic trong vi mạch TTL:



Hình 5.1a: Cổng DR



Hình 5.1b: Cổng RTL



Hình 5.1c: Cổng NAND DTL

Mạch ở hình 5.1a hoạt động như một cổng AND. Thật vậy, chỉ khi cả hai đầu A và B đều nối với nguồn, tức là để mức cao, thì cả hai diode sẽ ngắt, do đó áp đầu ra Y sẽ phải ở mức cao. Ngược lại, khi có bất cứ một đầu vào nào ở thấp thì sẽ có diode dẫn, áp trên diode còn 0,6V hay 0,7V do đó ngõ ra Y sẽ ở mức thấp.

Tiếp theo là một mạch thực hiện chức năng của một cổng logic bằng cách sử dụng trạng thái ngắt dẫn của transistor (hình 5.1b).

Hai ngõ vào là A và B, ngõ ra là Y.

Phân cực từ hai đầu A, B để Q hoạt động ở trạng thái ngắt và dẫn bão hoà

Cho $A = 0, B = 0 \Rightarrow Q$ ngắt, $Y = 1$

$A = 0, B = 1 \Rightarrow Q$ dẫn bão hoà, $Y = 0$

$A = 1, B = 0 \Rightarrow Q$ dẫn bão hoà, $Y = 0$

$A = 1, B = 1 \Rightarrow Q$ dẫn bão hoà, $Y = 0$

Có thể tóm tắt lại hoạt động của mạch qua bảng trạng thái dưới đây, hình 5.2

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

Hình 5.2

Bây giờ để có cổng logic loại DTL, ta thay hai R bằng hai diode ở ngõ vào (hình 5.1c)

Khi A ở thấp, B ở thấp hay cả 2 ở thấp thì diode dẫn làm transistor ngắt do đó ngõ ra Y ở cao.

Khi A và B ở cao thì cả hai diode ngắt $\Rightarrow Q$ dẫn $\Rightarrow y$ ra ở thấp

Rõ ràng đây là 1 cổng NAND dạng DTL (diode ở đầu vào và transistor ở đầu ra)

Các mạch RTL, DTL ở trên đều có khả năng thực hiện chức năng logic nhưng chỉ được sử dụng ở dạng đơn lẻ không được tích hợp thành IC chuyên dùng bởi vì ngoài chức năng logic cần phải đảm bảo người ta còn quan tâm tới các yếu tố khác như :

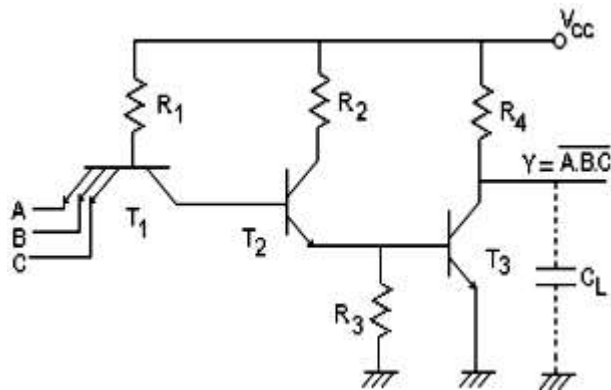
- Tốc độ chuyển mạch (mạch chuyển mạch nhanh và hoạt động được ở tần số cao không).
- Tổn hao năng lượng khi mạch hoạt động (mạch nóng, tiêu tán mất năng lượng dưới dạng nhiệt).
- Khả năng giao tiếp và thúc tải, thúc mạch khác.
- Khả năng chống các loại nhiễu không mong muốn xâm nhập vào mạch, làm sai mức logic.

Chính vì thế mạch TTL đã ra đời, thay thế cho các mạch loại RTL, DTL. Mạch TTL ngoài transistor ngõ ra như ở các mạch trước thì nó còn sử dụng cả các transistor đầu vào, thêm một số cách nối đặc biệt khác, nhờ đó đã đảm bảo được nhiều yếu tố đã đề ra.

1.2. Cấu trúc cơ bản của TTL

1.2.1. Cấu trúc của một mạch logic TTL cơ bản :

Lấy cổng NAND 3 ngõ vào làm thí dụ để thấy cấu tạo và vận hành của một cổng cơ bản của TTL như hình 5.3



Hình 5.3: Mạch logic TTL cơ bản

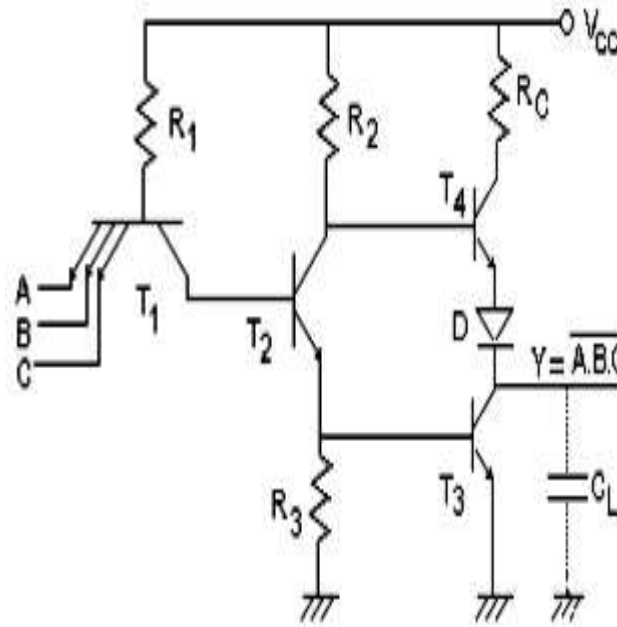
Khi một trong các ngõ vào A, B, C xuống mức không T_1 dẫn đưa đến T_2 ngưng, ngõ ra Y lên cao; khi cả 3 ngõ vào lên cao, T_1 ngưng, T_2 dẫn, T_3 dẫn, ngõ ra Y xuống thấp. Đó chính là kết quả của cổng NAND.

Tụ C_L trong mạch chính là tụ ký sinh tạo bởi sự kết hợp giữa ngõ ra của mạch (tầng thúc) với ngõ vào của tầng tải, khi mạch hoạt động tụ sẽ nạp điện qua R_4 (lúc T_3 ngưng) và nạp điện qua T_3 khi transistor này dẫn, do đó thời gian trễ truyền của mạch quyết định bởi R_4 và C_L , khi R_4 nhỏ mạch hoạt động nhanh nhưng công suất tiêu thụ lúc đó lớn, muốn giảm công suất phải tăng R_4 nhưng

như vậy thời gian trễ truyền sẽ lớn hơn (mạch giao hoán chậm hơn). Để giải quyết khuyết điểm này đồng thời thỏa mãn một số yêu cầu khác, người ta đã chế tạo các cổng logic với các kiểu ngõ ra khác nhau.

- Các kiểu ngõ ra

• **Ngõ ra Totempole**



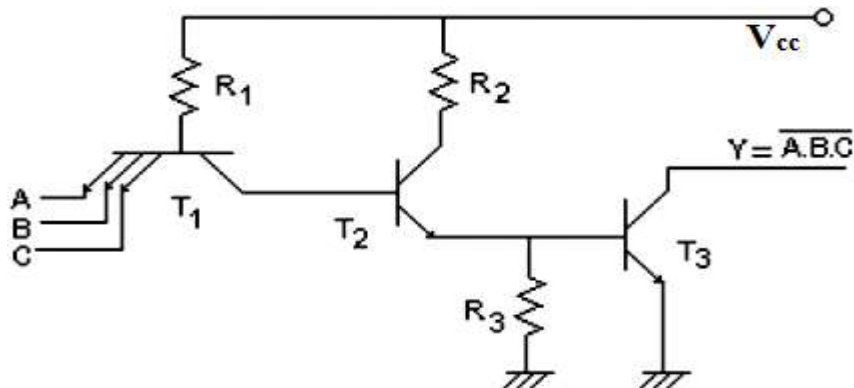
Hình 5.4: Mạch logic có ngõ ra Totempole

Theo mạch như hình 5.4, R_4 trong mạch cơ bản được thay thế bởi cụm T_4 , R_C , và Diod D, trong đó R_C có trị rất nhỏ, không đáng kể. T_2 bây giờ giữ vai trò mạch đảo pha: khi T_2 dẫn thì T_3 dẫn và T_4 ngưng, Y xuống thấp, khi T_2 ngưng thì T_3 ngưng và T_4 dẫn, ngõ ra Y lên cao. Tụ C_L nạp điện qua T_4 làm cho T_4 dẫn, kéo theo T_3 (dẫn), thời hằng mạch rất nhỏ và kết quả là thời trễ truyền nhỏ. Ngoài ra do T_3 & T_4 luân phiên ngưng tương ứng với 2 trạng thái của ngõ ra nên công suất tiêu thụ giảm đáng kể. Diod D có tác dụng nâng điện thế cực B của T_4 lên để bảo đảm khi T_3 ngưng.

Mạch này có khuyết điểm là không thể nối chung nhiều ngõ ra của các cổng khác nhau vì có thể gây hư hỏng khi các trạng thái logic của các cổng này khác nhau.

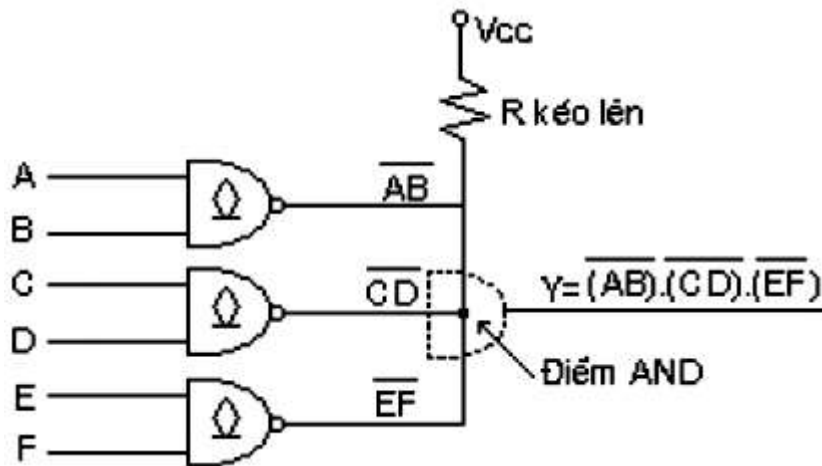
• **Ngõ ra cực thu để hở, hình 5.5**

- Cho phép kết nối các ngõ ra của nhiều cổng khác nhau, nhưng khi sử dụng phải mắc một điện trở từ ngõ ra lên nguồn V_{CC} , gọi là **điện trở kéo lên**, trị số của điện trở này có thể được chọn lớn hay nhỏ tùy theo yêu cầu có lợi về mặt công suất hay tốc độ làm việc.



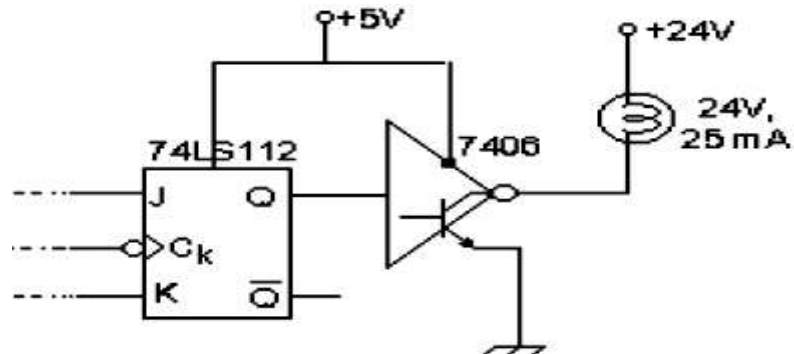
Hình 5.5: mạch logic có ngõ ra cực thu để hở

Điểm nối chung của các ngõ ra có tác dụng như một cổng AND nên ta gọi là điểm AND (H 5.6). - Người ta cũng chế tạo các IC ngõ ra có cực thu để hở cho phép điện trở kéo lên mắc vào nguồn điện thế cao, dùng cho các tải đặc biệt hoặc dùng tạo sự giao tiếp giữa họ TTL với CMOS dùng nguồn cao.



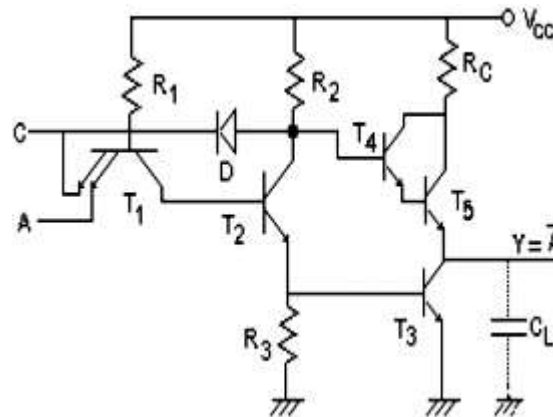
Hình 5.6

Ví dụ : IC 7406 là loại cổng đảo có ngõ ra cực thu để hở có thể mắc lên nguồn 24 V (H 5.7).

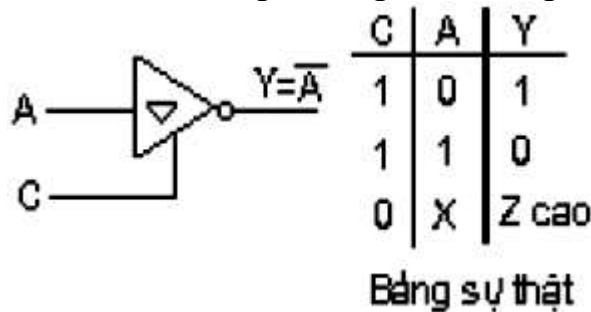


Hình 5.7

- Ngõ ra ba trạng thái



Hình 5.8: Mạch logic có ngõ ra 3 trạng thái



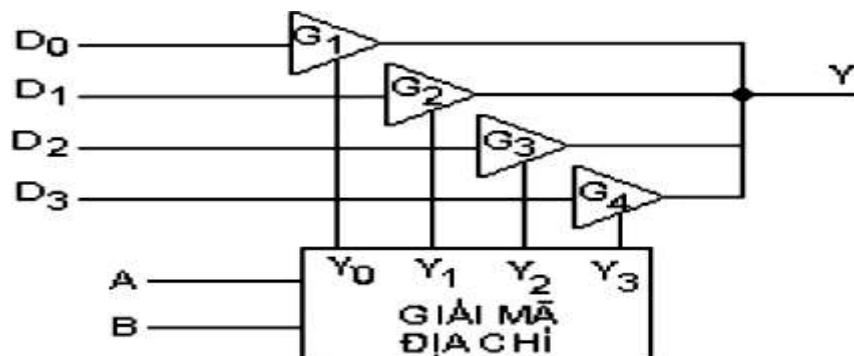
Hình 5.9: Bảng trạng thái có ngõ ra 3 trạng thái

Mạch (H 5.9) là một cổng đảo có ngõ ra 3 trạng thái, trong đó T_4 & T_5 được mắc Darlington để cấp dòng ra lớn cho tải. Diod D nối vào ngõ vào C để điều khiển. Hoạt động của mạch giải thích như sau:

- Khi $C=1$, Diod D ngưng dẫn, mạch hoạt động như một cổng đảo
- Khi $C=0$, Diod D dẫn, cực thu T_2 bị ghim áp ở mức thấp nên T_3 , T_4 và T_5 đều ngưng, ngõ ra mạch ở trạng thái tổng trở cao.

Ký hiệu của cổng đảo ngõ ra 3 trạng thái, có ngõ điều khiển C tác động mức cao và bảng trạng thái cho ở (H 5.9)

Hình 5.10 là một ứng dụng của cổng đếm có ngõ ra 3 trạng thái: Mạch chọn dữ liệu



Hình 5.10

Vận chuyển: Ứng với một giá trị địa chỉ AB, một ngõ ra mạch giải mã địa chỉ được tác động (lên cao) cho phép một cổng mở và dữ liệu ở ngõ vào cổng đó được truyền ra ngõ ra.

Ví dụ: khi $AB = 00$, $Y_0 = 1$ ($Y_1=Y_2=Y_3=0$) G_1 mở, D_0 truyền qua G_1 đến ngõ ra, trong lúc G_2, G_3, G_4 đóng, có ngõ ra ở trạng thái Z cao, không ảnh hưởng đến hoạt động của mạch.

1.3. Nhận dạng, đặc điểm, các thông số cơ bản

1.3.1. Nhận dạng TTL

Các IC số họ TTL được sản xuất lần đầu tiên vào năm 1964 bởi hãng Texas Instrument Corporation của Mỹ, lấy số hiệu là 74XXXX & 54XXXX. Sự khác biệt giữa 2 họ 74XXXX và 54XXXX chỉ ở hai điểm:

74: $V_{cc}=5 \pm 0,5$ V và khoảng nhiệt độ hoạt động từ 0°C đến 70°C , dùng trong dân sự hay thương mại

54: $V_{cc}=5 \pm 0,25$ V và khoảng nhiệt độ hoạt động từ -55°C đến 125°C , dùng trong quân sự hay công nghệ cao.

- TTL loại thường 74XX:

Loại này được ra đời sớm nhất ngay từ năm 1964, là sản phẩm của tập đoàn Texas Instruments. Ngày nay vẫn còn dùng. Loại này dung hoà giữa tốc độ chuyển mạch và mát mát năng lượng (công suất tiêu tán). Nền tảng bên trong mạch thường là loại ngõ ra cột chạm như đã nói ở phần trước. Một số kí hiệu cho cổng logic loại này như 7400 là IC chứa 4 cổng nand 2 ngõ vào, 7404 là 6 cổng đảo,... Cần để ý là khi tra IC, ngoài mã số chung đầu là 74, 2 số sau chỉ chức năng logic, còn có một số chữ cái đứng trước mã 74 để chỉ nhà sản xuất như SN là của Texas Instrument, DM là của National Semiconductor,...

- TTL công suất thấp 74LXX và TTL công suất cao 74HXX

Loại 74LXX có công suất tiêu tán giảm đi 10 lần so với loại thường nhưng tốc độ chuyển mạch cũng giảm đi 10 lần. Còn loại 74HXX thì tốc độ gấp đôi loại thường nhưng công suất cũng gấp đôi luôn. Hai loại này ngày nay không còn được dùng nữa, công nghệ schottky và công nghệ CMOS (sẽ học ở bài sau) đã thay thế chúng

- TTL schottky 74SXX và 74LSXX

Hai loại này sử dụng công nghệ schottky nhằm tăng tốc độ chuyển mạch như đã nói ở phần trước. Với loại 74LSXX, điện trở phân cực được giảm xuống đáng kể so với loại 74SXX nhằm giảm công suất tiêu tán của mạch. 74LSXX được coi là **chủ lực** của họ TTL trong những năm 1980 và ngày nay mặc dù không còn là loại tốt nhưng nó vẫn còn sử dụng phổ biến.

- *TTL shorttky tiên tiến 74ASXX và 74ALSXX*

Hai loại này được phát triển từ 74SXX và 74LSXX nhưng có thêm nhiều sửa đổi mới trong mạch do đó có nhiều đặc điểm nổi bật hơn hẳn các loại trước

- Có hoạt động logic và chân ra nói chung là giống như các loại trước
- Chống nhiễu và ổn định cao hơn trong suốt cả khoảng nhiệt độ chạy
- Dòng ngõ vào giảm đi một nửa
- Sức thúc tải gấp đôi
- Tần số hoạt động tăng lên trong khi công suất tiêu tán lại giảm xuống

Điểm mạnh của nó thì có nhiều nhưng giá thành còn khá cao, nên chúng dùng chưa rộng rãi bằng 74LSXX, thường được dùng trong máy vi tính hay các ứng dụng đòi hỏi tần số cao.

- *TTL nhanh 74FXX*

Đây là loại TTL mới nhất sử dụng kỹ thuật làm mạch tích hợp kiểu mới nhằm giảm bớt điện dung giữa các linh kiện hầu rút ngắn thời gian trễ do truyền, tức tăng tốc độ chuyển mạch. Loại này do hãng Motorola sản xuất và thường được dùng trong máy vi tính nơi cần tốc độ rất rất nhanh.

Bảng sau so sánh một số thông số chất lượng của các loại TTL kể trên

Thông số kỹ thuật	74	74L	74H	74S	74LS	74AS	74ALS	74F
Thời trễ truyền (ns)	9	33	6	3	9,5	1,7	4	3
Công suất tiêu tán (mW)	10	1	23	20	2	8	1,2	6
Tích số công suất vận tốc (pJ)	90	33	138	60	19	13,6	4,8	18
Tần số xung C_K max (MHz)	35	3	50	125	45	200	70	100
Fan Out (cùng loại)	10	20	10	20	20	40	20	33
Điện thế (V_{DC}): Volt								
$V_{OH}(\min)$								
$V_{OL}(\max)$	2,4	2,4	2,4	2,7	2,7	2,5	2,5	2,5
$V_{IH}(\min)$	0,4	0,4	0,4	0,5	0,5	0,5	0,4	0,5
$V_{IL}(\max)$	2,0	2,0	2,0	2,0	2,0	2,0	2,0	2,0
	0,8	0,7	0,8	0,8	0,8	0,8	0,8	0,8

Theo kiểu ngõ ra, như đã tìm hiểu ở trên TTL gồm loại:

- Ngõ ra cột chạp
- Ngõ ra cực thu để hở
- Ngõ ra 3 trạng thái

Ngoài ra cũng có một số loại TTL được chế tạo dùng cho chức năng riêng như cổng đệm, cổng thúc, cổng nẩy schmitt trigger, cổng AOI,...

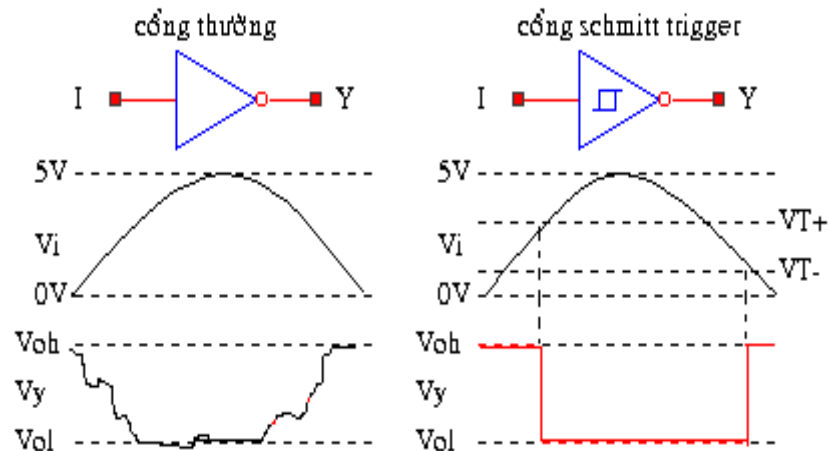
Cổng đệm cổng thúc: là những cổng mạch logic có cấu trúc không khác mấy các loại cổng logic thông thường nhưng được tích hợp sẵn transistor ở bên trong nhờ đó áp ra lẫn dòng ra đều có thể tăng, ta có thể dùng để giao tiếp với tải có áp lên đến 30V hay dòng lên hàng chục mA

Một số cổng đệm thúc là loại có ngõ ra cực thu để hở cho phép ta chọn điện trở kéo lên phù hợp với tải như đã thấy ở phần trước

Một số cổng đệm thúc là loại có ngõ ra 3 trạng thái, nhiều cổng song song dùng cho truyền dữ liệu, phát thu bus-đệm thúc bus 2 chiều

Nhiều cổng đệm thúc không thực hiện chức năng logic mà đơn giản chỉ để đệm và thúc cho tải

Cổng nẩy schmitt trigger hình 5.11: là loại cổng logic cho phép chuyển trạng thái dứt khoát giữa mức cao và mức thấp. Với cổng logic thường khi tín hiệu vào có chuyển tiếp chậm thì tín hiệu ra thường có thể bị rung. Với cổng nẩy schmitt thì không. Khi tín hiệu chuyển tiếp từ mức thấp lên mức cao nếu đạt tới 1 áp ngưỡng V_{T+} thì lập tức tín hiệu ra lên cao. Còn khi tín hiệu chuyển tiếp từ mức cao xuống thấp nếu đạt đến 1 áp ngưỡng V_{T-} thì lập tức tín hiệu ra xuống mức thấp. V_{T+} phải lớn hơn V_{T-} . Chính sai khác giữa V_{T+} và V_{T-} còn gọi là độ trễ mà cổng nẩy schmitt có thể giảm ảnh hưởng của nhiễu rất nhiều. Cổng nẩy schmitt có thể dùng làm mạch chuyển mức tín hiệu từ cảm biến hồng ngoại thành tín hiệu mức logic kích cho mạch đếm trong ứng dụng mạch đếm sự kiện mà ta sẽ tìm hiểu ở chương 3, hay nó cũng có thể dùng để chuyển dạng sóng sin khi đã giảm áp thành sóng vuông mức TTL.



Hình 5.11 Cổng NOT Schmitt trigger và giản đồ tín hiệu

Cũng chế tạo từ các transistor lưỡng cực, ngoài TTL còn có các dạng mạch khác được sử dụng hạn chế nhưng cũng có những đặc điểm riêng được nói đến ở đây bao gồm:

- HTL (high threshold logic) vì mạch số mức ngưỡng cao. HTL có điện áp ngưỡng khá cao khoảng 7 đến 8 V nên mức tạp âm cho phép lớn, sức chống nhiễu sẽ cao nhưng mà tốc độ chuyển mạch của HTL khá chậm so với TTL. HTL được sử dụng ở các thiết bị điều khiển công nghiệp nơi cần độ tin cậy cao mà tốc độ cũng không lớn lắm

- ECL (emitter coupled logic) vì mạch số ghép cực emitter chung. ECL có tốc độ chuyển mạch rất rất nhanh, sức chịu tải lớn, tạp âm bên trong thấp nhưng mức tạp âm cho phép lại nhỏ, mất mát năng lượng lớn, mức điện áp ra thay đổi theo nhiệt độ.

- I²C (integrated injection logic) vì mạch số tích hợp phun

Để thỏa mãn nhu cầu về vi mạch cỡ lớn (LSI), người ta cố gắng tăng hết cỡ độ tích hợp của vi mạch. Trên miếng bán dẫn Si (vd 6x6 mm) cần phải đặt được hết mức số phần tử logic. Muốn thế thì, một là mỗi phần tử logic phải đơn giản về mạch và chỉ chiếm diện tích nhỏ, hai là tiêu hao công suất của mỗi phần tử logic phải càng nhỏ để tiêu hao công suất tổng của miếng Si trong giới hạn cho phép. Cổng TTL không thỏa mãn điều kiện này.

Đầu những năm 70, I²L được nghiên cứu thành công để sản xuất vi mạch cỡ LSI. Mỗi phần tử logic của I²L chỉ chiếm diện tích rất nhỏ, cỡ 0,0026mm² và dòng điện làm việc chỉ dưới 1nA; độ tích hợp đến 500 cổng /1mm² (độ tích hợp của mạch TTL cỡ 20 cổng/1mm²).

Điểm mạnh nổi bật của I²L là đơn giản, áp thấp, dòng cực nhỏ, độ tích hợp cao. Còn cái dở chính của nó là tốc độ đóng mở khá chậm và biên độ điện áp ra nhỏ.

Một số IC chứa cổng logic thông dụng:

Loại ngõ ra cột chạm :

7400/LS00 : 4 NAND 2 ngõ vào
 7410/LS10 : 3 NAND 3 ngõ vào
 7420/LS20 : 2 NAND 4 ngõ vào
 7430/LS30 : 1 NAND 8 ngõ vào
 7402/LS02 : 4 NOR 2 ngõ vào
 7427/LS27 : 3 NOR 3 ngõ vào
 7404/LS04 : 6 NOT
 7408/LS08 : 4 AND 2 ngõ vào
 7411/LS11 : 3 AND 3 ngõ vào
 7421/LS21 : 2 AND 4 ngõ vào
 7432/LS32 : 4 OR 2 ngõ vào

7425 : 2 OR 4 ngõ vào

7486/LS86 : 4 EXOR 2 ngõ vào

[Loại Ngõ Ra Cột Chạm, Nảy Schmitt Trigger](#)

74132/LS132 : 4 NAND 2 ngõ vào

7413/LS13 : 2 NAND 4 ngõ vào

7414/LS14 : 6 NOT

[Loại ngõ ra cực thu để hở :](#)

7401/LS01 : 4 NAND 2 ngõ vào

7403/LS03 : 4 NAND 2 ngõ vào

7412/LS12 : 3 NAND 3 ngõ vào

7422/LS22 : 2 NAND 4 ngõ vào

7405/LS05 : 6 NOT

7409/LS09 : 4 AND 2 ngõ vào

74LS15 : 3 AND 3 ngõ vào

74LS266 : 4 EXOR 2 ngõ vào

[Loại đệm ra cột chạm](#)

7437/LS37 : 4 NAND 2 ngõ vào

7440/LS40 : 2 NAND 4 ngõ vào

7428/LS28 : 4 NOR 2 ngõ vào

[Loại đệm thúc, ra cực thu để hở](#)

7406 : 6 NOT, áp 30V

7407 : 6 đệm thúc, áp 30V

7417 : 6 đệm thúc, áp 15V

7418 : 6 NOT, áp 15V

7426/LS26 : 4 NAND 2 ngõ vào, áp 15V

7438/LS38 : 4 NAND 2 ngõ vào

7433/LS33 : 4 OR 2 ngõ vào

[Loại đệm thúc ra 3 trạng thái](#)

74125/LS125 : 4 đệm, thúc bus

74126/LS126 : 4 đệm, thúc bus

74ls244 : 8 đệm, thúc bus

[Loại đệm, thúc 2 chiều \(phát thu\)](#)

74LS234 : 4 phát thu

74LS245 : 8 phát thu

1.3.1. Đặc điểm và các thông số cơ bản

a. Đặc tính điện

Đây là những thông tin đi kèm với IC ở dạng tờ dữ liệu để cho việc sử dụng IC chính xác hiệu quả.

Vì có nhiều loại TTL khác nhau nên các đặc tính điện của chúng cũng khác nhau, tùy loại. Có thể xem chi tiết ở sách dữ liệu (data book) hay bảng dữ liệu (data sheet),... Có 4 loại đặc tính kỹ thuật của một IC bao gồm:

Các định trị tối đa tuyệt đối (absolute maximum ratings): đây là những giá trị ngưỡng đỉnh mà ta không vượt qua vì sẽ làm hư IC.

Các điều kiện hoạt động khuyến cáo (Recommended operating conditions): thường chỉ nói đến áp nuôi V_{CC} , điện thế ra mức cao V_{OH} , điện thế ra mức thấp V_{OL} , khoảng nhiệt độ. Đây là các trị số mà ta không nên vượt qua vì sẽ không bảo đảm hoạt động logic bình thường cho các IC.

Các đặc tính điện (Electrical characteristics) trong khoảng nhiệt độ cho phép: nhiều đặc tính điện cần cho việc sử dụng, thiết kế mạch logic.

Các đặc tính chuyển mạch (Switching characteristics): thường ghi ở điện thế cấp điện $V_{CC} = 5V$ và nhiệt độ phòng 20 độ C. Đây là các đặc tính nói đến các trì hoãn cũng như các thời tăng, thời giảm khi chuyển mạch. Các thông số này phụ thuộc vào tải ở ngõ ra nhất là điện dung của tải.

Các bảng dưới đây liệt kê đặc tính của loạt 74XX và 74LSXX hay được dùng, các đặc tính của các loại khác hay của từng IC cụ thể có thể xem trong bảng dữ liệu của IC

- Các định trị tối đa tuyệt đối:

Điện thế cung cấp $V_{CC} : 7 V$

Điện thế vào $V_{IOL} : 7 V$

Khoảng nhiệt độ hoạt động $T_A : 0$ đến 740 độ C

Khoảng nhiệt độ lưu trữ $T_s : -65$ độ C đến 150 độ C

- Các điều kiện hoạt động khuyến cáo:

Thông số	Nhóm 74			Nhóm 74			Đơn vị
	Min	Nom	Max	Min	Nom	Max	
Áp cấp V_{CC}	4,75	5	5,25	4,75	5	5,25	V
Dòng ra mức cao I_{OH}			-400			-400	uA
Dòng ra mức thấp I_{OL}			16			8	mV
Khoảng t_0 hoạt động T_A	0		70	0		70	°C

Trong đó :

Min : trị nhỏ nhất

Nom : trị bình thường

Max : trị lớn nhất

Typ : trị điển hình

- Đặc tính điện trong khoảng nhiệt độ hoạt động:

Thông số	Nhóm 74			Nhóm 74			Đơn vị
	Min	Nom	Max	Min	Nom	Max	
Điện thế vào mức cao V_{IH}	2			2		0,8	V
Điện thế vào mức thấp V_{IL}			0,8			3,5	V
Điện thế ra mức cao V_{OH}	2,4	3,4		2,5		0,5	V
Điện thế ra mức thấp V_{OL}		0,2	0,4		0,25	0,1	V
Dòng điện vào khi $V_I = V_{CC}$			1			20	mA
Dòng vào mức cao I_{IH}			40			0,4	uA
Dòng vào mức thấp I_{IL}			-1,6			-	mA
Dòng ra ngắn mạch I_{OS}	-1,8		-55	-20		100	mA

- Đặc tính chuyển mạch ở $V_{cc} = 5V$ TA 25 độ C

Loại 74	Điều kiện thử		Nhóm 74			Nhóm 74		
	$C_L(pF)$	$R_L(\Omega)$	Min	Nom	Max	Min	Nom	Max
00, 10	15	400		11	22		7	15
04, 20	15	400		12	22		8	15
30	15	400		13	22		8	15
LS00, LS04	15	2000		9	15		10	15
LS10, LS20	15	2000		9	15		10	15
LS30	15	2000		9	15		10	20

Các cổng logic và các mạch logic khác không phải cổng cũng có các đặc tính ngõ vào ngõ ra như trên, tuy nhiên cũng có nhiều cổng, nhiều mạch đặc biệt có đặc tính khác xa.

Cũng nên lưu ý rằng các dòng ra ghi ở trước là dòng khi phải bảo đảm điện thế nằm trong khoảng điện thế quy định, nếu không thì dòng có thể lớn hơn rất nhiều.

Với mỗi một cổng logic hay 1 mạch chứa cổng logic đó, khi đánh giá, sử dụng chúng ta cần quan tâm tới những thông số và đặc tính chính của chúng

b. Nguồn nuôi và công suất tiêu tán

V_{cc} : điện áp nguồn cấp cho IC.

I_{cc} : Dòng điện mà các mạch trong IC tiêu thụ từ nguồn.

Vậy năng lượng mà IC sẽ dùng là $P = V_{cc} \cdot I_{cc}$. Với I_{cc} là dòng trung bình khi các cổng hoạt động ở mức cao và mức thấp. Năng lượng này không phải là được

sử dụng có ích hết mà sẽ bị mất đi một phần ở dạng nhiệt do phải đốt nóng các điện trở, transistor khi mạch hoạt động, nó được gọi là công suất tiêu tán.

Khi không chuyển mạch, nguồn vẫn phải cung cấp để đảm bảo phân cực cho mạch do đó vẫn có mất mát một ít năng lượng, đó là công suất tĩnh.

Khi hoạt động chuyển mạch, năng lượng bị mất đó được quy về công suất động, nếu tần số càng cao, mạch chuyển mạch càng nhiều thì nó phải lớn lên. Công suất tiêu tán chung sẽ là tổng của hai loại mất mát trên:

$$P = P_s + P_d$$

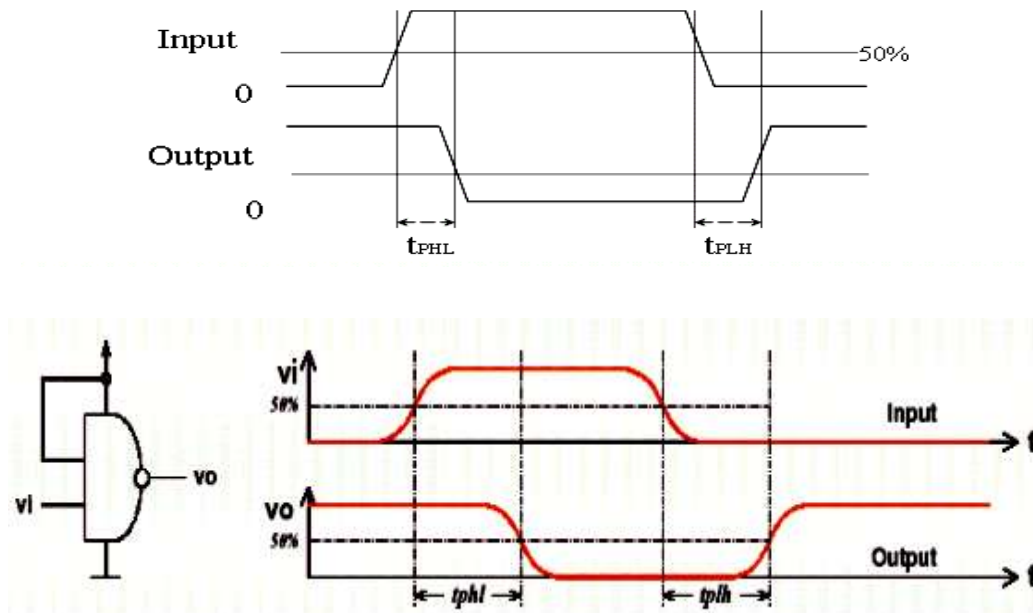
P_s của các cổng logic tính chung khoảng 10mW

Công suất tiêu tán được nói đến để đánh giá chất lượng của IC, rõ ràng nếu mạch logic nào có nó thấp thì được đánh giá cao hơn, nhưng cũng có một tiêu chuẩn khác cần quan tâm là tốc độ chuyển mạch của cổng.

c. Tốc độ chuyển mạch

Ta biết rằng cấu tạo của cổng logic cũng chỉ là các linh kiện điện tử, transistor ngắt dẫn cần phải có thời gian do đó nếu ngõ vào của cổng logic thay đổi trạng thái thì chắc chắn ngõ ra không thể thay đổi ngay được, thời gian đó rất nhỏ, được gọi là thời gian chuyển tiếp và sai biệt về thời gian giữa sự thay đổi logic ngõ ra so với ngõ vào được gọi là trì hoãn truyền

Đặc tính chuyển mạch của 1 cổng NOT mạch TTL được minh họa như hình 5.12.



Hình 5.12: Đặc tính chuyển mạch của một cổng NOT

Trong đó :

t_{PHL} : thời gian chuyển tiếp cạnh xuống

t_{PLH} : thời gian chuyển tiếp cạnh lên

Khi trì hoãn truyền t_{PHL} hay t_{PLH} bằng đúng nửa chu kì tín hiệu thì cổng logic sẽ không còn tác dụng nữa (chẳng hạn với cổng NOT sẽ không còn đảo chính xác được). Điều này đặt giới hạn lên tần số thay đổi dữ liệu ngõ vào gọi là tần số tín hiệu tối đa f_{max} .

Ta có $f_{max} = 1/2t_{PLH}$

Điều này có nghĩa là f_{max} càng cao thì cổng càng chuyển mạch tốt, nhanh, nhưng nếu vượt qua f_{max} (giá trị quy định trong tờ dữ liệu của nhà sản xuất) thì mạch sẽ hoạt động sai logic.

Để đánh giá chính xác giữa các loại cổng người ta đã liên kết cả hai đặc tính công suất tiêu tán và tốc độ chuyển mạch lại thành tích số tốc độ - công suất. Nếu tích này càng nhỏ thì cổng càng tốt và thích hợp với nhiều ứng dụng tốc độ cao hay công suất tiêu tán thấp hay cả hai.

d. Tham số về áp và dòng

- V_{IH} (min): điện áp đầu vào mức cao, mức áp nhỏ nhất mà cổng logic có thể hiểu là mức cao (1).

- V_{IL} (max): điện áp đầu vào mức thấp, mức áp lớn nhất mà cổng logic có thể hiểu là mức thấp (0) ở ngõ vào.

- V_{OH} (min): điện thế đầu ra ở mức cao, mức áp nhỏ nhất mà cổng logic cho ra khi ở mức cao.

- V_{OL} (max): điện thế đầu ra ở mức thấp, mức áp lớn nhất mà cổng logic cho ra khi ở mức thấp.

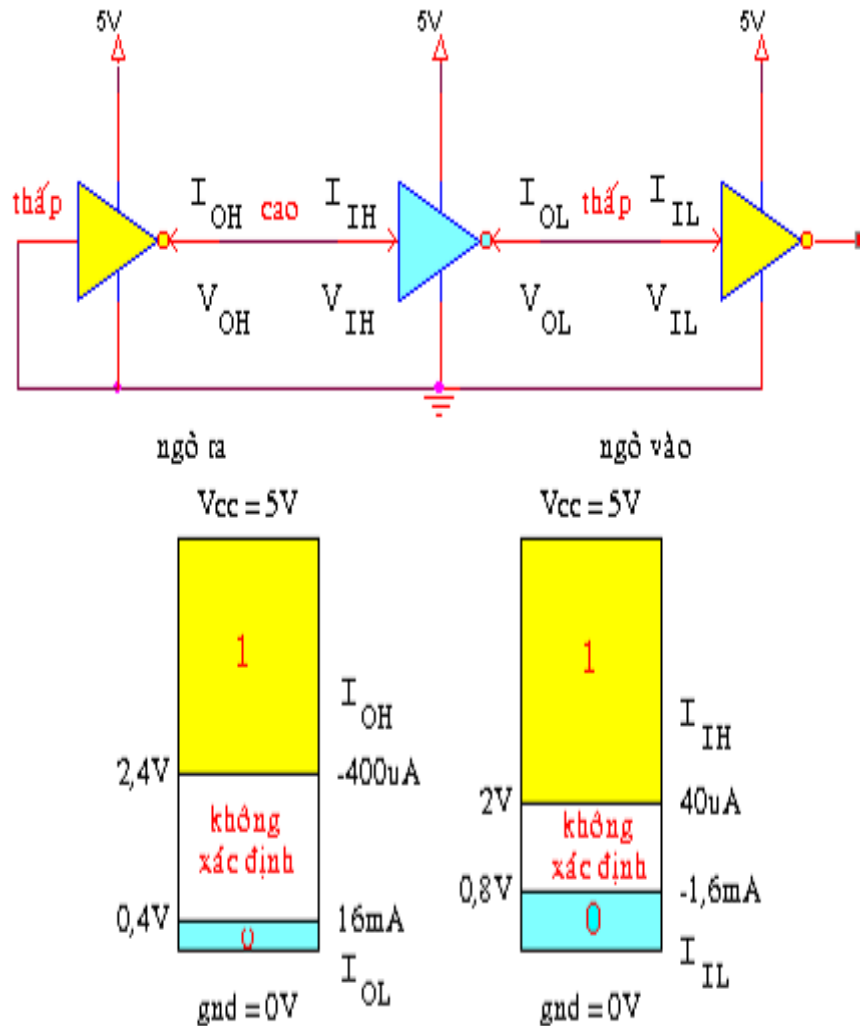
- I_{IH} : dòng điện đầu vào mức cao, là dòng sinh ra khi đầu vào cổng logic đang ở cao.

- I_{IL} : dòng điện đầu vào mức thấp, là dòng sinh ra khi đầu vào cổng logic đang ở thấp.

- I_{OH} : dòng điện đầu ra mức cao, là dòng sinh ra khi đầu ra cổng logic đang ở cao.

- I_{OL} : dòng điện đầu ra mức thấp, là dòng sinh ra khi đầu ra cổng logic đang ở thấp.

Các giá trị điển hình của các dòng áp vào ra của một cổng logic loại chuẩn có thể được tóm tắt như hình 5.13:



Hình 5.13: Tham số về dòng và áp

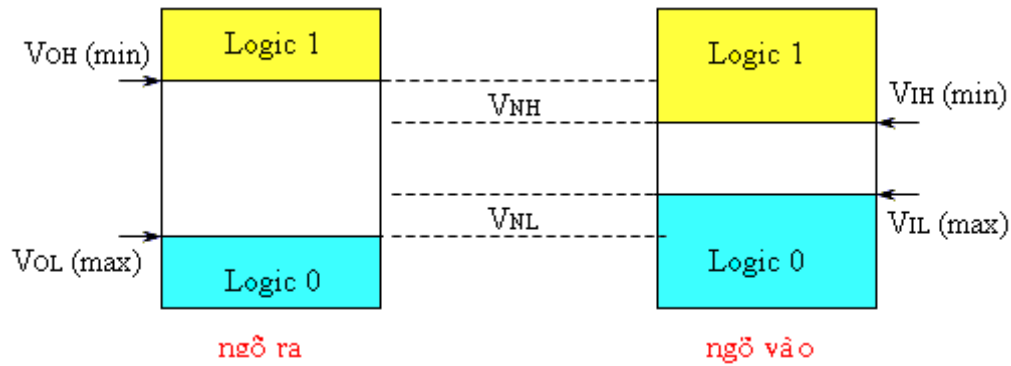
Lưu ý về chiều dòng điện nếu mang dấu “-” thì tức là chỉ dòng chảy ra từ mạch. Giá trị các dòng điện thường thay đổi theo tải, nếu vượt quá trị điển hình (chẳng hạn I_{OH} vượt quá 0,4mA thì áp mức cao V_{OH} sẽ bị tụt xuống dưới 2,4V rơi vào vùng bất định, và khi này mạch có thể không hiểu được mức logic ngõ ra đó là cao hay thấp, tức là hoạt động logic sẽ bị sai.

e. Tính chống nhiễu :

Đôi khi các điện áp và dòng điện vào ra cổng logic đã được đảm bảo ngoài vùng bất định nhưng mạch vẫn có thể hoạt động sai logic, đó là do ảnh hưởng của nhiễu gồm nhiễu từ bên ngoài thâm nhập vào (sấm sét, đóng tắt cầu dao điện, bugi xe, đèn tube khởi động...) tạo điện từ trường cảm ứng vào mạch hay nhiễu phát sinh ra chính bên trong mạch đặc biệt là các xung nhọn xuất hiện trên đường tiếp điện trong mạch do các chuyển tiếp mạch tạo nên. Chính những nhiễu

biên độ âm hay dương này chồng lên mức logic 0 hay 1 có thể làm điện thế toàn thể thay đổi lớn tạo ra sự nhầm lẫn giữa logic 0 và 1.

Chính vì thế mà các cổng logic cũng được so sánh ở khả năng chống lại nhiễu này còn gọi là đặc tính kháng nhiễu. Ta tính đến nó ở trường hợp không có tải, giao tiếp giữa 2 cổng logic, hình 5.14



Hình 5.14: Đặc tính nhiễu

Hiệu $V_{OH}(\min) - V_{IH}(\min)$ gọi là lề nhiễu mức cao V_{NH}

Hiệu $V_{IL}(\max) - V_{OL}(\max)$ gọi là lề nhiễu mức thấp V_{NL}

Ví dụ 1: Chẳng hạn 1 cổng logic có thông số như bảng sau :

Bảng thông số của một cổng logic

Thông số	Tối đa	Điện hình	Tối thiểu	Đơn vị
V_{OH}	2,4	3,4		V
V_{OL}	2	0,2	0,4	V
V_{IH}	2			V
V_{IL}			0,8	V

Thì lề nhiễu được tính như sau :

$$V_{NH} = V_{OH}(\min) - V_{IH}(\min) = 2,4V - 2V = 0,4V$$

$$V_{NL} = V_{IL}(\max) - V_{OL}(\max) = 0,8V - 0,4V = 0,4V$$

Ví dụ 2: cho các thông số của 1 dạng cổng 74LSXX, tính toán lề nhiễu cho mạch:

Thông số	74LS
$V_{IH}(\min)$	2V
$V_{IL}(\max)$	0,8V
$V_{OH}(\min)$	2,7V
$V_{OL}(\max)$	0,4V

$$V_{NH} = V_{OH}(\min) - V_{IH}(\min) = 2,7V - 2V = 0,7V$$

$$V_{NL} = V_{IL}(\max) - V_{OL}(\max) = 0,8V - 0,4V = 0,4V$$

f. Hệ số tải (số toả ra: Fan Out)

Các thông số dòng áp vào ra này cũng còn liên quan tới một thông số khác đó là hệ số tải fan out, tức là với áp ra như vậy thì cổng logic này có thể lái được tối đa bao nhiêu cổng logic cùng loại khác. Với loạt TTL thường thì fan out là 10, với các loại TTL khác nhau thì fan out khác nhau đơn cử một cổng logic TTL có thông số như sau:

$$I_{OH}(\max) = 400\mu A$$

$$I_{OL}(\min) = 8mA$$

$$I_{IH}(\max) = 20\mu A$$

$$I_{IL}(\min) = 100mA$$

$$\text{Thì số toả ra ở mức cao là } 400\mu A / 20\mu A = 20$$

$$\text{Số toả ra ở mức thấp là } 8mA / 100\mu A = 80$$

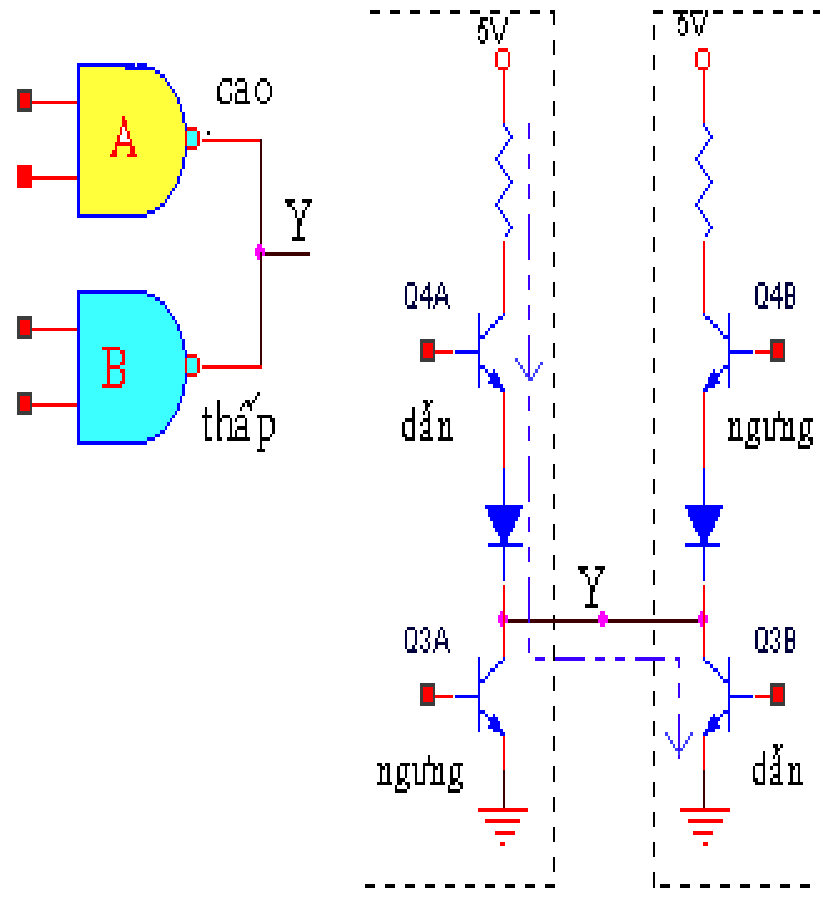
Vậy số toả ra chung sẽ là 20 nghĩa là 1 cổng logic loại này sẽ thúc được 20 cổng logic khác cùng loại với nó.

Hệ số tải và các thông số dòng áp vào ra ở trên được coi là thông số nền tảng để tính toán sự giao tiếp giữa các mạch TTL khác loại hay giữa một TTL và các mạch logic khác như CMOS.

Một vấn đề nữa cần đặt ra ở đây là liệu có thể nối chung ngõ ra cột chạm của nhiều cổng chung lại với nhau hay không? Việc nối chung một số ngõ ra lại với nhau là để tạo logic mới và cũng để giải quyết việc truyền nhiều tín hiệu logic, từng lúc một đến một nút chung để rồi từ đó đi các nơi. Hãy xét một trường hợp cụ thể như hình 5.18 dưới đây :

Ở hình hình 5.15, ngõ ra của 2 cổng được nối chung lại. Xem trường hợp ngõ ra của mạch A ở cao, ngõ ra của mạch B ở thấp, lúc bấy giờ thì 2 transistor Q4A và Q3B dẫn mạnh khiến dòng điện qua chúng có thể vượt trên vài chục mA làm chúng nóng lên hay hư. Tình huống như trên sẽ xấu hơn khi có nhiều ngõ hơn nối lại với nhau. Nếu transistor không bị hư, hệ thức logic giữa các ngõ vào và ngõ ra chung cũng không đảm bảo.

Vì lí do này các nhà sản xuất đã làm ra 2 loại mạch TTL khác cho phép nối chung các ngõ ra lại với nhau ,đó là mạch TTL với ngõ ra cực thu để hở (with open collector output) và mạch TTL với ngõ ra 3 trạng thái (three state output hay tri state output).



Hình 5.15: Cách nối hai cổng

2. Cấu trúc và thông số cơ bản của CMOS

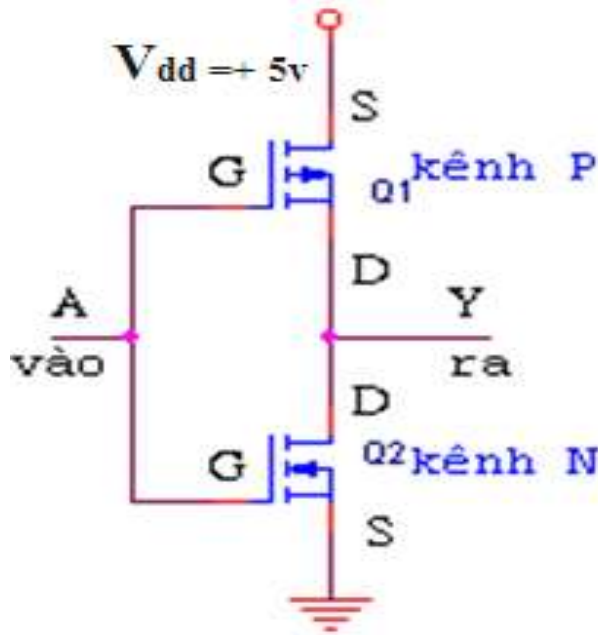
- *Mục tiêu: Phân biệt được các sơ đồ, thông số cũng như các thông số của CMOS.*

CMOS (Complementary MOS) có cấu tạo kết hợp cả PMOS và NMOS trong cùng 1 mạch nhờ đó tận dụng được các thế mạnh của cả 2 loại, nói chung là nhanh hơn đồng thời mất mát năng lượng còn thấp hơn khi dùng rời từng loại một. Cấu tạo cơ bản nhất của CMOS cũng là một cổng NOT gồm một transistor NMOS và một transistor PMOS như hình 5.16

Các transistor MOS dùng trong IC số cũng chỉ hoạt động ở một trong 2 trạng thái: dẫn hoặc ngưng.

- Khi dẫn, tùy theo nồng độ pha của chất bán dẫn mà transistor có nội trở rất nhỏ (từ vài chục Ω đến hàng trăm $K\Omega$) tương đương với một khóa đóng.

- Khi ngưng, transistor có nội trở rất lớn (hàng $10^{10}\Omega$), tương đương với một khóa hở.



Hình 5.16: Cấu tạo của một cổng loại CMOS

Hoạt động của mạch cũng tương tự như ở NMOS. Khi ngõ vào (nối chung cực cổng 2 transistor) ở cao thì chỉ có Q1 dẫn mạnh do đó áp ra lấy từ điểm chung của 2 cực máng của 2 transistor sẽ xấp xỉ 0V nên ngõ ra ở thấp.

Khi ngõ vào ở thấp Q1 sẽ ngắt còn Q2 dẫn mạnh, áp ra xấp xỉ nguồn, tức ngõ ra ở mức cao.

Đề ý là khác với cổng NOT của NMOS, ở đây 2 transistor không dẫn cùng một lúc nên không có dòng điện từ nguồn đổ qua 2 transistor xuống mass nhờ đó công suất tiêu tán gần như bằng 0. Tuy nhiên khi 2 transistor đang chuyển mạch và khi có tải thì sẽ có dòng điện chảy qua một hay cả 2 transistor nên khi này công suất tiêu tán lại tăng lên.

Trên nguyên tắc cổng đảo, cũng giống như trước bằng cách mắc song song hay nối tiếp thêm transistor ta có thể thực hiện được các cổng logic khác (hình 5.17). Chẳng hạn mắc chòong 2 NMOS và mắc song song 2 PMOS ta được cổng NAND. Còn khi mắc chòong 2 PMOS và mắc song song 2 NMOS ta được cổng NOR.

Nguyên lý:

Cổng NAND:

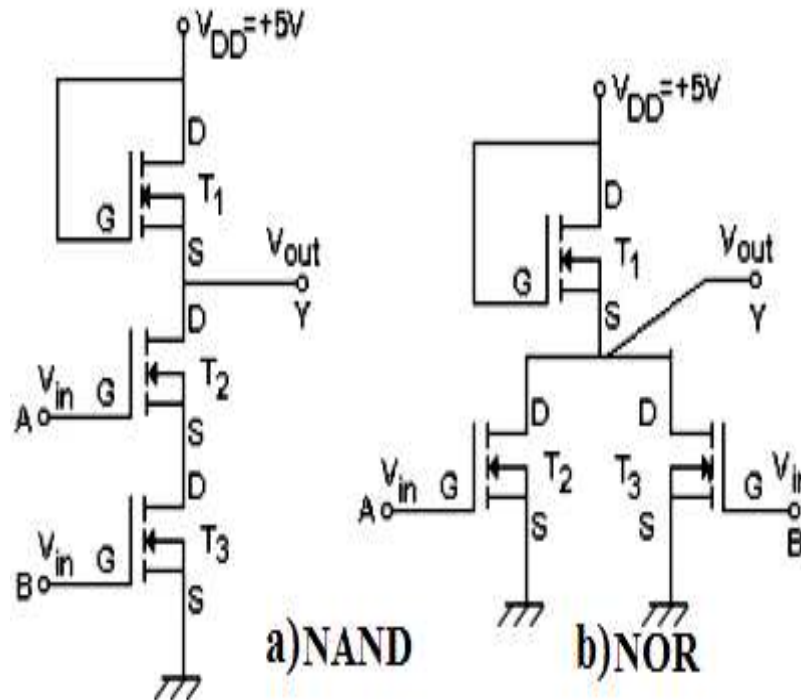
- Khi 2 ngõ vào nối lên mức cao, T_2 và T_3 dẫn, ngõ ra xuống thấp.
- Khi có 1 ngõ vào nối xuống mức thấp, một trong 2 transistor T_2 hoặc T_3 ngưng, ngõ ra lên cao.

Đó chính là kết quả của cổng NAND 2 ngõ vào.

Cổng NOR:

- Khi 2 ngõ vào nối xuống mức thấp, T_2 và T_3 ngưng, ngõ ra lên cao.
- Khi có 1 ngõ vào nối lên mức cao, một trong 2 transistor T_2 hoặc T_3 dẫn, ngõ ra xuống thấp.

Đó chính là kết quả của cổng NOR 2 ngõ vào.



Hình 5.17: Cách mắc các cổng NAND và NOR

2.1. Đặc trưng của các vi mạch số họ CMOS

Tốc độ chuyển mạch: chậm hơn so với loại TTL do điện trở đầu vào khá cao đồng thời bị ảnh hưởng bởi tải dung tính mà nó thúc

Giới hạn nhiễu khoảng 1,5V với nguồn 5V và sẽ tăng tỉ lệ khi nguồn cấp tăng. Như vậy là tính kháng nhiễu kém hơn TTL

Hệ số tải: về lí thuyết là rất lớn do trở đầu vào của mạch rất lớn, tuy nhiên, nếu tần số hoạt động càng cao (trên 100KHz) thì điện dung sinh ra có thể làm suy giảm thời gian chuyển mạch kéo theo giảm khả năng giao tiếp tải. So với TTL thì NMOS vẫn có hệ số tải cao hơn hẳn trung bình là 50 cổng cùng loại.

2.2. Cấu trúc CMOS của các cổng logic cơ bản

Có nhiều loại IC logic CMOS với các đóng vỏ (package) và chân ra giống như các loại TTL. Ở các IC có quy mô tích hợp nhỏ SSI vỏ DIP (dual inline package): với hai hàng chân thẳng hàng 14 hay 16 chân là hay được dùng hơn cả.

- CMOS cũ họ 4000, 4500

Hãng RCA của Mỹ đã cho ra đời loại CMOS đầu tiên lấy tên CD4000A. Về sau RCA có cải tiến để cho ra loạt CD4000B có thêm tầng đệm ra, về sau nữa hãng lại bổ sung thêm loạt CD4500, CD4700.

Hãng Motorola (Mỹ) sau đó cũng cho ra loạt CMOS MC14000, MC14000B, MC14500 tương thích với sản phẩm cũ của RCA.

- Loại 74CXX

Đây là loại CMOS được sản xuất ra để tương thích với các loại TTL về nhiều mặt như chức năng, chân ra nhưng khoản nguồn nuôi thì rộng hơn. Các đặc tính của loại này tốt hơn loại CMOS trước đó một chút tuy nhiên nó lại ít được sử dụng do đã có nhiều loại CMOS sau đó thay thế loại CMOS tốc độ cao 74HCXX và 74HCTXX. Đây là 2 loại CMOS được phát triển từ 74CXX.

74HCXX có dòng ra lớn tốc độ nhanh hơn hẳn 74CXX, tốc độ của nó tương đương với loại 74LSXX, nhưng công suất tiêu tán thì thấp hơn. Nguồn cho nó là từ 2 đến 6 V.

Còn 74HCTXX chính là 74HCXX nhưng tương thích với TTL nhiều hơn như nguồn vào gần giống TTL : 4,5V đến 5,5V. Do đó 74HCTXX có thể thay thế trực tiếp cho 74LSXX và giao tiếp với các loạt TTL rất bình thường.

Ngày nay 74HC và 74HCT trở thành loại CMOS hay dùng nhất mà lại có thể thay thế trực tiếp cho loại TTL thông dụng.

- Loại CMOS tiên tiến 74AC, 74ACT

Loại này được chế tạo ra có nhiều cải tiến cũng giống như bên TTL, nó sẽ hơn hẳn các loại trước đó nhưng việc sử dụng còn hạn chế cũng vẫn ở lí do giá thành còn cao.

Chẳng hạn cấu trúc mạch và chân ra được sắp xếp hợp lí giúp giảm những ảnh hưởng giữa các đường tín hiệu vào ra do đó chân ra của 2 loại này thì khác chân ra của TTL.

Kháng nhiễu, trì hoãn truyền, tốc độ đồng hồ tối đa đều hơn hẳn loại 74HC, 74HCT.

Kí hiệu của chúng hơi khác một chút như 74AC11004 là tương ứng với 74HC04. 74ACT11293 là tương ứng với 74HCT293.

- Loại CMOS tốc độ cao FACT

Đây là sản phẩm của hãng Fairchild, loại này có tính năng trội hơn các sản phẩm tương ứng đã có.

- Loại CMOS tốc độ cao tiên tiến 74AHC, 74AHCT

Đây là sản phẩm mới đã có những cải tiến từ loại 74HC và 74HCT, chúng tận dụng được cả 2 ưu điểm lớn nhất của TTL là tốc độ cao và của CMOS là tiêu tán thấp do đó có thể thay thế trực tiếp cho 74HC và 74HCT.

Bảng sau cho phép so sánh công suất tiêu tán và trì hoãn truyền của các loại TTL và CMOS ở nguồn cấp điện 5V.

	Loại	$P_D(\text{mW})$	$t_D(\text{ns})$
TTL	74	10	10
	74s	20	3
	74LS	2	10
	74AS	8	2
	74ALS	2	4
	74F	4	3
CMOS	4000	0	100
	4500	0	100
	74C	0	50
	74HC	0	10
	74HCT	0	10
	74AC	0	3
	74ACT	0	3

Ngoài các loại trên công nghệ CMOS cũng phát triển một số loại mới gồm:

BiCMOS

Đây là sản phẩm kết hợp công nghệ lưỡng cực TTL với công nghệ CMOS nhờ đó tận dụng được cả 2 ưu điểm của 2 công nghệ là tốc độ nhanh và công suất tiêu tán thấp. Nó giảm được 75% công suất tiêu tán so với loại 74F trong lúc vẫn giữ được tốc độ và đặc điểm điều khiển tương đương. Nó cũng có chân ra tương thích với TTL và hoạt động ở áp nguồn 5V. Tuy nhiên Bi CMOS thường chỉ được tích hợp ở quy mô vừa và lớn dùng nhiều trong giao diện vì xử lý và bộ nhớ, như mạch chốt, bộ đệm, bộ điều khiển hay bộ thu phát.

Loại CMOS điện thế thấp

Đây là loại CMOS khá đặc biệt có áp nguồn giảm xuống chỉ còn khoảng 3V. Khi áp giảm sẽ kéo theo giảm công suất tiêu tán bên trong mạch nhờ đó mật độ tích hợp của mạch tăng lên, rồi tốc độ chuyển mạch cũng tăng lên điều này rất cần thiết trong các bộ vi xử lý bộ nhớ ... với quy mô tích hợp VLSI. Cũng có khá nhiều loại CMOS áp thấp, và đây là xu hướng của mai sau, ở đây chỉ nói qua về một số loại của hãng Texas Instruments

74LV (low voltage) : là loạt CMOS điện thế thấp tương ứng với các vi mạch số SSI và MSI của các công nghệ khác. Nó chỉ hoạt động được với các vi

mạch 3,3V khác. 74LVC (low voltage CMOS) : gồm rất nhiều mạch SSI và MSI như loạt 74. Nó có thể nhận mức 5V ở các ngõ vào nên có thể dùng để chuyển đổi các hệ thống dùng 5V sang dùng 3,3V khác. Nếu giữ dòng điện ở ngõ ra đủ thấp để điện thế ngõ ra nằm trong khoảng giới hạn cho phép, nó cũng có thể giao tiếp với các ngõ vào TTL 5V. Tuy nhiên áp vào cao V_{IH} của các CMOS 5V như 74HC hay 74AHC khiến chúng không thể được thúc từ các vi mạch LVC. 74ALVC (advanced low voltage CMOS) : là loạt CMOS điện thế thấp có cấp nhớt, chủ yếu để dùng cho các mạch giao diện bus hoạt động ở 3,3V. 74LVT (low voltage BiCMOS) : giống như 74LVC có thể hoạt động ở logic 5V và có thể dùng như mạch số chuyển mức 5V sang 3V

Bảng sau so sánh một số đặc tính của các loại CMOS áp thấp

Thông số	LV	LVC	ALVC	LVT
V_{CC}	2,7 đến 3,6V	2 đến 3,6	2,3 đến 3,6	2,7 đến 3,6
V_{IH}	2 đến $V_{CC} + 0,5$	2 đến 6,5	2 đến 4,6	2 đến 7
V_{IL}	0,8	0,8	0,8	0,8
I_{OH}	6	24	32	32
I_{OL}	6	24	64	64
Trì hoãn truyền	18	6,5	3	4

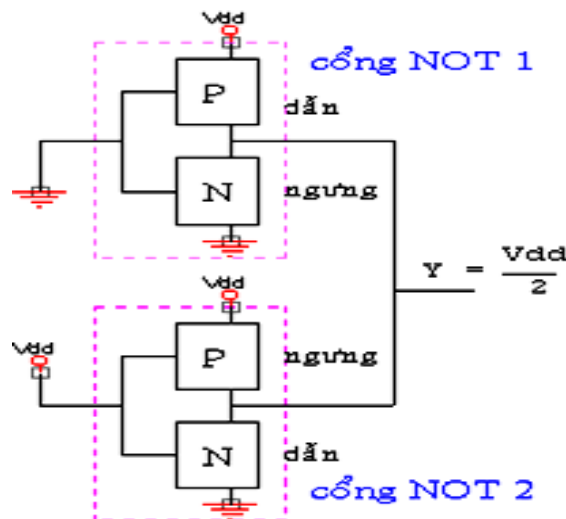
CMOS cực máng hở, CMOS ra 3 trạng thái và CMOS nẩy schmitt trigger

Tương tự như bên TTL, các cổng CMOS cũng có các loại ra hở máng, ra 3 trạng thái và nẩy schmitt trigger, vì có nhiều loại CMOS được sản xuất để tương thích và thay thế cho loại TTL tương ứng.

CMOS ra hở máng

Do dùng MOSFET nên ngõ ra không phải là cực thu mà là cực máng

Ở hình 5.18 trình bày hai cổng NOT CMOS thường có ngõ ra nối chung với nhau



Hình 5.18: Cổng NOT CMOS thường có ngõ ra chung với nhau

Nếu 2 đầu vào ở cao thì 2P ngắt, 2N dẫn ngõ ra mức **cao** bình thường. Nếu 2 đầu vào ở thấp thì 2P dẫn, 2N ngắt ngõ ra mức **thấp** bình thường.

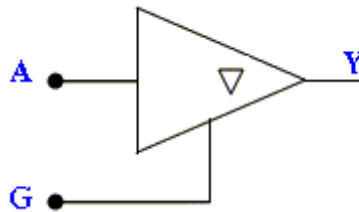
Nhưng nếu ngõ vào cổng 1 ở thấp còn ngõ vào cổng 2 ở cao thì P1 dẫn N1 ngắt, P2 ngắt N2 dẫn áp ngõ ra sẽ là nửa áp nguồn Vdd. Áp này rơi vào vùng bất định không thể dùng kích các tải được hơn nữa với áp Vdd mà cao, dòng dẫn cao có thể làm tiêu 2 transistor của cổng.

Vậy cách để cực D ra hở là hợp trong trường hợp này. Trong cấu trúc mạch sẽ không còn MOSFET kênh P nữa, còn MOSFET kênh N sẽ để hở cực máng D. Ta có thể nối các ngõ ra theo kiểu nối AND hay OR và tất nhiên là cũng phải cần điện trở kéo lên để tạo mức logic cao, giá trị của R kéo lên tính giống như bên mạch loại TTL.

CMOS ra 3 trạng thái

- Tương tự mạch bên TTL, mạch có thêm ngõ điều khiển G (hay C). G ở cao 2 cổng nand nối, nên $Y = A$, ta có cổng đệm không đảo. G ở thấp ngõ ra của 2 cổng nand lên cao làm PMOS và NMOS cùng ngưng dẫn và đây là trạng thái thứ 3 hay còn gọi là trạng thái trở kháng cao (high Z), lúc bấy giờ từ ngõ ra Y nhìn ngược vào mạch thì mạch như không có (điện trở ngõ ra Y lên nguồn và xuống mass đều rất lớn). Ngõ G cũng có thể tác động ở mức thấp

- Kí hiệu logic của mạch

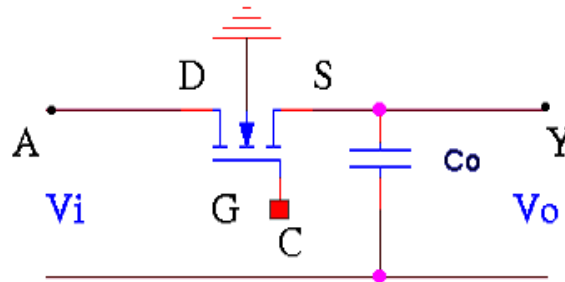


Hình 5.19 Ký hiệu logic

Cổng này schmitt trigger tương tự này schmitt trigger bên mạch TTL

- Cổng truyền dẫn CMOS (transmission gate :TG)

Đây là loại cổng logic mà bên công nghệ lưỡng cực không có; cổng truyền dẫn hoạt động như một công tắc đóng mở (số) để cho phép dữ liệu (dạng số) truyền qua lại theo cả 2 chiều. Trước hết là cấu tạo của cổng truyền NMOS, hình 5.20

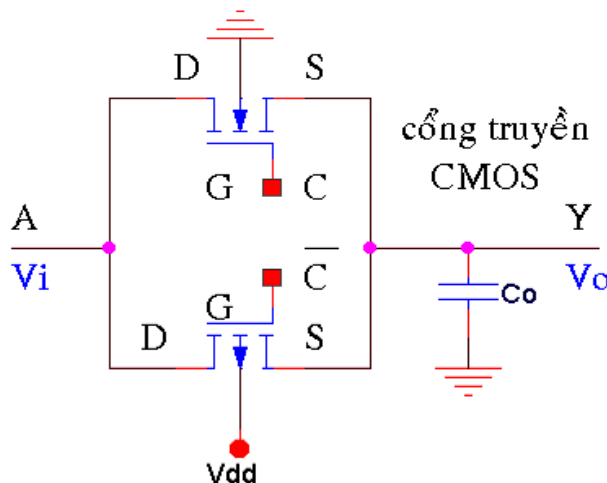


Hình 5.20 Cấu tạo cổng truyền NMOS

Tín hiệu truyền có thể là tương tự hay số miễn nằm trong khoảng 0 đến Vdd. Nhưng ở đây để dễ minh họa ta giả sử lấy nguồn cấp là 10V, áp ngưỡng của NMOS sẽ là 2V. Khi ngõ vào ở thấp, tụ sẽ không được nạp nên tất nhiên ngõ ra cũng là mức thấp. Khi ngõ vào ở cao mà đường khiển G vẫn ở thấp thì ngõ ra cũng vẫn ở thấp. Khi ngõ vào ở cao và G ở cao $\Rightarrow$ NMOS dẫn với áp ngưỡng 2V nên tụ nạp đầy đến 8V thì NMOS ngắt, ngõ ra có thể hiểu là mức cao, do đó tín hiệu đã được truyền từ trái sang phải

Khi này mà ngõ vào xuống mức thấp thì tụ sẽ xả qua NMOS do đó ngõ ra lên cao trở lại tức là dữ liệu đã truyền từ phải sang trái. Tuy nhiên ta có nhận xét là, khi bị truyền như vậy dữ liệu đã giảm biên độ đi mất 2V. Với mạch số có thể vẫn hiểu là mức cao mức thấp, còn với mạch tương tự thì như vậy là mất mát năng lượng nhiều rồi, và nó còn bị ảnh hưởng nặng hơn khi nhiều cổng truyền mắc nối tiếp nhau.

Cổng truyền CMOS, hình 5.21 cho thấy cấu trúc của 1 cổng truyền CMOS cơ bản dùng 1 NMOS và 1PMOS mắc song song, cũng với những giả sử như ở trên bạn sẽ thấy CMOS khắc phục được điểm dở của NMOS và chính nó đã được sử dụng rộng rãi ngày nay.

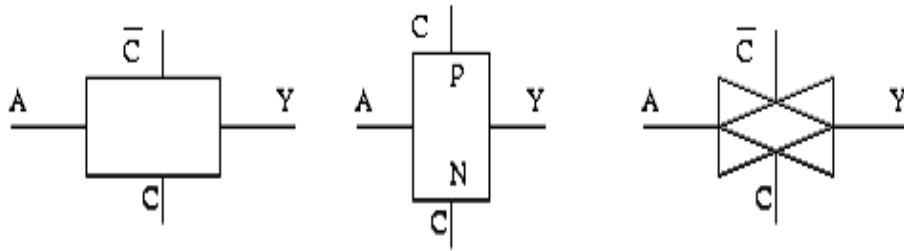


Hình 5.21 Cấu tạo một cổng truyền CMOS

Khi G ở thấp, không cho phép truyền. Khi G ở cao, nếu ngõ vào ở thấp ngõ ra không có gì thay đổi. Còn nếu ngõ vào ở cao thì cả 2 transistor đều dẫn dữ liệu truyền từ trái sang phải nạp cho tụ, ngõ ra ở mức cao nhưng có 1 điểm khác ở đây là khi tụ nạp đến 8V thì NMOS ngắt trong khi PMOS vẫn dẫn mạnh làm tụ nạp đủ 10V.

Khi ngõ ra đang ở 10V, ngõ G vẫn ở cao mà ngõ vào xuống thấp thì tụ sẽ xả ngược trở lại qua 2 transistor làm ngõ vào lên cao trở lại.

Các kí hiệu cho cổng truyền như hình 5.22



Hình 5.22 Ký hiệu các cổng truyền

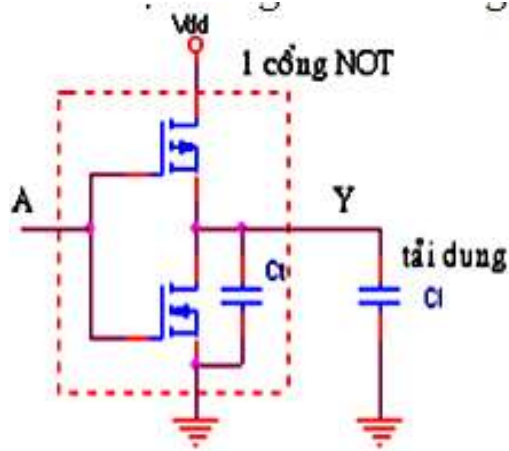
2.3. Các thông số cơ bản của các vi mạch số họ CMOS

Công suất tiêu tán

Khi mạch CMOS ở trạng thái tĩnh (không chuyển mạch) thì công suất tiêu tán PD của mạch rất nhỏ. Có thể thấy điều này khi phân tích mạch mạch cổng nand hay nor ở trước. Với nguồn 5V, PD của mỗi cổng chỉ khoảng 2,5nW.

Tuy nhiên PD sẽ gia tăng đáng kể khi cổng CMOS phải chuyển mạch nhanh. Chẳng hạn tần số chuyển mạch là 100KHz thì PD là 10 nW, còn $f=1\text{MHz}$ thì $PD=0,1\text{mW}$. Đến tần số cỡ 2 hay 3 MHz là PD của CMOS đã tương đương với PD của 74LS bên TTL, tức là mất dần đi ưu thế của mình.

Lý do có điều này là vì khi chuyển mạch cả 2 transistor đều dẫn khiến dòng bị hút mạnh để cấp cho phụ tải là các điện dung (sinh ra các xung nhọn làm biên độ của dòng bị đẩy lên có khi cỡ 5mA và thời gian tồn tại khoảng 20 đến 30 ns). Tần số chuyển mạch càng lớn thì sinh ra nhiều xung nhọn làm I càng tăng kéo theo P tăng theo. P ở đây chính là công suất động lưu trữ ở điện dung tải. Điện dung ở đây bao gồm các điện dung đầu vào kết hợp của bất kỳ tải nào đang được kích thích và điện dung đầu ra riêng của thiết bị như hình 5.23.



Hình 5.23 Ảnh hưởng của tải điện dung

Tốc độ chuyển mạch (tần số chuyển mạch)

Cũng giống như các mạch TTL, mạch CMOS cũng phải có trì hoãn truyền để thực hiện chuyển mạch. Nếu trì hoãn này làm t_{PH} bằng nửa chu kỳ tín hiệu vào thì dạng sóng vuông sẽ trở thành xung tam giác khiến mạch có thể mất tác dụng logic

Tuy nhiên tốc độ chuyển mạch của CMOS thì nhanh hơn hẳn loại TTL do điện trở đầu ra thấp ở mỗi trạng thái. Tốc độ chuyển mạch sẽ tăng lên khi tăng nguồn nhưng điều này cũng sẽ làm tăng công suất tiêu tán, ngoài ra nó cũng còn ảnh hưởng bởi tải điện dung.

Giới hạn tốc độ chuyển mạch cho phép làm nên tần số chuyển mạch tối đa được tính dựa trên t_{PH} .

Bảng hình 5.25 sau, cho phép so sánh f_{max} của một số loại cổng nand loại TTL với CMOS

Loại	CL(pF)	$T_{PHL}(ns)$	$T_{PHH}(ns)$	$f_{max}(MHz)$
74C00	15	100	100	5
74HC00	15	15	15	33
74LS00	15	5	15	33
74ALS00	50	13	9	38
74F	50	5	4,3	100

Hình 5.25

Trong việc sử dụng các IC logic CMOS ta phải biết nhiều đặc tính và giới hạn của chúng. Các đặc tính thông dụng như áp nuôi, số toả ra, khả năng dòng ra,... thường dễ vận dụng. Tất cả các IC logic đều dùng được ở nguồn nuôi 5V. Số toả ra với cùng loại logic ít nhất là gần chục trong lúc thường chỉ cần vài. Tuy nhiên đôi khi có nghi ngờ hay sử dụng ở trường hợp áp cấp V_{max} , f_{max} , tải thuần

dung thuần cảm... hay giao tiếp giữa các IC khác loại, khác áp nguồn, nói chung là các trường hợp đặc biệt. thì ta phải tham khảo tài liệu ở data sheet hay data book. Cũng như ở bên TTL, một số đặc tính chính của CMOS được nói đến ở đây là:

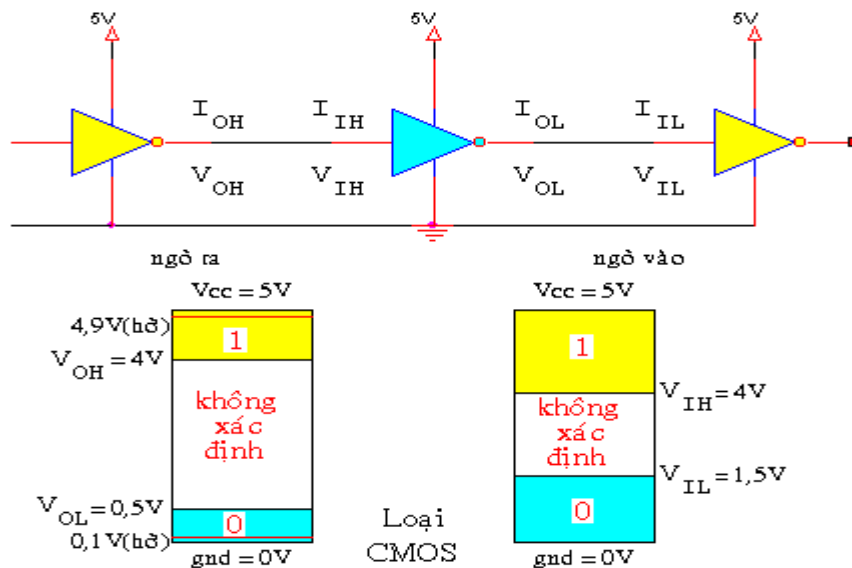
Áp nguồn nuôi ký hiệu là V_{dd} (khác với bên TTL ký hiệu là V_{cc}) rất khác nhau, do đó cần rất cẩn thận với nó, có thể dùng nguồn 5V là tốt nhất. Bảng hình 5.26 đưa ra các khoảng áp nguồn cho từng loại CMOS.

Loại CMOS	Áp nguồn nuôi
4000A,B, 4500	3 – 15V (có thể 18V)
14000A,B, 14500	3 – 15V (có thể 18V)
74C	3 – 15V (có thể 18V)
74HC	2 – 6V
74HCT	4,5 – 5,5V

Hình 5.26

Điện áp vào và ra của các loại CMOS

Cũng giống như bên TTL về ký hiệu, tên gọi nhưng ở bên CMOS có phức tạp hơn do nguồn nuôi cho các loại IC thì khác nhau, ta chỉ có thể rút ra tương đối ở điều kiện nguồn $V_{dd} = 5V$. Hình và bảng ở hình 5.27 nêu ra các thông số áp ra và vào. Riêng loại 74HCT là CMOS tốc độ cao tương thích với TTL nên thông số cũng giống như bên TTL.



Thông số	4000B	74HC	74HCT	74AC	74ACT	74AHC	74AHCT
V_{IH} (min)	3,5	3,5	3	3,5	3	3,85	2
V_{OH} (max)	1,5	1	0,8	1,5	0,8	1,65	0,3
V_{IL} (min)	4,95	4,9	4,9	4,9	4,9	4,4	3,15
V_{OL} (max)	0,05	0,1	0,1	0,1	0,1	0,44	0,1

Hình 5.27 Thông số áp vào ra của CMOS

Dòng điện ngõ vào và ngõ ra

Bảng hình 5.28 so sánh dòng vào ra của một số loại CMOS với một số loại TTL

Loại	74	74LS	74LS	4000	74HC(T)
I_{IH}	40	20	20	<1	<1
I_{IL}	-1,6	400	100	<1	<1
I_{OH}	400	400	400	-500	-4000
I_{OL}	-16000	8000	8000	500	4000

Hình 5.28

Nói chung ta quan tâm đến dòng ra nhiều hơn vì đó là dòng ra max cho phép mà vẫn đảm bảo các mức logic ra đúng như ở phần trên. Còn các áp ra cũng chỉ quan tâm khi tính đến việc giao tiếp cổng khác loại khác áp nuôi.

Hệ số tải

Dòng ra của các CMOS khá lớn trong lúc điện trở vào của các CMOS lại rất lớn (thường khoảng 10¹² ohm) tức dòng vào rất rất nhỏ nên số toả ra rất lớn. Nhưng mỗi cổng CMOS có điện dung ngõ vào thường cũng khoảng 5pF nên khi có nhiều cổng tải mắc song song số điện dung tăng lên làm tốc độ chuyển mạch chậm lại khiến số toả ra ở tần số thấp (dưới 1MHz) là vài chục, còn ở tần số cao số toả ra giảm chỉ còn dưới 10.

Tính kháng nhiễu

Về đặc tính chuyển (trạng thái) nói chung các loại CMOS đều chuyển trạng thái khá dứt khoát trừ loại 4000A bởi vì chúng có tầng đệm ở trước ngõ ra

Về giới hạn nhiễu nói chung là tốt hơn các loại TTL. Tốt nhất là loại 4000A,B. Giới hạn nhiễu sẽ còn tốt hơn nếu ta tăng nguồn nuôi lớn hơn 5V, tuy nhiên lúc này tổn hao cũng vì thế tăng theo. Cách tính lề nhiễu mức cao và mức thấp vẫn như trước, tức là:

$$V_{NH} = V_{OH(min)} - V_{IH(min)}$$

$$V_{NL} = V_{IL(max)} - V_{IH(max)}$$

3. Giao tiếp TTL và CMOS

- Mục tiêu: Trình bày được giống và khác nhau giữa các sơ đồ, bảng trạng thái của TTL và CMOS. Ưu nhược điểm của các họ này.

3.1. TTL kích thích CMOS

3.1.1. Giữa TTL với CMOS họ 74HC, 74HCT

Ở mức thấp TTL có thể thúc được CMOS do $V_{OLmax}(TTL) < V_{ILmax}(CMOS)$ và $I_{OLmax}(TTL) > I_{ILmax}(CMOS)$

Ở mức cao TTL không thể thúc được CMOS do áp mức cao của TTL có khi chỉ còn 2,5 V trong khi CMOS chỉ chấp nhận áp mức cao không dưới 3,5V. nếu nối mạch thì hoạt động có thể sai logic.

Có 1 cách để khắc phục là dùng điện trở kéo lên ở ngõ ra của cổng TTL. Khi đó, qua điện trở R này, dòng từ nguồn sẽ nâng dòng vào CMOS nhờ đó áp ra mức cao TTL sẽ không quá thấp, CMOS sẽ hiểu được.

Chẳng hạn một cổng 74LS01 có $I_{OLmax} = 8mA$, $V_{OLmax} = 0,3V$ thúc một cổng 74HC00 có $V_{IHmin} = 3,5V$, $I_{IHmin} = 1\mu A$.

Khi 74LS01 ở mức thấp 0,3V thì nó sẽ nhận dòng hết mức là 8mA được cấp thông qua điện trở kéo lên (trong khi dòng I_{IHmin} chỉ có dưới 1 μA rất nhỏ), thế thì sẽ phải cần điện trở kéo lên có giá trị nhỏ nhất R_{min} .

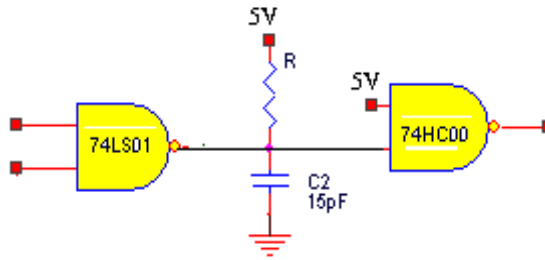
$$R_{min} = \frac{5V - 0.3V}{8mA} = 587,5\Omega$$

Còn khi ở mức cao 3,5V 74LS01 nhận dòng 100 μA và 74HC00 nhận dòng 1 μA . Vậy khi này điện trở kéo lên sẽ phải có giá trị max để hạn lại dòng cho 2 cổng :

$$R_{max} = \frac{5V - 3.3V}{100\mu A - 1\mu A} = 15K\Omega$$

Khi R_{max} đạt giá trị lớn nhất thì công suất tiêu tán max sẽ nhỏ nhất

Tụ C = 15pF được thêm vào để khi đang ở mức thấp 0,3V mà chuyển lên mức cao thì tụ sẽ nạp cho áp lên 3,5V để CMOS “hiểu”



Hình 5.29: Giao tiếp giữa TTL với CMOS

3.1.2 TTL thúc CMOS có áp nguồn cao hơn 5V

Cũng giống như ở trường hợp trên, nếu ra mức thấp thì TTL có thể thúc trực tiếp CMOS nhưng nếu ra mức cao $V_{OH}(TTL)$ chỉ có 2,7V đến 5V thì chắc chắn không thể thúc được CMOS vì khoảng áp này rơi vào vùng bất định của ngõ vào CMOS. Ta cũng phải dùng điện trở kéo lên, có thể dùng TTL ngõ ra cực thu để hỗ trợ cho trường hợp này.

3.2. CMOS kích thích TTL

Khi thúc tải ở mức cao thường $V_{OH}(CMOS) > V_{IH}(TTL)$ còn dòng nhận $I_{IH}(TTL)$ chỉ vài chục μA nên CMOS có thể thúc nhiều tải TTL.

Khi thúc TTL ở mức thấp thì rất phức tạp tùy loại.

CMOS cũ (4000) không thúc được TTL.

CMOS mới (74HC) thì có thể, số công thúc được tùy thuộc $V_{OL}(CMOS) > V_{IL}(TTL)$ và dòng tổng ngõ ra (CMOS) phải lớn hơn tổng các dòng ngõ vào I_{IL} của các tải TTL.

Như vậy, việc giao tiếp các cổng với nhau cũng rất đa dạng tùy thuộc yêu cầu người sử dụng. Một vấn đề khác cũng cần phải quan tâm là các IC giao tiếp nhau chung nguồn cấp hay giao tiếp cùng khoảng mức áp sẽ đảm bảo hoạt động hơn. Vì vậy có một số IC đã được sản xuất để phục vụ cho việc chuyển mức điện áp giao tiếp giữa CMOS với TTL hay CMOS 4000 với CMOS 74HC.

4. Giao tiếp giữa mạch logic và tải công suất

- *Mục tiêu: Giải thích được các sơ đồ, bảng trạng thái mã hóa của mạch. Ưu nhược điểm của nó khi có sự giao tiếp giữa các tải DC và AC về dòng và áp trong mạch.*

Tải hiện nay được sử dụng rất phong phú, nó có thể là R hay có tính cảm kháng, tải tuyến tính hay phi tuyến, tải ở áp thấp, dòng thấp hay là cao, xoay chiều hay một chiều. Các cổng logic được chế tạo ra có thể giao tiếp với hầu hết các loại tải nhưng các cổng đều có dòng thấp, áp thấp thì chúng thúc tải như thế nào? Tải có ảnh hưởng gì trở lại cổng logic không?

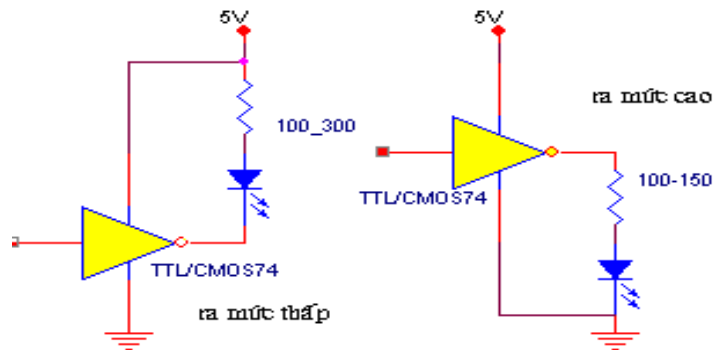
4.1. Giao tiếp với tải DC

Phần này sẽ trình bày một số khả năng của cổng logic khi giao tiếp với các loại tải khác nhau :

Led đơn rất hay được sử dụng để hiển thị ở các vi mạch điện tử, áp rơi trên nó dưới 2V, dòng qua khoảng vài mA do đó nhiều cổng logic loại TTL và CMOS 74HC/HCT có thể thúc trực tiếp led đơn

Tuy nhiên loại CMOS 4000, 14000 thì không thể do dòng vào ra mức cao và thấp đều rất nhỏ (dưới 1uA, và dưới 0,5mA) mặc dù chúng có thể hoạt động và cho áp lớn hơn loại 2 loại kia

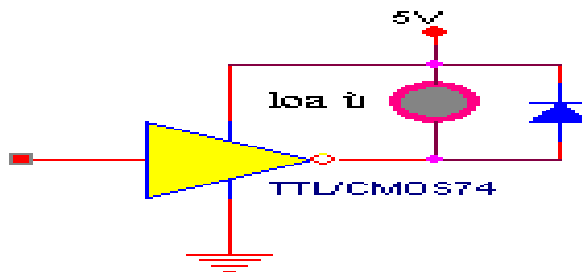
Mạch giao tiếp với led như hình 5.30:



Hình 5.30: Giao tiếp với LED

R là điện trở giới hạn dòng cho led, cũng tùy loại cổng logic được sử dụng mà R cũng khác nhau thường chọn dưới 330 ohm (điện áp $V_{CC}=5VDC$) tùy theo việc lựa chọn độ sáng của led.

Ngoài led ra các cổng logic cũng có thể thúc trực tiếp các loại tải nhỏ khác như loa gốm áp điện (loa thạch anh) có dòng và áp hoạt động đều nhỏ, đây là loại loa có khả năng phát ra tần số cao. Mạch thúc cho loa gốm như hình 5.31 dưới đây.



Hình 5.31: Cổng logic thúc loa

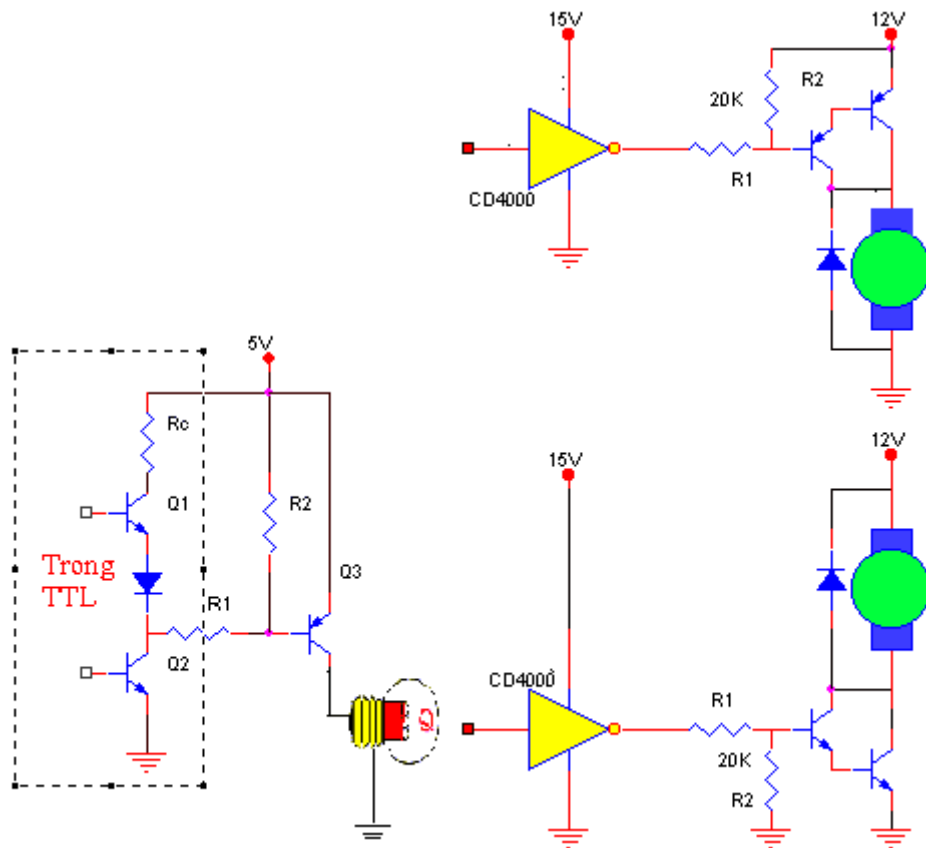
Lưu ý là loa gồm là tải có tính cảm kháng, khi công chuyển mạch có thể sinh dòng cảm ứng điện thế cao gây nguy hiểm cho transistor bên trong công vì vậy cần 1 diode mắc ngược với loa gồm để bảo vệ công.

Giao tiếp với tải lớn, hình 5.32

Do không đủ dòng áp để công logic thúc cho tải, mặt khác những thay đổi ở tải như khi ngắt dẫn độ ngột, khi khởi động... đều có thể gây ra áp lớn, dòng lớn đổ về vượt quá sức chịu đựng của tải nên cần có các phần trung gian giao tiếp, nó có thể là transistor, thyristor, triac hay opto coupler tùy theo mạch. Hãy xét một số trường hợp cụ thể :

a. Tải cần dòng lớn:

Do dòng lớn vượt quá khả năng của công nên có thể dùng thêm transistor khuếch đại lên, khi tác động mức thấp dùng transistor pnp còn khi tác động mức cao nên dùng transistor loại NPN



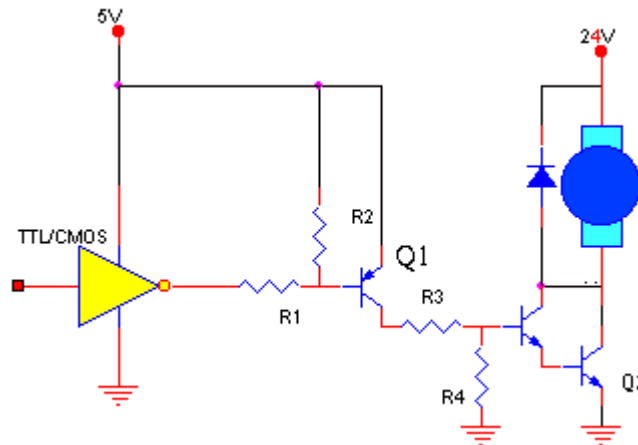
Hình 5.32: Giao tiếp với tải cần dòng lớn

Khi này cần tính toán các điện trở phân cực cho mạch. Giả sử tải cần dòng 100mA. Khi transistor dẫn bão hoà $\beta_s = 25$. Vậy tính dòng $I_B = I_C / 25 = 4\text{mA}$ và $R1 = (V_{cc} - V_{BE} - V_{CE}) / I_B \approx 1\text{K}$. R2 được thêm vào để giảm dòng rỉ khi transistor

ngung dẫn, R2 khoảng 10K. Trường hợp tải cần dòng lớn hơn nữa ta có thể dùng transistor ghép Darlington để tăng dòng ra

b. Tải cần áp lớn, hình 5.33

Khác với trường hợp tải cần dòng lớn, không thể dùng transistor làm tầng đệm vì cấu trúc logic cấu tạo bởi các transistor bên trong rất nhạy, áp ngược chịu đựng của chúng không lớn lắm nên với áp tải lớn có thể làm chết chúng thậm chí làm chết luôn cả transistor đệm ở bên ngoài. Giải pháp trong trường hợp này là phải dùng thêm 1 transistor khác làm nhiệm vụ cách ly áp cao từ tải với cổng logic, cũng có thể dùng cổng đệm thúc chịu áp cao như 7407.



Hình 5.33: Giao tiếp với tải cần áp lớn

Ở hình trên transistor cách ly điện thế Q1 hoạt động ở cùng điện thế như mạch TTL còn transistor thúc Q2 hoạt động ở điện áp theo yêu cầu của tải. Ở mức thấp Q1 dẫn để dòng vào Q2 làm nó dẫn và động cơ sẽ chạy. Trong mạch R1, R3 phân cực cho Q1, Q3 và quyết định dòng ra tải, còn R2, R4 dùng để giảm dòng rỉ, diode D để bảo vệ transistor Q2 không bị quá dV/dt ... Còn với cổng CMOS tác động mức thấp và cả mức cao khi thúc tải thì cũng tương tự. Transistor darlington được thay thế (như hình 5.2.14) nếu thấy cần phải dòng lớn cho tải.

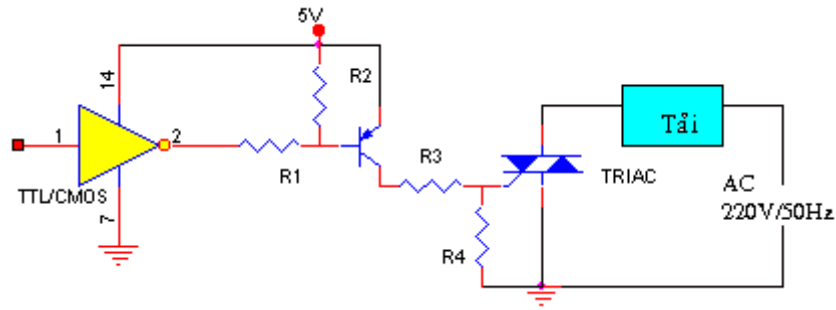
Riêng với cổng TTL tác động mức cao thì có thể không cần transistor cách ly cũng được nếu đủ dòng cho tải (do phân cực nghịch tiếp giáp BC). Tuy nhiên phải lưu ý rằng điện áp phân cực nghịch không được vượt quá giới hạn điện áp chịu đựng của mỗi nối BE (thông thường khoảng 60VDC).

4.2. Giao tiếp với tải AC, hình 5.34

Áp xoay chiều ở đây là áp lưới 220V/50Hz hay dùng, với giá trị lớn như vậy nên cần cách ly cổng logic với tải, một số linh kiện hay dùng để cách ly là

thyristor, triac, rơ le, ghép nối quang (opto coupler). Ở đây trình bày cách dùng thyristor và opto coupler. Cách dùng rơ le cũng giống như ở phần trước, với hai đầu cuộn dây rơ le ở bên transistor thúc còn chuyển mạch nằm bên tải.

Dùng triac: Transistor dùng đệm đủ dòng cho triac, các điện trở phân cực và mắc thêm để giảm dòng rỉ tính toán giống như trước. Triac được dùng cần quan tâm đến dòng thuận tối đa và điện áp nghịch đỉnh luôn nằm dưới giá trị định mức

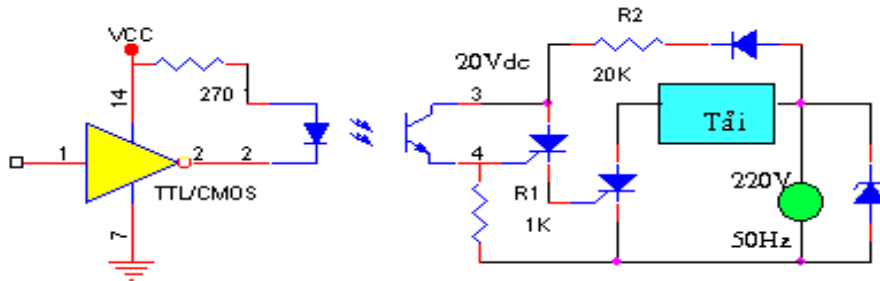


Hình 5.35: Giao tiếp với tải hoạt động ở điện áp xoay chiều

4.3. Giao tiếp sử dụng nối quang

Dùng kết nối quang, hình 5.36

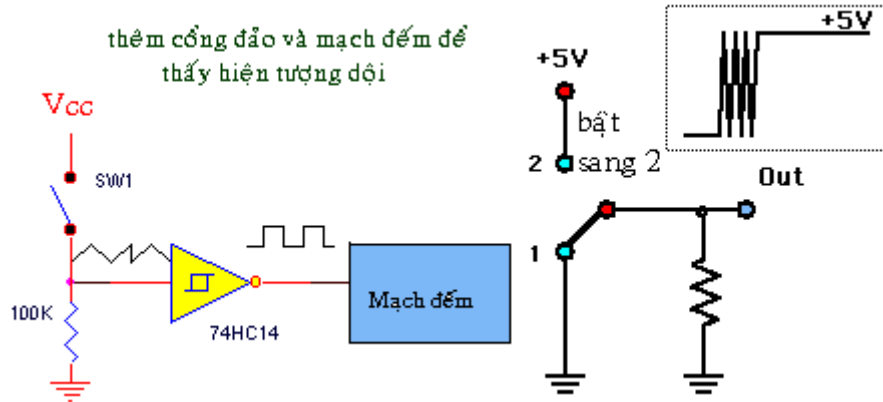
Cách này cách li hoàn toàn giữa mạch áp thấp và áp cao nhờ 1 opto couple như hình vẽ. Cổng logic tác động ở mức thấp làm opto dẫn kéo theo SCR được kích để mở tải. Áp 20VDC nuôi opto được chỉnh lưu từ nguồn xoay chiều, và ổn áp bởi diode zener. Mạch tác động mức cao cũng tương tự.



Hình 5.36: Giao tiếp dùng kết nối quang

4.4. Giao tiếp sử dụng rơ le, hình 5.37

Các công tắc thường sử dụng để đóng mở nguồn cấp tạo trạng thái logic cho cổng nhưng do làm dạng tiếp xúc cơ khí nên khi đóng mở sẽ sinh ra hiện tượng dội.



Hình 5.37: Giao tiếp với công tắc cơ khí

Với điện gia dụng như đèn quạt thì hiện tượng dội này không ảnh hưởng gì cả vì dội xảy ra rất ngắn chỉ khoảng vài ms, đèn quạt không kịp sáng tắt hay quay dừng hoặc nếu có đi thì mắt cũng không thể thấy được. Nhưng với các vi mạch điện tử, rất nhạy với những thay đổi rất nhỏ và rất nhanh như vậy. Hiện tượng dội nảy sinh là do khi ta đóng công tắc thì thật ra là đóng mở nhiều lần rồi mới đóng hẳn hay khi mở công tắc thì thực ra cũng là công tắc cũng bị hở và đóng nhiều lần trước khi hở hẳn.

5. Tính toán, lắp ráp một số mạch ứng dụng cơ bản

- *Mục tiêu: Kiểm tra lắp ráp đo đạt các thông số theo các sơ đồ, bảng trạng thái mã hóa và giải mã của các kênh. Ưu nhược điểm của nó.*

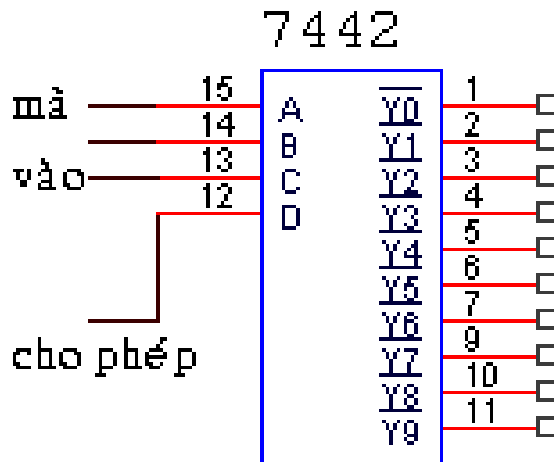
Mạch mã hoá

1. Ở mạch mã hoá 10 đường sang 4 đường, nếu đường thứ 8 được nhấn thì mã số ra là bao nhiêu? Với mã số ra là 1100 thì đường thứ mấy được nhấn ?
2. 74147 có thực hiện đúng như mạch mã hoá 10 đường sang 4 đường như ở ví dụ đã xét không? Hãy thêm các cổng logic vào để làm điều này. Thiết kế bàn phím 10 phím sử dụng mạch mã hoá ưu tiên 74LS147.
3. 74148 là IC mã hoá ưu tiên 8 đường sang 3 đường, hãy viết bảng trạng thái của IC này, nói rõ chức năng của chân IE, IO, GS. Hãy lấy 1 ví dụ ứng dụng IC này?

Mạch giải mã

4. Ở mạch giải mã 3 đường sang 8 đường, khi có thêm chân cho phép G, hãy viết biểu thức logic của các ngõ ra và vẽ mạch logic khi này.
5. Với IC 74LS42, nếu ngõ vào BCD là 1010 thì ngõ ra là gì?
6. Mạch giải mã 74LS42 không có ngõ vào cho phép. Tuy nhiên có thể dùng mạch giải mã 1 trong 8 bằng cách không dùng ngõ Y8 và Y9 và dùng ngõ

vào dữ liệu D như ngõ vào cho phép. Giải thích sự hoạt động của mạch như hình 5.38.



Hình 5.38

Sửa đổi mạch ở hình ví dụ sử dụng IC74LS45 để đèn sáng trong khoảng thời gian từ chu kì 3 đến chu kì 5 của xung ck và động cơ được mở trong khoảng từ chu kì 6 đến chu kì 9 của xung ck

7. Với mạch giải mã chấp nhận 32 tổ hợp đầu vào khác nhau thì sẽ cần bao nhiêu đầu vào và bao nhiêu đầu ra?

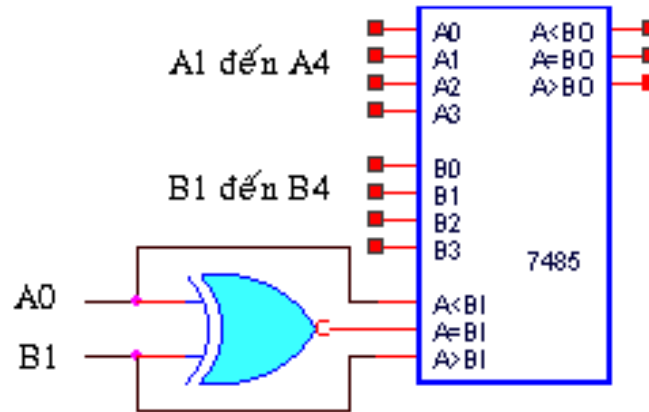
8. Muốn thúc hiển thị led 7 đoạn loại K chung thì có thể dùng IC nào cùng họ với 74LS47, hãy vẽ 1 mạch gồm IC đó và cả điện trở và led 7 đoạn K chung

9. Ở mạch giải mã BCD sang 7 đoạn, ví dụ 74LS47A, hãy viết biểu thức logic của các ngõ ra a, b, c, d, e, f, g theo các ngõ vào dữ liệu A, B, C, D (MSB) và các ngõ vào điều khiển LT, BI/RBO, RBI.

9. Mã 4 sang 16 được không?

❖ BÀI TẬP

1. Xác định đầu ra của 74HC85 với các đầu vào sau đây :
2. $A_3A_2A_1A_0 = B_3B_2B_1B_0 = 1001$, ngõ vào $A > B = A < B = 0$ và ngõ vào $A = B = 1$.
3. Chỉ cách nối các IC 74HC85 để so sánh hai số 10 bit.
4. Chứng tỏ cách thêm một cổng logic như ở hình vẽ 5.39 cho phép so sánh hai số 5 bit.



Hình 5.39

5. Ở ví dụ ứng dụng hình 2.3.6, thay vì dùng IC 555 và 74LS90 hãy dùng bộ dao động từ cổng logic hay mạch chốt và bộ mã hoá 10 sang 4 để cấp số so sánh $B_0B_1B_2B_3$. Hãy vẽ mạch, hoạt động của mạch có gì thay đổi so với ban đầu?

6. Thiết kế, ở dạng sơ đồ khối hoặc dùng các IC đã biết, mạch đếm số lượng hành khách lên tàu. Khi số khách đủ số tối đa $N=50$ thì hạ cổng không cho vào nữa nhưng khi số khách lên tàu từ 45 trở lên thì chớp đèn đỏ cho đến khi vừa đúng 50 thì đèn đỏ sáng liên tục. Một cảm biến theo sau bởi mạch nắn xung (ví dụ dùng mạch nắn Schmitt) để tạo xung vào mạch đếm để theo dõi số lượng khách lên tàu.

➤ YÊU CẦU VỀ ĐÁNH GIÁ KẾT QUẢ HỌC TẬP BÀI 5

✚ Nội dung:

- + Về kiến thức: Trình bày được khái niệm, cấu trúc và thông số giữa các mạch TTL và các CMOS, hiểu được chức năng của các họ của IC
- + Về kỹ năng: sử dụng thành thạo các dụng cụ đo để đo được các chân tín hiệu điện áp ở ngõ vào – ra của IC, lắp ráp một số mạch cơ bản,....
- + Về thái độ: Đảm bảo an toàn và vệ sinh công nghiệp.

✚ Phương pháp:

- + Về kiến thức: Được đánh giá bằng hình thức kiểm tra viết, trắc nghiệm.
- + Về kỹ năng: Đánh giá kỹ năng thực hành đo được các thông số trong mạch điện theo yêu cầu của bài, lắp ráp một số mạch cơ bản
- + Thái độ: Tỉ mỉ, cẩn thận, chính xác, ngăn nắp trong công việc.

BÀI 6

BỘ NHỚ

Mã Bài: MĐ28-06

Giới thiệu

Tính ưu việt chủ yếu của các hệ thống số so với hệ thống tương tự là khả năng lưu trữ một lượng lớn thông tin số và dữ liệu trong những khoảng thời gian nhất định. Khả năng nhớ này là điều làm cho hệ thống số trở thành đa năng và có thể thích hợp với nhiều tình huống.

Thí dụ trong một máy tính số, bộ nhớ trong chứa những lệnh mà theo đó máy tính có thể hoàn tất công việc của mình với sự tham gia ít nhất của con người.

Chúng ta đã quá quen thuộc với Fliflop, một linh kiện điện tử có tính nhớ. Chúng ta cũng đã thấy một nhóm các FF hợp thành thanh ghi để lưu trữ và dịch chuyển thông tin như thế nào. Các FF chính là các phần tử nhớ tốc độ cao được dùng rất nhiều trong việc điều hành bên trong máy tính, nơi mà dữ liệu dịch chuyển liên tục từ nơi này đến nơi khác.

Dữ liệu số cũng có thể được lưu trữ dưới dạng điện tích của tụ điện, và một loại phần tử nhớ bán dẫn rất quan trọng đã dùng nguyên tắc này để lưu trữ dữ liệu với mật độ cao nhưng tiêu thụ một nguồn điện năng rất thấp. Bộ nhớ bán dẫn được dùng như là bộ nhớ trong chính của máy tính, nơi mà việc vận hành nhanh được xem như ưu tiên hàng đầu và cũng là nơi mà tất cả dữ liệu của chương trình lưu chuyển liên tục trong quá trình thực hiện một tác vụ do CPU yêu cầu. Mặc dù bộ nhớ bán dẫn có tốc độ làm việc cao, rất phù hợp cho bộ nhớ trong, nhưng giá thành tính trên mỗi bit lưu trữ cao khiến cho nó không thể là loại thiết bị có tính chất lưu trữ khối (mass storage), là loại thiết bị có khả năng lưu trữ hàng tỉ bit mà không cần cung cấp năng lượng và được dùng như là bộ nhớ ngoài (đĩa từ, băng từ, CD ROM . . .). Tốc độ xử lý dữ liệu ở bộ nhớ ngoài tương đối chậm nên khi máy tính làm việc thì dữ liệu từ bộ nhớ ngoài được chuyển vào bộ nhớ trong.

Mục tiêu:

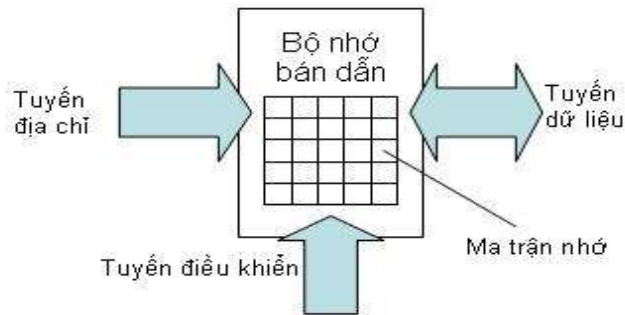
- Trình bày được cấu trúc, hoạt động, phân loại và phạm vi ứng dụng các bộ nhớ.
- Nêu được các ứng dụng của ROM, RAM trong kỹ thuật
- Đo kiểm, xác định lỗi chính xác một loại bộ nhớ trong thực tế
- Rèn luyện tính tỉ mỉ, chính xác, an toàn và vệ sinh công nghiệp

Các khái niệm cơ bản về bộ nhớ bán dẫn

Trên thực tế có rất nhiều dạng bộ nhớ, cụ thể như:

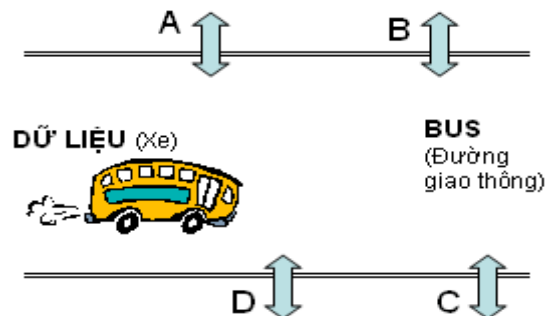
- Bộ nhớ cơ khí: hệ thống công tắc hình trống/cam...
- Bộ nhớ từ: đĩa cứng, đĩa mềm, băng từ ...
- Bộ nhớ quang: đĩa CD ROM, băng giấy đục lỗ ...

So với các bộ nhớ trên, bộ nhớ bán dẫn (H 6.1) có một số ưu điểm như tốc độ xử lý, kích thước nhỏ gọn, dễ dàng trong điều khiển việc truy xuất dữ liệu... Trong thực tế khi sử dụng bộ nhớ bán dẫn, người ta thường lưu ý các thông số sau:



Hình 6.1: Khôi sơ đồ bộ nhớ bán dẫn

- Các BUS là một tập hợp các dây dẫn được sử dụng để mang tín hiệu đi trao đổi thông tin giữa các thiết bị trong hệ vi xử lý. Để hình một máy tính 8 bit có các thanh ghi với độ rộng 8 bit và 8 đường trong 1 BUS dữ liệu. Một máy tính 16 bit có các thanh ghi 16 bit, BUS dữ liệu có 16 đường ... Có thể dùng hình ảnh đường giao thông để minh họa các BUS (Hình 6.2): trên đường giao thông có nhiều địa điểm như A, B, C, D ... Nếu chỉ dùng dây điện để nối (nối cứng) ta phải tốn rất nhiều đường dây để liên kết giữa các địa điểm lại với nhau nhưng khi đi trên đường, lái xe dù không thông thạo vùng này cứ đi dọc xa lộ là có thể tìm đến địa điểm cần đến. Rõ ràng với một BUS ta có thể liên kết nhiều thiết bị trong hệ vi xử lý lại với nhau (mỗi thiết bị có thể xem như một địa điểm trên đường giao thông còn xe mang thông tin trao đổi giữa các thiết bị trong hệ thống).



Hình 6.2: Minh họa BUS thông qua hình ảnh đường giao thông.

Dựa vào tính chất thông tin tải trên Bus, người ta phân làm ba loại chính:

- Tuyến địa chỉ: đây là bus 1 chiều, được sử dụng để xác định địa chỉ của vùng nhớ trong bộ nhớ bán dẫn, nơi mà bộ nhớ chọn để truy xuất dữ liệu.

- Tuyến điều khiển: đây là bus 1 chiều nhưng hình vẽ tổng quan thì xem như hai chiều. Tuyến này xác định việc đọc hay viết dữ liệu trên bộ nhớ bán dẫn. Cụ thể, dữ liệu được viết vào vùng nhớ được chọn hay từ đó xuất đi. Ngoài ra, cho phép bộ nhớ ngưng làm việc (treo: không dùng đến) cũng do tín hiệu trên tuyến điều khiển này quyết định.

- Tuyến dữ liệu: đây là bus 1 chiều với ROM và là 2 chiều với các bộ nhớ khác, được sử dụng để mang dữ liệu từ vùng nhớ được chọn bởi tuyến địa chỉ trong bộ nhớ đến các thiết bị khác như CPU, ROM, RAM và các cổng nhập/xuất (I/O) trong hệ thống.

- Thời gian truy xuất (Access Time) là thời gian cần thiết để thực hiện hoạt động đọc, nghĩa là thời gian từ lúc bộ nhớ nhận được địa chỉ mới ở đầu vào cho đến khi dữ liệu đã sẵn sàng cho đầu ra. Ký hiệu at hay t_{ACC} .

- Dung lượng (Capacity): Nói lên số bit tối đa có khả năng lưu trữ trong bộ nhớ. Ví dụ có một bộ nhớ lưu trữ được 2048 từ 8 bit. Như vậy bộ nhớ có dung lượng của bộ nhớ là 2048×8 , trong đó đại lượng thứ nhất (2048) là tổng số từ, và đại lượng thứ hai (8) là số bit trong mỗi từ (kích cỡ từ). Số từ trong bộ nhớ thường là bội số của 1024.

Đơn vị chuyển đổi như sau:

1 byte = 8 bit

1Kbyte = $2^{10} = 1024$ bit

1Mbyte = $2^{20} = 1,048,576$ bit

1Gbyte = $2^{30} = 1,073,741,824$ bit

- Ô nhớ (Memory Cell): là phần tử, linh kiện điện tử có khả năng lưu trữ một bit đơn (1 hay 0).

Ví dụ: Như flip – flop (FF), tụ tích điện, một vết trên băng từ.

- Từ nhớ (Memory Word): là một nhóm bit trong bộ nhớ biểu diễn các chỉ thị hay dữ liệu thuộc loại nào đó.

Ví dụ: Như thanh ghi gồm 8 Flip-Flop có thể xem như là bộ nhớ có khả năng nhớ 1 từ mã 8 bit. Kích cỡ từ trong một hệ thống điện tử số thường biến thiên trong khoảng 4 đến 64 bit.

7	0	1	1	1	1	1	1	0	1	1	0	1
8	1	0	0	0	0	0	1	1	1	1	0	0
9	1	0	0	1	1	1	1	1	1	1	1	1
10	1	0	1	0	1	0	1	1	1	0	0	0
11	1	0	1	1	1	1	0	0	0	1	1	1
12	1	1	0	0	0	0	1	0	0	1	1	1
13	1	1	0	1	0	1	1	0	1	0	1	0
14	1	1	1	0	1	1	0	1	0	0	1	0
15	1	1	1	1	0	1	0	1	1	0	1	1

Hình 6. 2 Bảng minh họa dữ liệu nhị phân mỗi địa chỉ

Địa chỉ		Dữ liệu
Từ	$A_3 A_2 A_1 A_0$	$D_7 - D_0$
0	0	DE
1	1	3A
2	2	8U5
3	3	AF
4	4	19
5	5	7B
6	6	00
7	7	ED
8	8	3C
9	9	FF
10	A	B8
11	B	C7
12	C	27
13	D	6A
14	E	D2
15	F	5B

Hình 6.3 Bảng minh họa dữ liệu tại mỗi địa chỉ với hệ thập lục phân.

Hoạt động đọc

Để đọc một từ dữ liệu từ ROM, ta phải làm như sau: áp đầu vào địa chỉ thích hợp, sau đó kích hoạt đầu vào điều khiển.

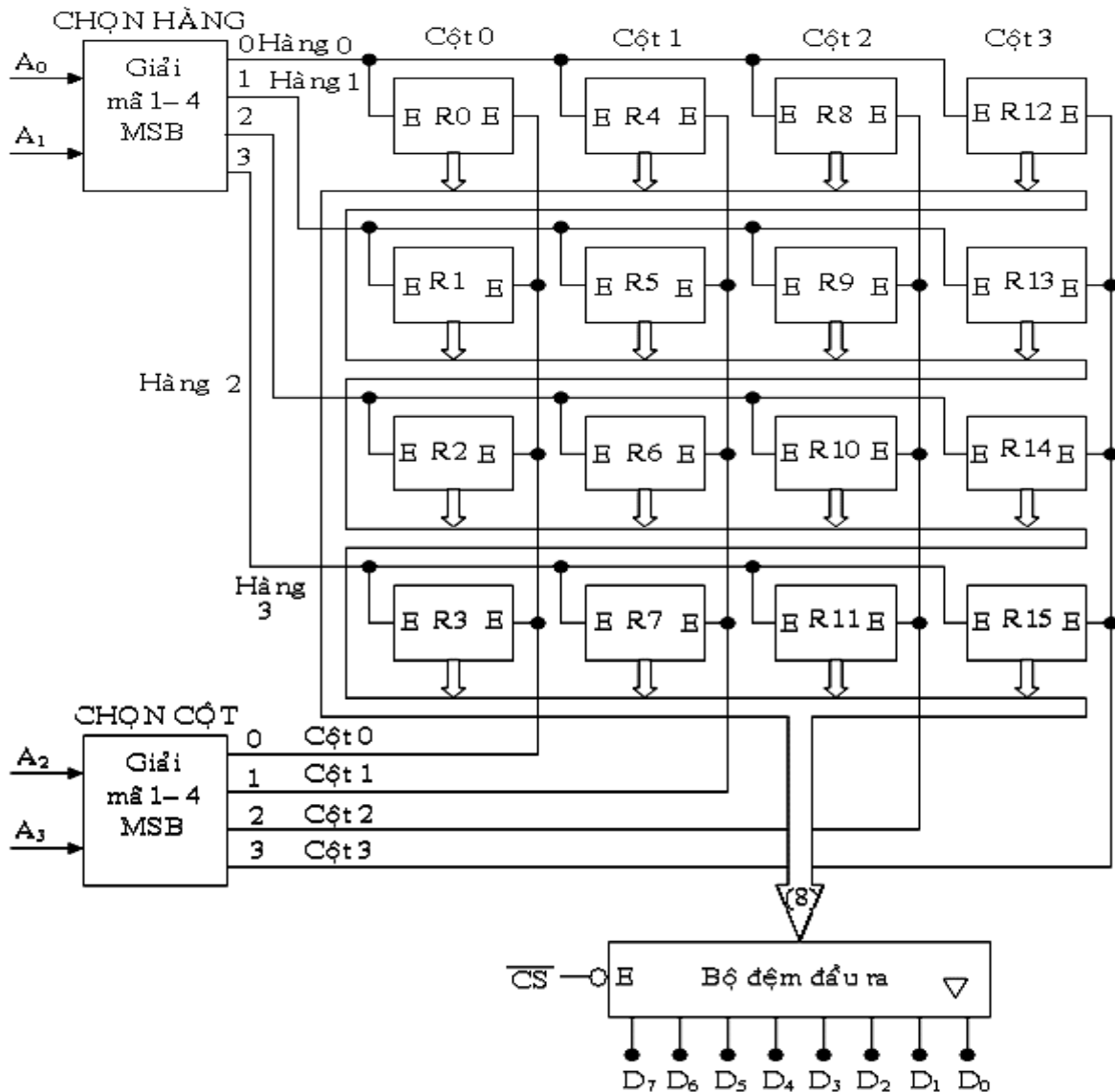
Ví dụ: Muốn đọc dữ liệu tại địa chỉ 0111 của ROM (hình 6.3) ta phải áp $A_3 A_2 A_1 A_0 = 0111$ cho đầu vào địa chỉ, sau đó áp dụng trạng thái thấp cho $\overline{CS}$.

Đầu vào địa chỉ được giải mã bên trong ROM để chọn được dữ liệu đúng là 11101101. giá trị này sẽ xuất hiện tại đầu ra D_7 đến D_0 .

1.1.2. CẤU TRÚC CỦA ROM

Cấu trúc bên trong của ROM rất phức tạp. Hình 6.4 là sơ đồ đơn giản mô tả cấu trúc bên trong của một ROM có dung lượng 16x8. Gồm có 4 phần cơ bản: mảng thanh ghi, bộ giải mã hàng, bộ giải mã cột, bộ đệm đầu ra.

- Mảng thanh ghi (Resister array) lưu trữ dữ liệu được lập trình vào ROM. Mỗi thanh ghi gồm một ô nhớ bằng số kích thước từ. Trong trường hợp này mỗi thanh ghi chứa một từ 8 bit. Các thanh ghi được sắp xếp theo ma trận vuông, các thanh ghi ở đây là thanh ghi “ chết ”, không ghi thêm được.



Hình 6.4: Cấu trúc của ROM có dung lượng 16x8

Vị trí của từng thanh ghi được định rõ qua số hàng và số cột cụ thể. 8 đầu ra dữ liệu của mỗi thanh ghi được nối vào một đường dữ liệu bên trong chạy qua

toàn mạch. Mỗi thanh ghi có hai đầu vào cho phép. Cả hai phải ở mức cao thì dữ liệu ở thanh ghi mới được phép đưa vào đường truyền.

- Bộ giải mã địa chỉ

Mã địa chỉ $A_3A_2A_1A_0$ quyết định thanh ghi nào trong dãy được phép đặt từ dữ liệu 8 bit của nó vào đường truyền. Ở đây dùng 2 bộ giải mã: bộ giải mã chọn hàng (chọn 1 trong 4) và chọn cột. Thanh ghi giao giữa hàng và cột được chọn bởi đầu vào địa chỉ sẽ là thanh ghi được kích hoạt (cho phép).

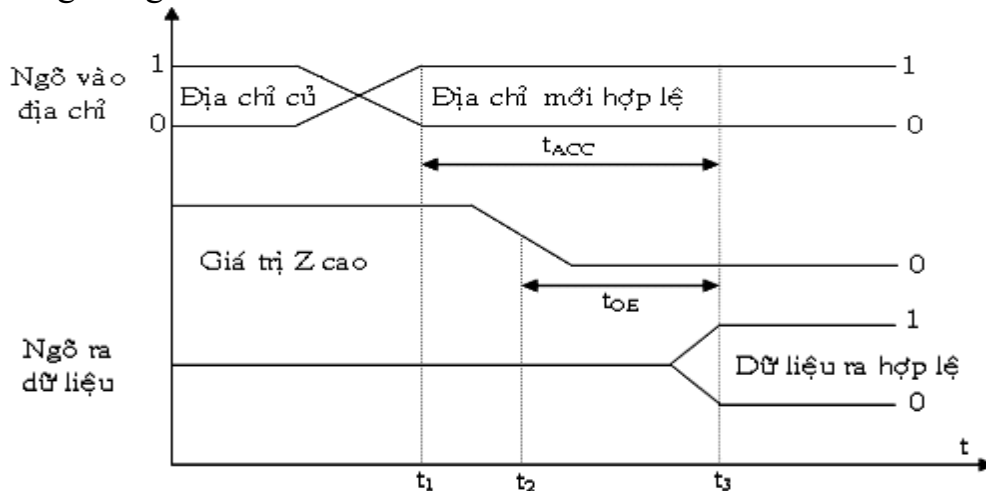
Ví dụ: Địa chỉ vào là 1101 thì thanh ghi nào xuất dữ liệu. Với $A_3A_2 = 11$, bộ giải mã cột sẽ kích hoạt đường chọn cột số 3. Với $A_1A_0 = 01$, bộ giải mã hàng sẽ kích hoạt đường chọn hàng số 1

Như vậy kết quả là cả hai đầu vào cho phép thanh ghi số 13 sẽ ở mức cao và dữ liệu của thanh ghi này sẽ được đưa vào đường truyền dữ liệu.

- Bộ đệm đầu ra, thường sử dụng mạch đệm 3 trạng thái, điều khiển bằng chân $\overline{CS}$. Khi $\overline{CS}$ ở mức thấp, bộ đệm đầu ra chuyển dữ liệu này ra ngoài. Khi $\overline{CS}$ ở mức cao, bộ đệm đầu ra sẽ ở trạng thái trở kháng cao. D_7 đến D_0 thả nổi.

1.1.3. THÔNG SỐ THỜI GIAN CỦA ROM

Sẽ có một khoảng thời gian trễ do truyền từ khi yêu cầu được đưa vào qua đầu vào của ROM đến khi dữ liệu xuất hiện ở đầu ra trong hoạt động đọc. Thời gian này gọi là thời gian truy xuất (t_{ACC}). Thời gian truy xuất được biểu diễn ở dạng sóng trong hình 6.5.



Hình 6. 5 Sơ đồ thời gian cho một hoạt động đọc của ROM

Dạng sóng phía trên biểu diễn đầu vào địa chỉ; dạng sóng ở giữa là một $\overline{CS}$ tích cực ở mức thấp; dạng sóng dưới cùng biểu diễn đầu ra của dữ liệu.

Một thông số thời gian khác cũng quan trọng đó là thời gian cho phép ra t_{OE} . Đó là thời gian trễ giữa đầu vào $\overline{CS}$ và đầu ra dữ liệu hợp lệ.

t_{ACC} (TTL) : 30 – 90ns.

t_{ACC} (NMOS) : 200 – 900ns.

t_{ACC} (CMOS) : 20 – 60ns

t_{OE} (TTL) : ROM 10 - 20ns

t_{OE} (NMOS) : ROM 25 - 100ns

t_{OE} (CMOS) : ROM 10 – 20ns

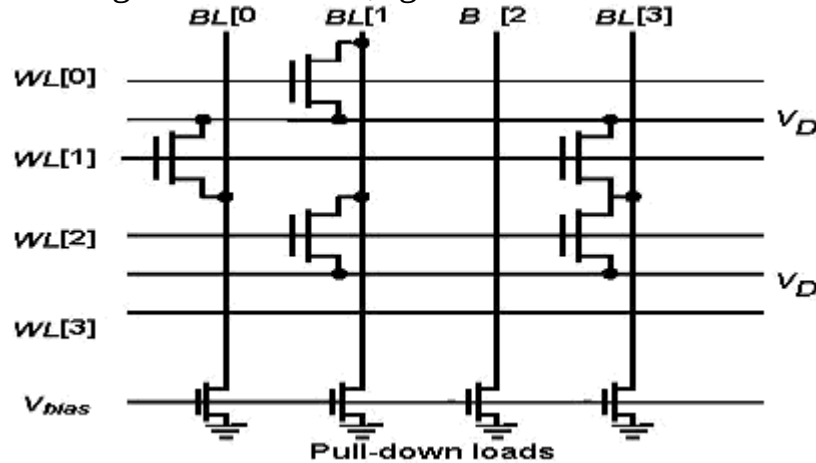
1.2. Cấu trúc ma trận nhớ

Ma trận nhớ chỉ đọc cũng có thể xem như một mạch logic kết hợp đơn giản tạo nên một giá trị logic ra xác định đối với mỗi tổ hợp vào, tức đối với một địa chỉ. Do đó việc lưu trữ thông tin nhị phân tại một vị trí địa chỉ riêng có thể đạt được bằng sự có mặt hoặc không có mặt của một đường số liệu từ hàng được chọn (đường từ) tới cột được chọn (đường bit), là tương đương với sự có mặt hoặc không có mặt của một dụng cụ tại vị trí riêng đó. Dưới đây ta sẽ khảo sát hai thi hành khác nhau đối với các ma trận MOS ROM. Ta khảo sát ma trận nhớ 4x4 được chỉ ra trên hình 6. 6. Ở đây mỗi cột bao gồm một cổng NOR nMOS được điều khiển bằng một số tín hiệu hàng tức các đường từ.

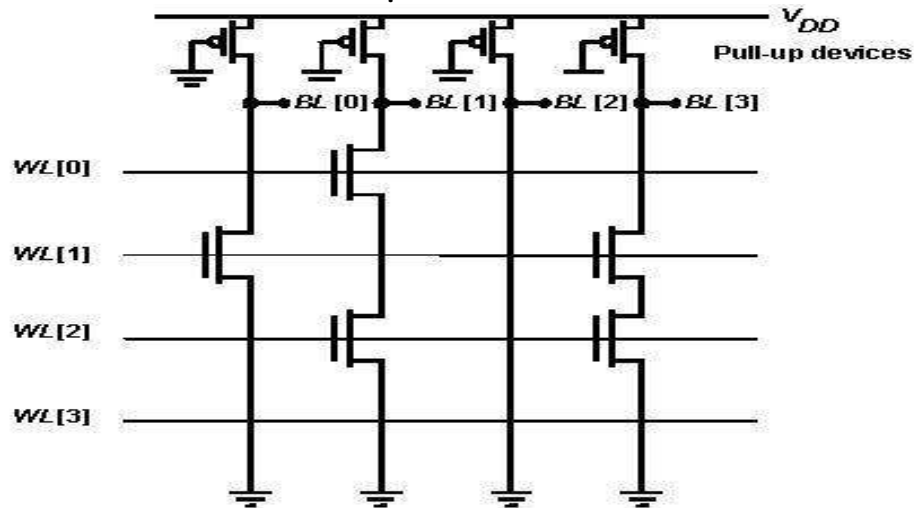
Như đã mô tả ở phần trước chỉ có đường từ được hoạt động (được chọn) tại thời điểm tăng thế của nó lên V_{DD} , trong khi tất cả các hàng khác giữ tại mức thế thấp. Nếu một transistor hoạt động tồn tại tại giao điểm của cột và hàng được chọn, thì thế cột bị kéo xuống mức logic thấp bằng mức transistor đó. Nếu transistor không hoạt động tồn tại tại giao điểm thì thế cột được kéo lên cao bằng dụng cụ tải pMOS. Do đó bit logic “1” được lưu trữ khi không có transistor hoạt động, trong khi đó bit logic “0” được lưu trữ khi có mặt của một transistor hoạt động tại điểm cắt. Để giảm công suất tiêu thụ tĩnh, transistor tải trong ma trận ROM được chỉ trên hình 6.6 cũng có thể được điều khiển bằng tín hiệu nạp trước tuần hoàn dẫn đến ROM động.

Tiếp theo chúng ta sẽ thực hiện thiết kế một ma trận ROM khác một cách có ý nghĩa được gọi là NAND ROM (hình 6.7). Ở đây mỗi đường bit bao gồm một cổng NAND được điều khiển bằng một số tín hiệu hàng, tức đường từ. Bình thường, tất cả các đường từ được giữ lại tại mức thế logic cao, trừ đường được chọn được kéo xuống mức thế thấp nhất. Nếu một transistor tồn tại tại giao điểm của cột và hàng được chọn, transistor bị ngắt và thế cột bị kéo lên cao bằng dụng cụ tải. Mặt khác nếu không có transistor tồn tại (ngắt mạch) tại giao điểm riêng, thế cột bị kéo xuống thấp bằng các transistor nMOS khác trong cấu

trúc NAND nhiều lối vào. Do đó bit logic “1” được lưu trữ bằng sự có mặt của một transistor có thể không hoạt động, trong khi bit logic “0” được lưu trữ bằng ngắn mạch hay bình thường trên transistor tại giao điểm.



Hình 6. 6: Ma trận 4x4 NOR ROM



Hình 6. 7: Ma trận 4x4 NAND ROM

Thiết kế các bộ giải mã hàng và cột

Một bộ giải mã hàng được thiết kế để điều khiển một ma trận ROM NOR để chọn một trong 2^n đường từ bảng tăng thế của nó tới V_{OH} .

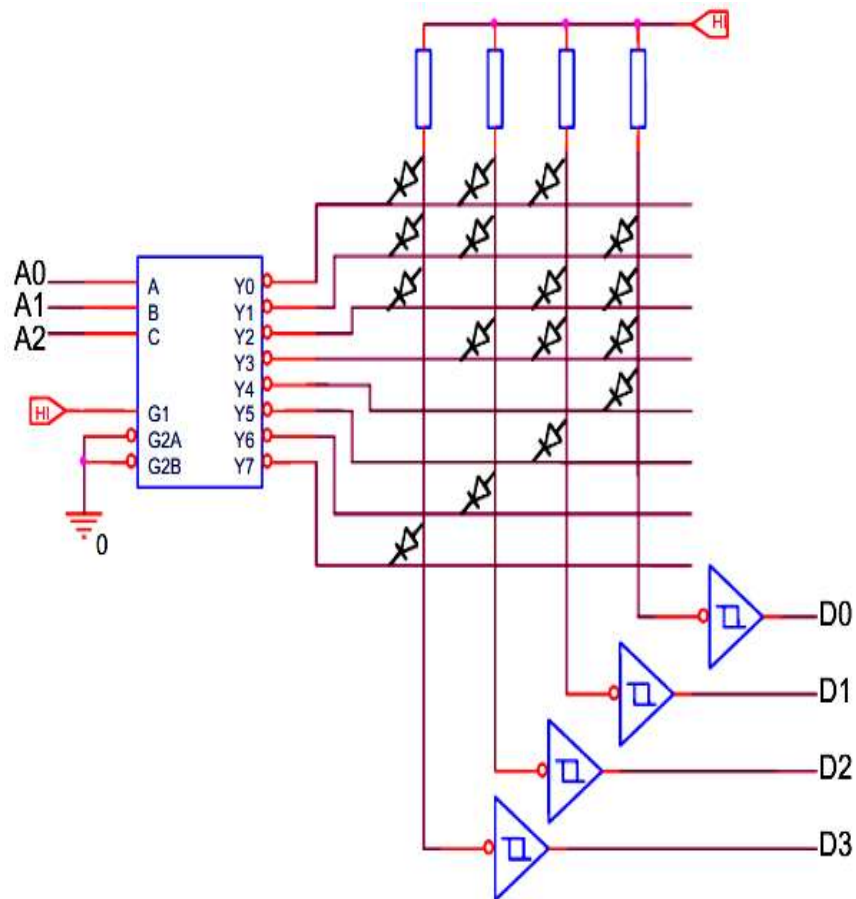
Bộ giải mã ROM NAND phải là mức thiết kế thấp của logic hàng được chọn "0", trong khi tất cả các hàng khác phải mức logic cao. Chức năng này có thể thực hiện bằng cách sử dụng một cổng NAND có N lối vào cho mỗi lối ra hàng.

1.3. Cấu trúc tế bào ROM

Cơ chế sử dụng ROM để lưu trữ thì thay đổi ứng với các công nghệ của ROM khác nhau. Trong phần lớn các ROM, sự xuất hiện hoặc vắng mặt của một diode hay transistor sẽ phân biệt giữa 0 và 1

Cấu trúc với giải một chiều.

Sơ đồ ROM 8x4 với cấu trúc giải mã 1 chiều (dùng 1 bộ giải mã TTL và các diode), hình 6.8



Hình 6. 8: Sơ đồ ROM 8x4 với cấu trúc giải mã 1 chiều

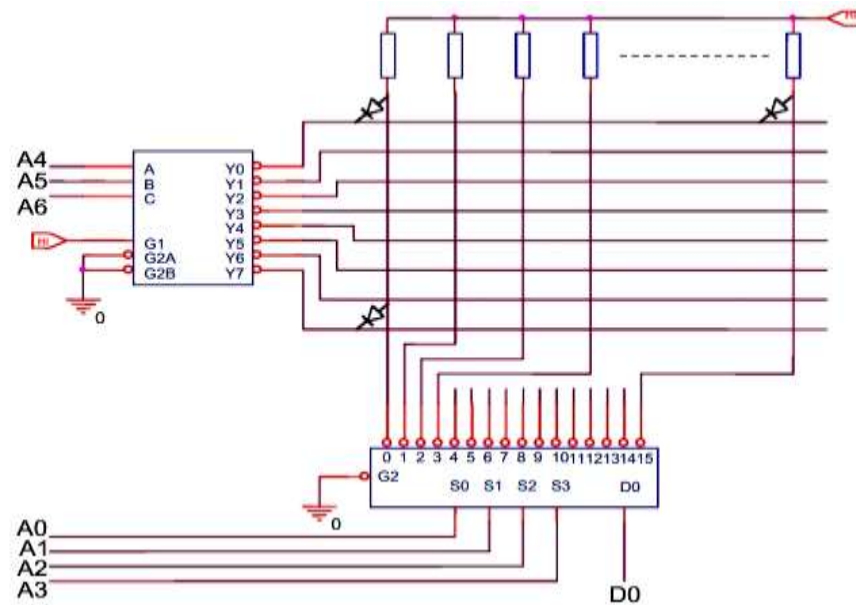
Mỗi đường ra bộ giải mã được gọi là đường từ (word line) bởi vì nó chọn một hàng hoặc một từ của bảng chứa trong ROM. Mỗi đường thẳng đứng trong hình được gọi là đường bit (bit line) bởi vì nó tương ứng với một bit ra của ROM.

Nhận xét: Có diode tương ứng mức 0, không có diode tương ứng mức 1. Các MOS ROM thường dùng transistor thay vì là diode ở mỗi vị trí mà bit sẽ được lưu trữ.

Cấu trúc giải mã 2 chiều, hình 6.9

Nếu xây dựng một ROM 128x1 dùng cấu trúc ở phần trước phải sử dụng một bộ giải mã 7 sang 128, nghĩa là phải sử dụng đến một lượng lớn 128 các cổng NAND 7 ngõ vào, nếu thiết kế cho ROM với hàng triệu bits hoặc nhiều hơn sẽ không có bộ giải mã 20 sang 1048576. Thay vào đó người ta sẽ sử dụng cấu trúc khác được gọi là giải mã hai chiều (two-dimensional decoding)

Ví dụ:



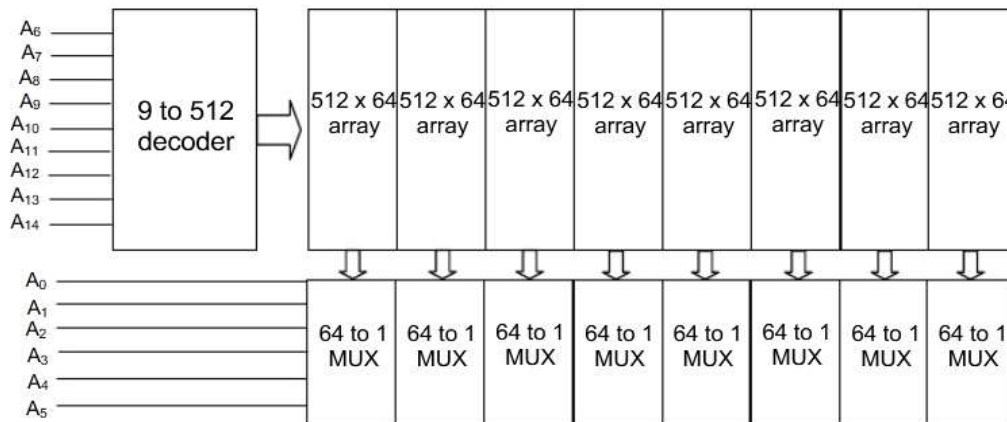
Hình 6. 9 Cấu trúc giải mã 2 chiều

3 bit địa chỉ cao A6 A5 A4 sẽ chọn hàng, mỗi hàng chứa 16 bit bắt đầu tại địa chỉ A6 A5 A4 0000. Khi đặt địa chỉ cho ROM, 16bit ở hàng được chọn đưa vào bộ MUX và 4 bit địa chỉ thấp sẽ chọn bit data mong muốn.

Ngoài việc giảm tính phức tạp việc giải mã, giải mã 2 chiều có một thuận lợi khác là ROM có một kích thước vật lý gần vuông, điều này quan trọng cho việc chế tạo và đóng gói IC

Với ROM có nhiều ngõ ra dữ liệu, các dây lưu trữ tương ứng với mỗi ngõ ra dữ liệu có thể được làm hẹp hơn để đạt được bố trí chip gần với hình vuông hơn.

Ví dụ: Một bố trí của ROM 32K x 8



Hình : 6.10

1.4. Cấu trúc tế bào PROM

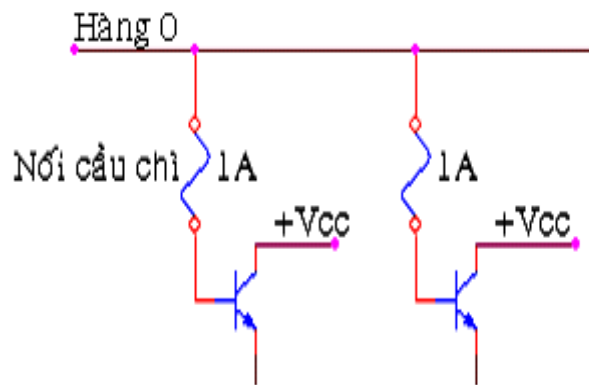
PROM có cấu tạo như ROM nhưng có hai đặc điểm khác biệt, đó là:

Tất cả các tế bào nhớ đều có diode hay transistor lưỡng cực hay transistor MOS, tùy theo công nghệ chế tạo.

Phần tử bán dẫn được nối với cầu chì tích hợp. Cầu chì đứt rồi không thể nối lại được do đó ta chỉ có thể lập trình PROM một lần thôi.

Muốn đổi từ bit 1 sang bit 0 người ta dùng một xung điện có biên độ và độ rộng xung thích hợp (cho biết bởi nhà sản xuất) giữa đường từ và đường bit tương ứng để làm đứt cầu chì.

Hình 6.11 minh họa hoạt động lập trình của một PROM



Hình 6.11: PROM sử dụng cầu chì để lập trình

1.5. EPROM

PROM chỉ lập trình được một lần vì cầu chì đứt không thể nối lại được từ bên ngoài. Nên khi nạp chương trình sai hay muốn đổi chương trình thì ta phải dùng một PROM mới. Do đó người ta đã chế tạo ra loại EPROM cho phép người sử dụng có thể lập trình và xóa được.

Cách nạp như sau:

- Đặt mức điện áp đặt biệt (từ 25V – 50V tùy loại) vào ngõ vào (+Vpp) và cần một thời gian (50ns cho một vùng nhớ) do đó thời gian nạp một EPROM mất vài phút.

- Ô nhớ trong EPROM là những transistor MOS với cổng logic silic thả nổi. Ở trạng thái bình thường mọi transistor đều tắt và mỗi ô nhớ lưu trữ logic 1. Xung điện áp sẽ đẩy các electron năng lượng cao vào khu vực cổng thả nổi và chúng vẫn còn kẹt trong lúc xung điện đã kết thúc, do không có đường phóng điện. Vì vậy transistor cứ tiếp tục mở ngay khi ngắt điện với thiết bị và ô nhớ lúc này lưu trữ logic 0.

- Khi một ô nhớ của EPROM được lập trình thì có thể xóa nó bằng cách chiếu tia cực tím (UV) qua một cửa sổ trên vỏ chip. Tia UV tạo một dòng quang điện từ cổng xả nổi trở về chân đế bằng silic, qua đó nó xóa đi các điện tích lưu trữ, tắt transistor và phục hồi ô nhớ về trạng thái logic 1. Quá trình xóa này thường cần từ 15 đến 20 phút.

Nhược điểm của EPROM:

- Phải tháo EPROM ra khỏi mạch mới để xóa rồi mới nạp trình được.
- Khi cần xóa hay thay đổi một từ cũng không thể nạp chồng lên từ đó mà phải xóa hết và nạp lại từ đầu.

2. RAM

- *Mục tiêu:* Nêu được các sơ đồ, cấu trúc của RAM, bảng trạng thái cài đặt các thông số.

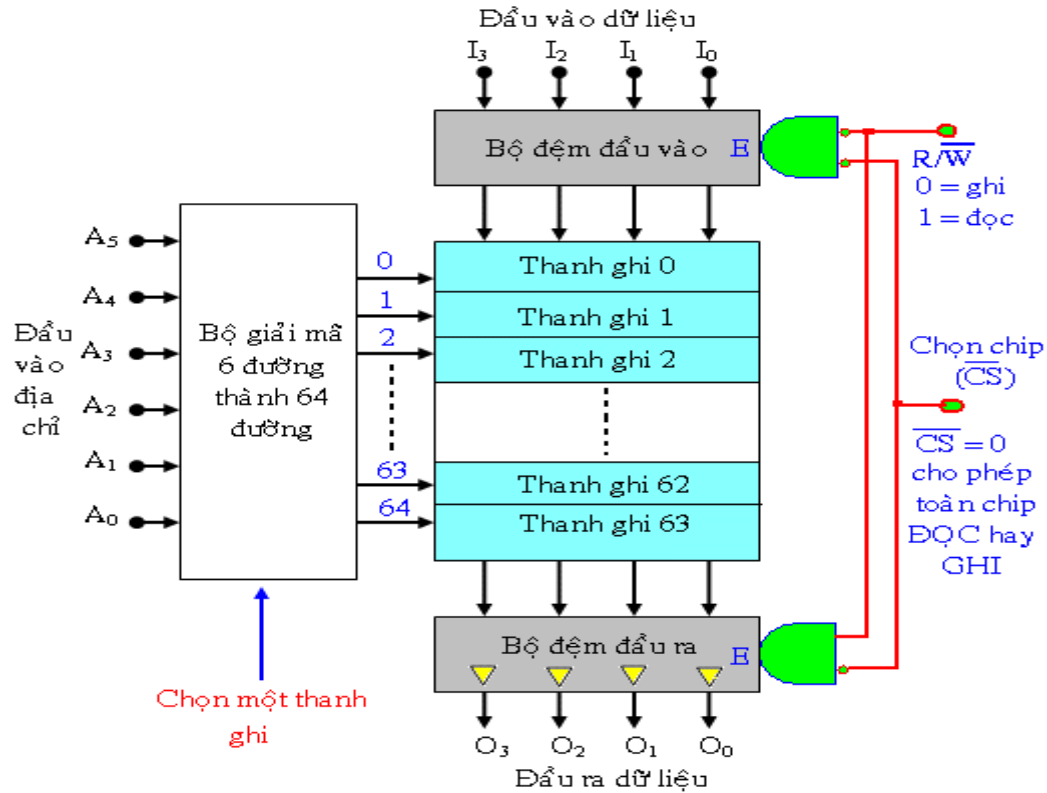
RAM (Random Access Memory) là bộ nhớ truy cập ngẫu nhiên. Khác với truy cập tuần tự. Có thể lấy ví dụ có 100 ô nhớ được đánh địa chỉ từ 1 đến 100. Với cách truy cập tuần tự muốn lấy dữ liệu từ ô nhớ thứ 99, cần phải truy cập tuần tự từ ô nhớ thứ 1,2,3.....cho đến ô nhớ thứ 99. Nhưng với phương thức truy cập ngẫu nhiên, có thể truy cập ngay đến ô nhớ thứ 99 mà không cần phải qua các ô nhớ trước đó.

2.1. Cấu trúc RAM

RAM: Random Access Memory – bộ nhớ truy xuất bất kỳ còn gọi là bộ nhớ đọc viết (RWM: read write memory). Nghĩa là mọi địa chỉ nhớ đều cho phép dễ dàng truy cập như nhau. Trong máy tính RAM được dùng như bộ nhớ tạm hay bộ nhớ nháp.

Ưu điểm: chính của RAM đọc hay viết dữ liệu lưu trữ ở RAM bất cứ lúc nào.

Nhược điểm: của RAM: do RAM là một dạng bộ nhớ bốc hơi nên khi mất điện dữ liệu sẽ bị xóa do đó cần nguồn nuôi pin – accu dự phòng (back up battery). Tương tự như ROM, RAM bao gồm một số thanh ghi, mỗi thanh ghi lưu trữ một từ dữ liệu và có địa chỉ không trùng lặp. RAM thường có dung lượng 1K, 4K, 8K, 64K, 128K, 256K và 1024K với kích thước từ 1, 4 hay 8 bit (có thể mở rộng thêm).



Hình 6.12: Cấu trúc bên trong của RAM 64x4

Hình 6.12 minh họa cấu trúc của đơn giản của một RAM lưu trữ 64 từ 4 bit (bộ nhớ 64x4). Số từ này có địa chỉ trong khoảng từ 0 đến 63₁₀. Để chọn 1 trong 64 địa chỉ để đọc hay ghi, một mã địa chỉ nhị phân sẽ được đưa vào mạch giải mã. Vì 64=2⁶ nên bộ giải mã cần mã vào 6 bit.

- Hoạt động đọc (Read Operation)

Mã địa chỉ nhận được từ chọn thanh ghi để đọc hoặc viết. Để đọc thanh ghi được chọn thì đầu vào đọc ghi ($R/\overline{W}$) phải là logic 1. Ngoài ra đầu vào chip select $\overline{CS}$ phải ở mức logic 0. Sự kết hợp giữa $R/\overline{W} = 1$ và $\overline{CS} = 0$ sẽ cho phép bộ đếm đầu ra, sao cho nội dung của thanh ghi được chọn xuất hiện ở bốn đầu ra dữ liệu.

$R/\overline{W} = 1$ cũng cấm bộ đếm đầu vào nên đầu vào dữ liệu không tác động đến bộ nhớ suốt hoạt động đọc.

$R/\overline{W}$ Hoạt động ghi (Write Operation)

Để viết một từ 4 bit mới vào thanh ghi được chọn, khi đó cần phải có $R/\overline{W} = 0$ và $\overline{CS} = 0$. Tổ hợp này cho phép bộ đếm đầu vào, vì vậy từ 4 bit đã đặt vào dữ liệu sẽ được nạp vào thanh ghi đã chọn. $R/\overline{W} = 0$ cũng cấm bộ đếm đầu ra. Bộ đếm đầu ra là bộ đếm 3 trạng thái nên đầu ra dữ liệu sẽ ở trạng thái

Hi-Z trong hoạt động ghi. Hoạt động ghi sẽ xóa bỏ từ nào đã được lưu trữ tại địa chỉ đó.

- Chọn chip (Chip Select)

Hầu hết các chip nhớ đều có một hay nhiều đầu vào CS dùng để cho phép toàn chip hoặc cấm nó hoàn toàn. Trong chế độ cấm, tất cả đầu vào và ra dữ liệu đều bị vô hiệu hóa (Hi-Z), chính vì vậy không hoạt động ghi đọc nào có thể xảy ra. Ngoài tên gọi CHỌN CHIP các nhà sản xuất còn gọi là CHIP ENABLE (CE). Khi đầu vào CS hay CE ở trạng thái tích cực thì chip nhớ đã được chọn còn ngược lại thì không được chọn. Tác dụng của chân CS hay CE là dùng để mở rộng bộ nhớ khi kết hợp nhiều chip nhớ với nhau.

- Các chân vào ra chung (Common Input Output)

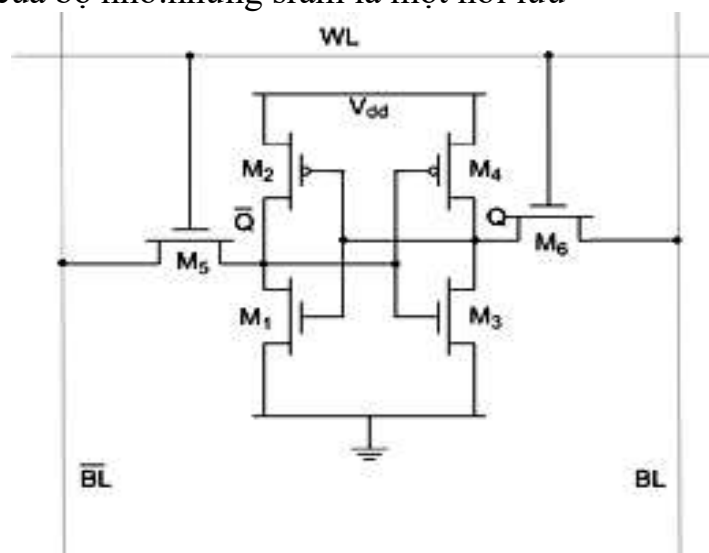
Để hạn chế số chân trong một IC, các nhà sản xuất thường kết hợp các chức năng nhập/xuất dữ liệu, dựa vào chân vào/ra (I/O). Đầu vào $R/\overline{W}$ điều khiển các chân vào/ra này.

Trong hoạt động đọc, chân I/O đóng vai trò như đầu ra dữ liệu, tái tạo nội dung của ô nhớ được chọn. Trong hoạt động ghi, chân I/O là đầu vào dữ liệu, dữ liệu cần ghi được đưa vào đây.

2.2. Cấu trúc tế bào RAM

- RAM tĩnh

RAM tĩnh hình 6.13 được chế tạo theo công nghệ ECL (dùng trong CMOS và BiCMOS). Mỗi bit nhớ gồm có các cổng logic với 6 transistor MOS. SRAM là bộ nhớ nhanh, việc đọc không làm hủy nội dung của ô nhớ và thời gian thâm nhập bằng chu kỳ của bộ nhớ. nhưng sram là một nơi lưu

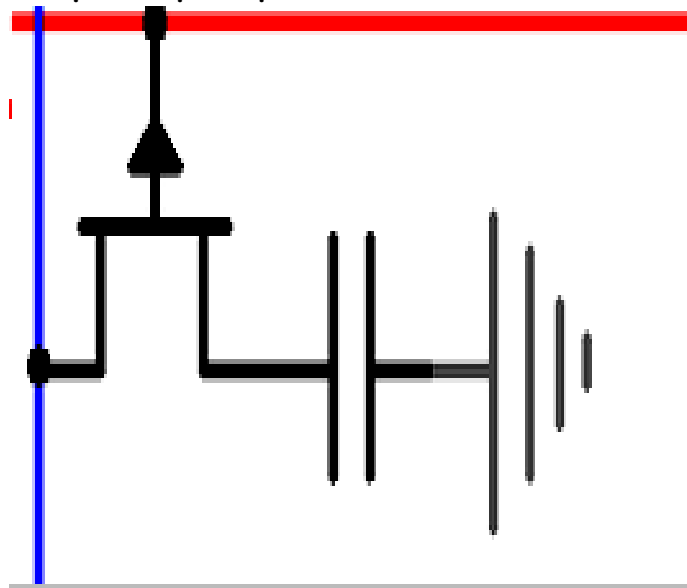


Hình 6.13: 6 transistor trong một ô nhớ của RAM tĩnh

- RAM động

RAM động dùng kỹ thuật MOS. Mỗi bit nhớ gồm một transistor và một tụ điện, hình 6.14. Việc ghi nhớ dữ liệu dựa vào việc duy trì điện tích nạp vào tụ điện và như vậy việc đọc một bit nhớ làm nội dung bit này bị hủy. Do vậy sau mỗi lần đọc một ô nhớ, bộ phận điều khiển bộ nhớ phải viết lại nội dung ô nhớ đó. Chu kỳ bộ nhớ cũng theo đó mà ít nhất là gấp đôi thời gian thâm nhập ô nhớ.

Việc lưu giữ thông tin trong bit nhớ chỉ là tạm thời vì tụ điện sẽ phóng hết điện tích đã nạp và như vậy phải làm tươi bộ nhớ sau khoảng thời gian $2\mu s$. Việc làm tươi được thực hiện với tất cả các ô nhớ trong bộ nhớ. Công việc này được thực hiện tự động bởi một vi mạch bộ nhớ.



Hình 6.14: 1 transistor và 1 tụ điện trong một ô nhớ của RAM động

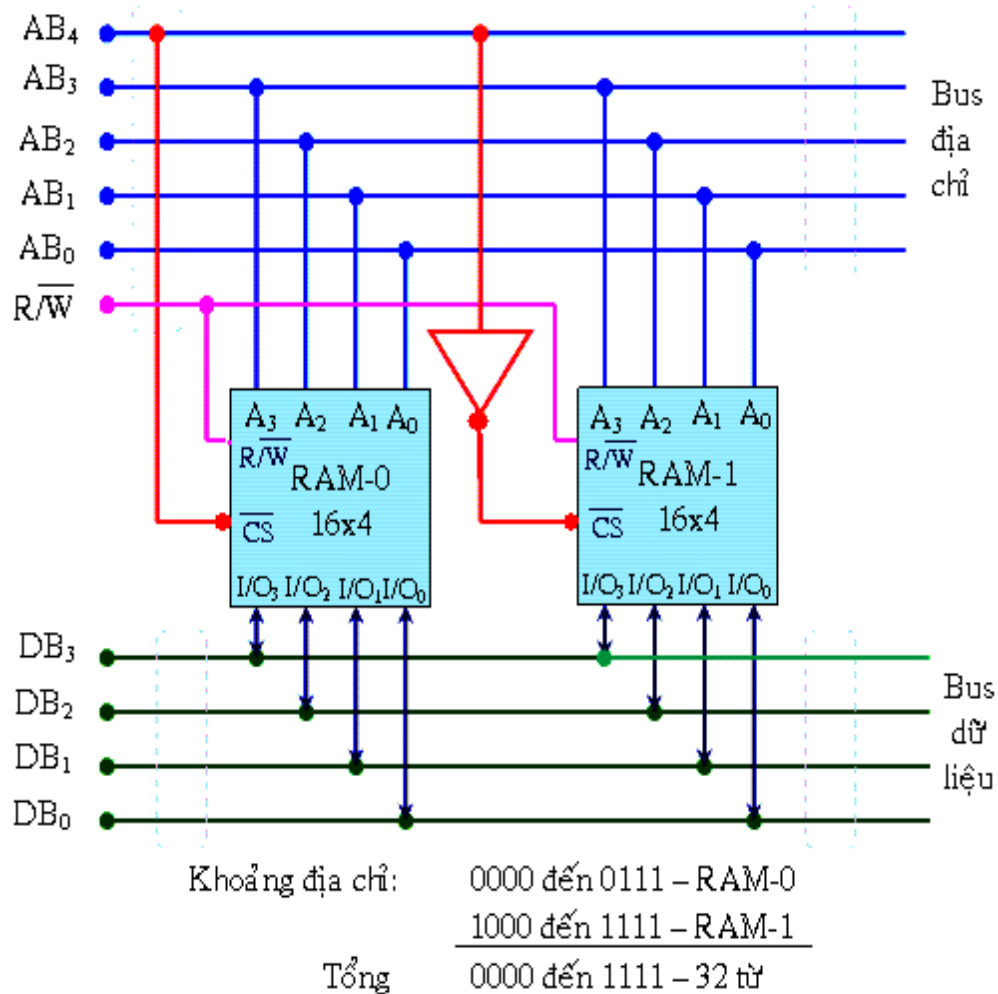
3. Mở rộng dung lượng bộ nhớ

- *Mục tiêu: Trình bày cách mở rộng dung lượng bộ nhớ bằng cách mở rộng địa chỉ hoặc dữ liệu.*

Trong thực tế nhiều ứng dụng một chip nhớ không thể đáp ứng được, do đó việc mở rộng bộ nhớ và tăng kích cỡ từ là một vấn đề hết sức cần thiết.

3.1. Phương pháp mở rộng số đường địa chỉ

Giả sử ta cần một bộ nhớ có dung lượng chưa 32 từ 4 bit mà trong tay ta chỉ có các chip 16×4 . Để tạo ra bộ nhớ có dung lượng 32×4 ta sẽ kết hợp 2 chip 16×4 . Cách kết hợp được minh họa như hình 6.15.



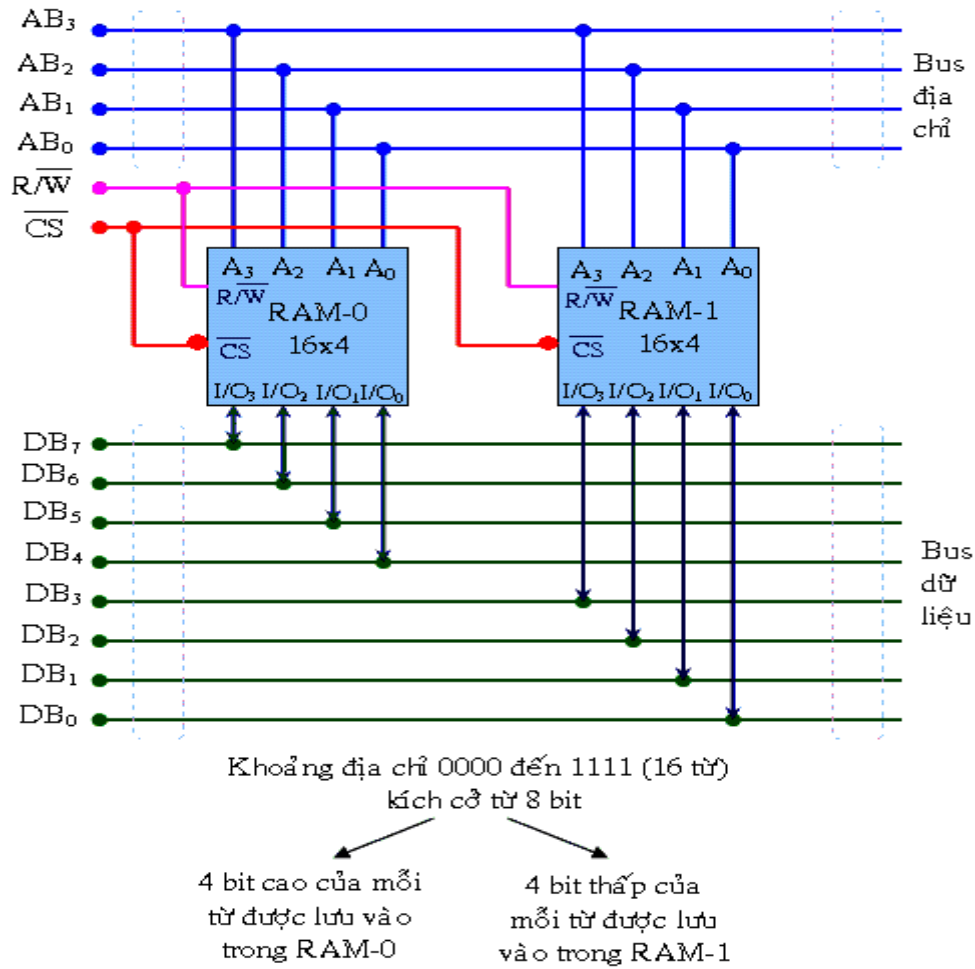
Hình 6.15: Kết hợp hai chip 16x4 thành 32x4

Mỗi RAM được dùng để lưu trữ 16 từ 4 bit. 4 chân vào ra dữ liệu (I/O) của mỗi RAM được nối chung một bus dữ liệu 4 đường. Tại một thời điểm chỉ cho phép chọn một chip RAM để không nảy sinh vấn đề tranh chấp bus.

Vì tổng dung lượng của mô-đun nhớ này là 32x4 nên phải có 32 địa chỉ khác nhau, đòi hỏi đến 5 đường địa chỉ. Đường địa chỉ AB₄ dùng để chọn một trong hai RAM (qua đầu vào $\overline{CS}$) được đọc ra hay ghi vào. 4 đường địa chỉ còn lại dùng để xác định một trong 16 vị trí ô nhớ của chip RAM được chọn.

3.2. Phương pháp mở rộng số đường dữ liệu

Giả sử chúng ta cần một bộ nhớ có thể lưu trữ được 16 từ 4 bit, nhưng thực tế ta chỉ có các chip RAM 16x4 với các đường vào/ra (I/O) chung. Để giải quyết vấn đề này ta có thể kết hợp hai chip 16x4 lại với nhau để tạo thành một bộ nhớ mong muốn. Hình 6.16 minh họa cách kết hợp này.



Hình 6.16: Kết hợp hai RAM 16x4 thành một mô-đun 16x8

Bởi vì mỗi chip chỉ có thể lưu trữ 16 từ 4 bit nên ta có thể xem như đang sử dụng mỗi chip để lưu trữ phân nửa từ. Có nghĩa là RAM-0 chứa 4 bit cao của từng từ trong số 16 từ, và RAM-1 chứa 4 bit thấp của từng từ trong số 16 từ. Một từ có đủ 8 bit có mặt tại các đầu ra của RAM nối với bus dữ liệu.

Như vậy thì bất cứ từ nào trong số 16 từ cũng được chọn bằng cách đưa mã địa chỉ tương ứng vào 4 đường của bus địa chỉ. Điều này có nghĩa là, một khi được đặt lên bus địa chỉ, mã địa chỉ sẽ được áp vào cả hai chip, sao cho mỗi chip được truy xuất cùng vị trí đồng thời. Khi có địa chỉ được chọn, ta có thể đọc hoặc ghi tại địa chỉ này dưới sự điều khiển của đường $R/\overline{W}$ và đường $\overline{CS}$ chung.

- Để đọc thì $R/\overline{W}$ phải ở mức cao, còn $\overline{CS}$ ở mức thấp. Điều này làm các đường I/O của RAM hoạt động như đầu ra. RAM-0 đặt từ 4 bit được chọn của nó lên 4 đường trên của bus dữ liệu, RAM -1 đặt từ 4 bit được chọn của nó lên 4 đường dưới của bus dữ liệu. Lúc này bus dữ liệu đã chứa từ 8 bit hoàn chỉnh được chọn.

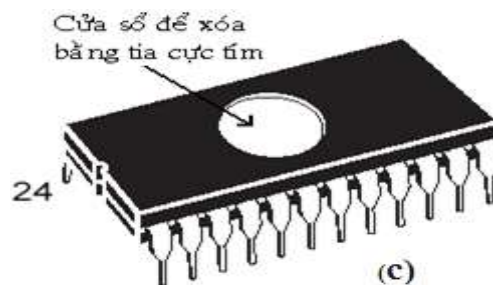
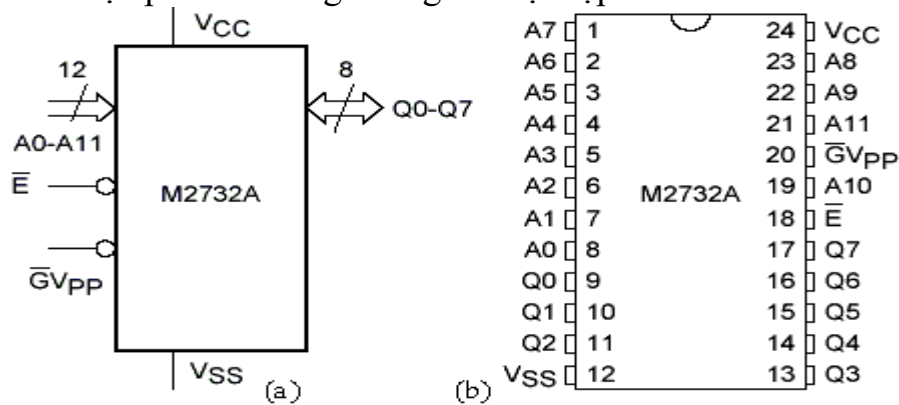
- Để ghi thì $R/\overline{W}$ ở mức thấp và $\overline{CS}$ cũng ở mức thấp, làm cho các đường I/O của RAM hoạt động như đầu vào. Từ 8 bit cần ghi được đặt lên bus dữ liệu, 4 bit cao sẽ được ghi vào vị trí đã chọn của RAM-0 và 4 bit thấp sẽ được ghi vào vị trí đã chọn của RAM-0.

4. Giới thiệu IC

- Mục tiêu: Phân biệt các họ IC, ưu nhược điểm và ứng dụng của nó trong mạch.

4.1 Chip EPROM M2732A

Hiện nay trên thị trường có nhiều loại EPROM với dung lượng và thời gian truy xuất khác nhau. IC 2732A là loại EPROM NOMS nhỏ có dung lượng 4Kx8 hoạt động với nguồn điện +5V trong suốt tiến trình vận hành bình thường. Hình 6.18 minh họa sơ đồ chân và các chế độ hoạt động của IC này. IC M2732A có 12 đầu vào địa chỉ và 8 đầu ra dữ liệu. Hai đầu vào điều khiển là $\overline{E}$ và $\overline{GV}_{pp}$. $\overline{E}$ là đầu vào cho phép của chip, được sử dụng để đặt thiết bị vào chế độ có đợi khi năng lượng tiêu thụ giảm. Chân $\overline{GV}_{pp}$ là đầu vào hai mục đích, có chức năng phụ thuộc vào chế độ hoạt động của thiết bị. $\overline{G}$ cho phép đầu ra và được sử dụng để kiểm soát vùng đệm đầu ra dữ liệu của thiết bị, sao cho có thể nối thiết bị này với bus dữ liệu của bộ vi xử lý mà không xảy ra chập bus. Vpp là điện thế lập trình đặt biệt bắt buộc phải có trong suốt giai đoạn lập trình.



Dạng	$\overline{E}$	$\overline{GV}_{PP}$	V_{PP}	$Q_0 - Q_7$
Đọc	V_{IL}	V_{IL}	V_{CC}	Dữ liệu ra
Chương trình	V_{IL} Pulse	V_{PP}	V_{CC}	Dữ liệu vào
Xác định	V_{IL}	V_{IL}	V_{CC}	Dữ liệu ra
Chương trình hãm	V_{IH}	V_{PP}	V_{CC}	Hi-Z
Chuẩn	V_{IH}	X	V_{CC}	Hi-Z

(d)

Chi chú: $V_{IL} = TTL\ LOW$; $V_{IH} = TTL\ HIGH$; X = Không quan tâm;

$V_{PP} = 21V$ danh định

Hình 6.18: (a) Kí hiệu logic của EPROM M2732A;

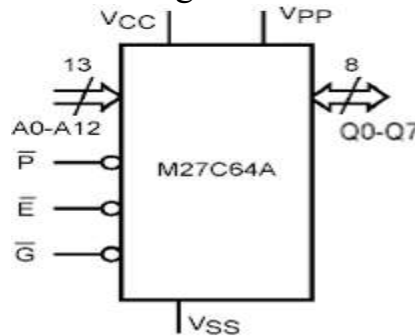
(b) Sơ đồ chân;

(c) Vỏ EPROM với cửa sổ tia tử ngoại;

(d) Chế độ hoạt động của EPROM M2732A

4.2 Chip EPROM M27C64A

IC EPROM M27C62A là loại EPROM có dung lượng lớn 8Kx8 và thời gian truy xuất là 150ns. Đây là loại EPROM đang phổ biến trên thị trường, có hai dạng vỏ khác nhau để người dùng có thể chọn lựa tùy theo nhu cầu. Hình 6.19 minh họa ký hiệu logic và chức năng của các chân EPROM M27C64A.



Hình 6.19

Chức năng của các chân

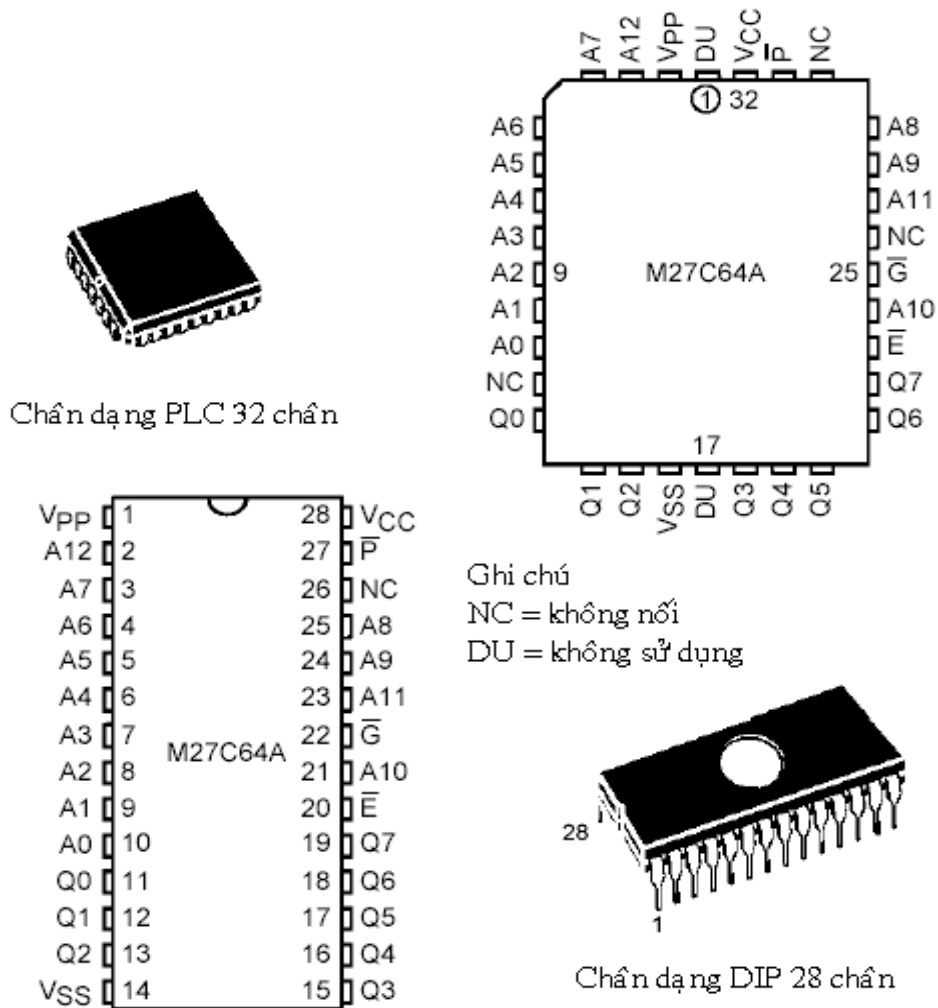
$A_0 - A_{12}$	Địa chỉ ngõ vào
$Q_0 - Q_7$	Dữ liệu ra
$\overline{E}$	Kích hoạt chip
$\overline{G}$	Kích hoạt ngõ ra
$\overline{P}$	Chương trình
V_{PP}	Cung cấp chương trình
V_{CC}	Điện áp cung cấp
V_{SS}	Nhóm

Hình 6.20: Ký hiệu logic của EPROM và chức năng các chân EPROM M27C64A

Chế độ hoạt động của EPROM M27C64A như bảng hình 6.21

Dạng	<i>E</i>	<i>G</i>	<i>P</i>	<i>A</i> ₉	<i>V</i> _{PP}	<i>Q</i> ₀ – <i>Q</i> ₇
Đọc	<i>V</i> _{IL}	<i>V</i> _{IL}	<i>V</i> _{IH}	X	<i>V</i> _{CC}	Dữ liệu ra
Khóa ngõ ra	<i>V</i> _{IL}	<i>V</i> _{IH}	<i>V</i> _{IH}	X	<i>V</i> _{CC}	Hi-Z
Chương trình	<i>V</i> _{IL}	<i>V</i> _{IH}	<i>V</i> _{IL} Pulse	X	<i>V</i> _{CC}	Dữ liệu vào
Xác định	<i>V</i> _{IL}	<i>V</i> _{IL}	<i>V</i> _{IH}	X	<i>V</i> _{PP}	Dữ liệu ra
Chương trình hãm	<i>V</i> _{IH}	X	X	X	<i>V</i> _{PP}	Hi-Z
Chuẩn	<i>V</i> _{IH}	X	X	X	<i>V</i> _{CC}	Hi-Z
Tín hiệu điện	<i>V</i> _{IL}	<i>V</i> _{IL}	<i>V</i> _{IH}	<i>V</i> _{ID}	<i>V</i> _{CC}	Mã

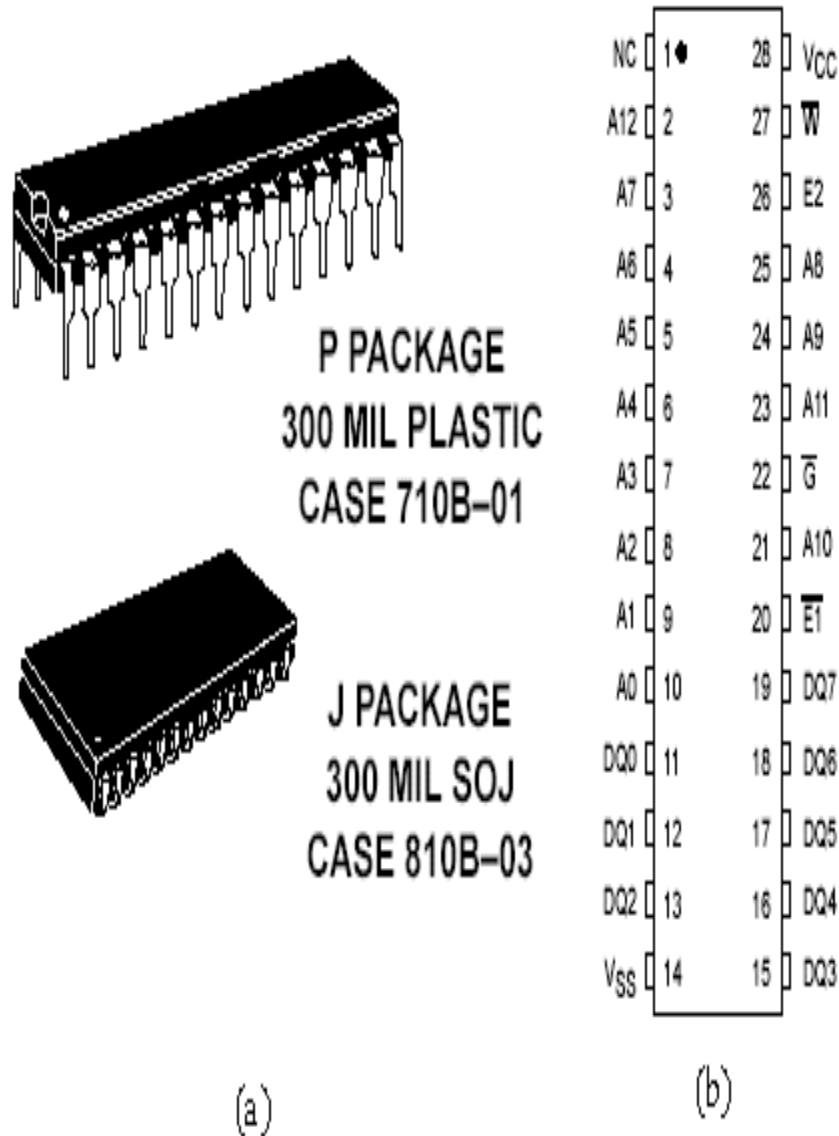
Hình 6.21: Các chế độ hoạt động của EPROM M27C64A



Hình 6.22: Các dạng vỏ và sơ đồ chân tương ứng

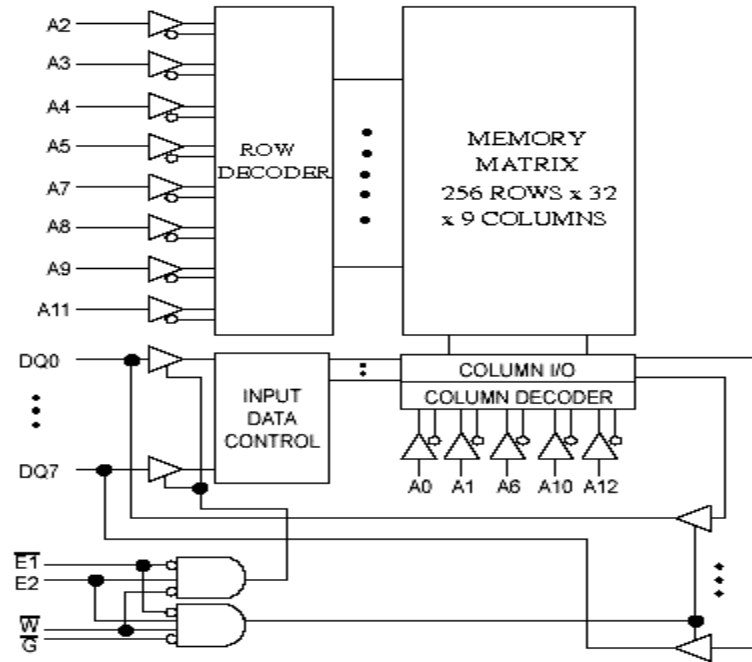
4.3. IC SRAM MCM6264C

Một loại IC SRAM thực tế hiện dần có mặt trên thị trường là MCM6264C CMOS 8Kx8 với chu kỳ đọc và chu kỳ ghi là 12ns, công suất tiêu thụ ở chế độ standby chỉ là 100mW. Sơ đồ chân và hình dạng của IC này được minh họa trong hình 6.23.



Hình 6.23: (a) 2 loại hình dáng MCM6264C
(b) sơ đồ chân của MCM6264C

Cấu trúc bên trong của IC SRAM như hình 6.23. Ở đây có 13 đầu vào địa chỉ và 8 đường vào/ra dữ liệu. 4 đầu vào điều khiển quyết định chế độ vận hành của thiết bị, theo như bảng các chế độ hoạt động hình 6.24.



Hình 6.24: Cấu trúc bên trong của IC SRAM MCM6264C

Bảng chế độ hoạt động							
$\overline{E}$	E_2	$\overline{G}$	$\overline{W}$	Dạng	Dòng điện V_{CC}	Ngõ ra	Chu kỳ
H	X	X	X	Không chọn	I_{SB1}, I_{SB2}	High-Z	-
X	L	X	X	Không chọn	I_{SB1}, I_{SB2}	High-Z	-
L	H	H	H	Khóa ngõ ra	I_{CCA}	High-Z	-
L	H	L	H	Đọc	I_{CCA}	D_{OUT}	Chu kỳ đọc
L	H	X	L	Ghi	I_{CCA}	High-Z	Chu kỳ ghi

(a)

Tên các chân	
$A_0 - A_{12}$	Địa chỉ ngõ vào
$DQ_0 - DQ_7$	Dữ liệu ngõ vào/ra
$\overline{W}$	Kích hoạt viết
$\overline{G}$	Kích hoạt ngõ ra
$\overline{E}_1, E_2$	Kích hoạt chip
V_{CC}	Nguồn cấp (+5V)
V_{SS}	Nguồn 0V

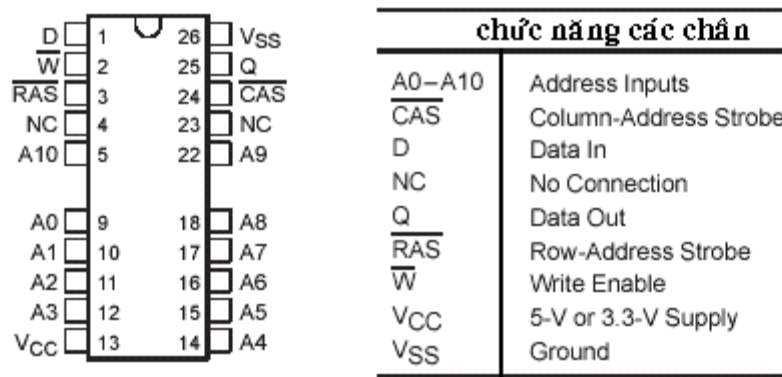
(b)

Hình 6.25: (a) Bảng chế độ hoạt động ,(b) Tên các chân

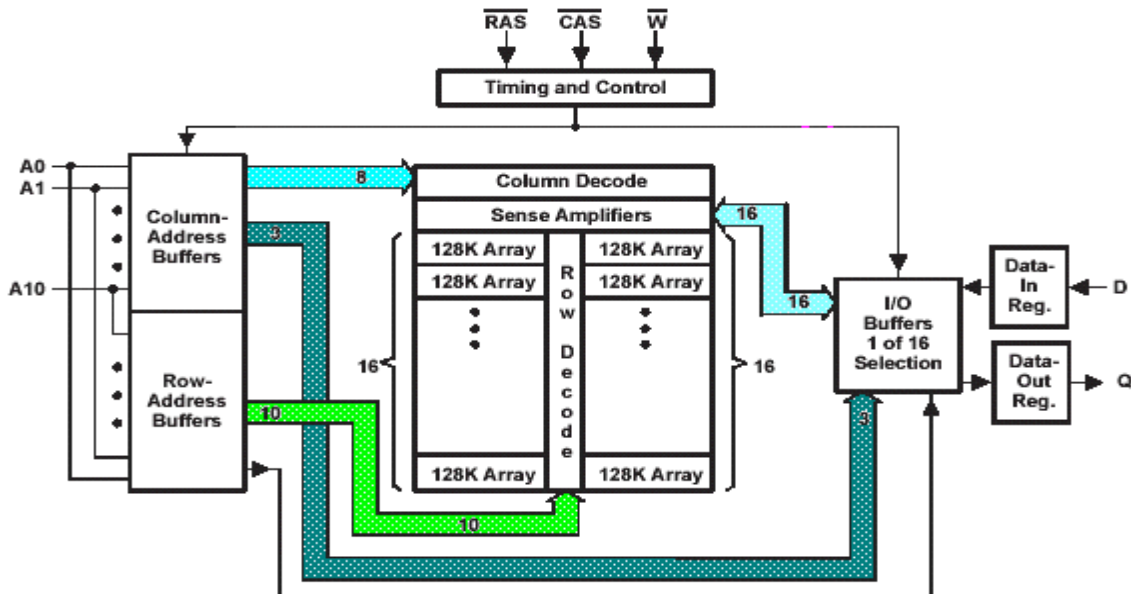
Đầu vào $\overline{W}$ cũng chính là đầu vào $R/\overline{W}$. $\overline{W}$ ở mức thấp cho phép ghi dữ liệu vào RAM, với điều kiện RAM này được chọn cả hai đầu vào E đều tích cực. $\overline{W}$ ở mức cao sẽ cho phép hoạt động đọc, miễn là linh kiện phải được chọn và bộ đệm đầu ra được kích hoạt bằng $\overline{G} = \text{LOW}$. Khi không được chọn linh kiện này sẽ trở vào chế độ năng lượng thấp, và không có đầu vào nào có hiệu lực.

4.4. IC DRAM TMS44100

Hiện nay trên thị trường đang có mặt IC DRAM TMS44100 4Mx1 của hãng Texas Instruments. Sơ đồ chân và chức năng của các chân được minh họa ở hình 6.26.

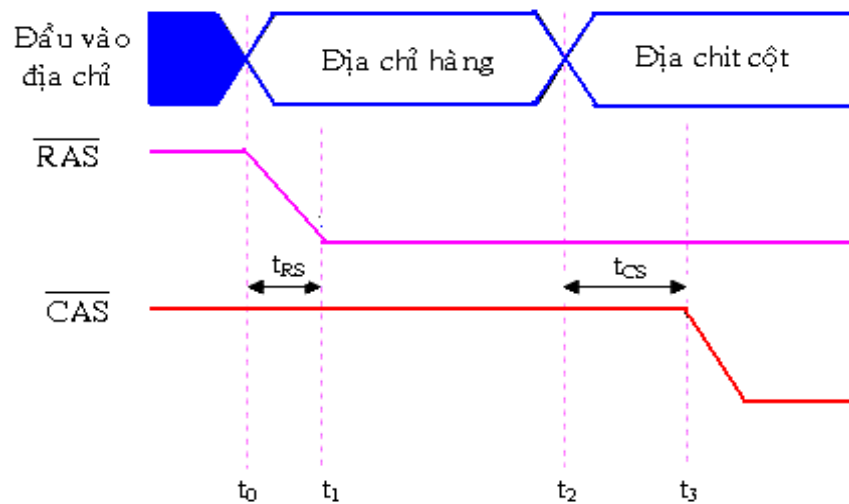


Hình 6.26a: Sơ đồ chân và chức năng các chân DRAM MTS44100



Hình 6.26b: Là sơ đồ cấu trúc bên trong của IC DRAM TMS44100.

Một mảng ô nhớ sắp xếp thành 2048 hàng x 2048 cột. Bộ giải mã địa chỉ, do mỗi lần chỉ chọn một hàng nên có thể xem đây như là bộ giải mã 1 trong 2048. Do các đường địa chỉ được dồn kênh nên toàn bộ 22 bit địa chỉ không thể xuất hiện cùng một lúc. Một điều lưu ý là, ở đây chỉ có 11 đường địa chỉ và chúng phải đi đến cả thanh ghi địa chỉ hàng lẫn thanh ghi địa chỉ cột. Mỗi thanh ghi địa chỉ chứa một nửa địa chỉ 22 bit. Thanh ghi hàng lưu trữ nửa trên, thanh ghi cột lưu trữ nửa dưới. Hai đầu vào xung chọn (strobe) rất quan trọng chi phối thời điểm thông tin địa chỉ được chốt lại. Đầu vào chọn địa chỉ hàng $\overline{RAS}$ đếm nhịp thanh ghi địa chỉ hàng 11 bit. Đầu vào chọn địa chỉ cột $\overline{CAS}$ đếm nhịp thanh ghi địa chỉ cột 11 bit.



Hình 6.27: Biểu đồ thời gian của $\overline{RAS}$ và $\overline{CAS}$

Một địa chỉ 22 bit được áp vào DRAM này qua 2 bước, sử dụng $\overline{RAS}$ và $\overline{CAS}$. Ban đầu cả $\overline{RAS}$ lẫn $\overline{CAS}$ đều ở mức cao (hình 6.27).

Tại thời điểm t_0 , địa chỉ hàng 11 bit (A_{11} đến A_{22}) được áp vào đầu vào địa chỉ. Sau thời gian cho phép t_{RS} cần thiết để đặt thanh ghi địa chỉ hàng, đầu vào $\overline{RAS}$ bị đẩy xuống thấp tại thời điểm t_1 . NGT (chuyển trạng thái trên sườn xuống của tín hiệu) nạp địa chỉ hàng vào thanh ghi địa chỉ hàng sao cho từ A_{11} đến A_{21} lúc này xuất hiện tại đầu vào bộ giải mã hàng. $\overline{RAS}$ ở mức thấp còn cho phép bộ giải mã hàng, hầu có thể giải mã địa chỉ hàng và chọn được 1 hàng trong mảng.

Tại thời điểm t_2 , địa chỉ cột 11 bit (từ A_0 đến A_{10}) được áp vào đầu vào địa chỉ. Tại thời điểm t_3 đầu vào $\overline{CAS}$ xuống thấp để nạp địa chỉ cột vào thanh ghi địa chỉ cột, vậy là có thể tiến hành hoạt động đọc hay ghi trên ô nhớ đó như trong RAM tĩnh.

➤ YÊU CẦU VỀ ĐÁNH GIÁ KẾT QUẢ HỌC TẬP BÀI 6

Nội dung:

- + *Về kiến thức: Trình bày được khái niệm, cấu trúc và thông số giữa các mạch của RAM tĩnh và RAM động, hiểu được chức năng của các họ của IC*
- + *Về kỹ năng: sử dụng thành thạo các dụng cụ đo để đo được các chân tín hiệu điện áp ở ngõ vào – ra của IC, lắp ráp một số mạch cơ bản,....*
- + *Về thái độ: Đảm bảo an toàn và vệ sinh công nghiệp.*

Phương pháp:

- + *Về kiến thức: Được đánh giá bằng hình thức kiểm tra viết, trắc nghiệm.*
- + *Về kỹ năng: Đánh giá kỹ năng thực hành đo được các thông số trong mạch điện theo yêu cầu của bài, lắp ráp một số mạch cơ bản*
- + *Thái độ: Tỉ mỉ, cẩn thận, chính xác, ngăn nắp trong công việc.*

BÀI 7

KỸ THUẬT ADC – DAC

Mã bài: MĐ28- 07

Giới thiệu

Trong tự nhiên đa phần các nguồn tín hiệu thường là dạng tương tự (Analog) để hệ thống số có thể xử lý được các tín hiệu này cần thiết phải chuyển đổi chúng sang tín hiệu số (ADC). Sau khi tính toán, xử lý xong cần thiết phải chuyển đổi các tín hiệu này từ tín hiệu số về lại tương tự (DAC).

Mục tiêu:

- Trình bày được cấu tạo, nguyên lý hoạt động, phạm vi ứng dụng các bộ chuyển đổi A/D và D/A.
- Nêu được một số IC chuyển đổi thông dụng và ứng dụng của chúng
- Đo kiểm, xác định lỗi chính xác một loại IC chuyển đổi thông dụng
- Rèn luyện tính tư duy và tác phong công nghiệp

Nội dung

1. Mạch chuyển đổi số sang tương tự (DAC)

- Mục tiêu: Nêu được những ứng dụng của chuyển đổi DAC, các thông số (độ phân giải, độ chính xác, sai số,...), sự chuyển đổi của mạch dùng nguồn và điện trở.

1.1. Tổng quát về chuyển đổi DAC

Trong kỹ thuật số, ta thấy đại lượng số có giá trị xác định là một trong hai khả năng là 0 hoặc 1, cao hay thấp, đúng hoặc sai, vv... Trong thực tế chúng ta thấy rằng một đại lượng số (chẳng hạn mức điện thế) thực ra có thể có một giá trị bất kỳ nằm trong khoảng xác định và ta định rõ các giá trị trong phạm vi xác định sẽ có chung giá trị dạng số.

Ví dụ: Với logic TTL ta có: Từ 0V đến 0,8V là mức logic 0, từ 2V đến 5V là mức logic 1

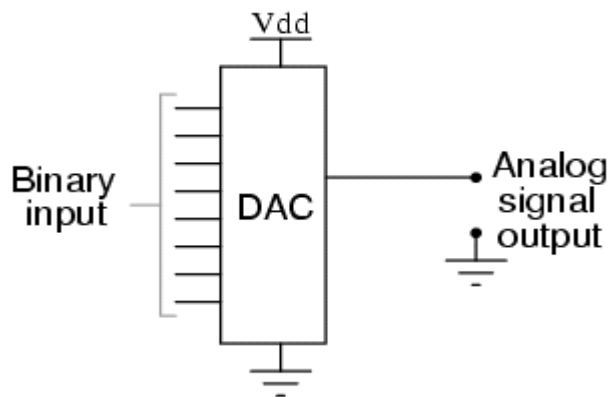
Như vậy thì bất kỳ mức điện thế nào nằm trong khoảng 0 – 0,8V đều mang giá trị số là logic 0, còn mọi điện thế nằm trong khoảng 2 – 5V đều được gán giá trị số là 1.

Ngược lại trong kỹ thuật tương tự, đại lượng tương tự có thể lấy giá trị bất kỳ trong một khoảng giá trị liên tục. Và điều quan trọng hơn nữa là giá trị chính xác của đại lượng tương tự là là yếu tố quan trọng.

Hầu hết trong tự nhiên đều là các đại lượng tương tự như nhiệt độ, áp suất, cường độ ánh sáng, ... Do đó muốn xử lý trong một hệ thống kỹ thuật số, ta phải

chuyển đổi sang dạng đại lượng số mới có thể xử lý và điều khiển các hệ thống được. Và ngược lại có những hệ thống tương tự cần được điều khiển chúng ta cũng phải chuyển đổi từ số sang tương tự. Trong phần này chúng ta sẽ tìm hiểu về quá trình chuyển đổi từ số sang tương tự -DAC (Digital to Analog Converter).

Chuyển đổi số sang tương tự là tiến trình lấy một giá trị được biểu diễn dưới dạng mã số (digital code) và chuyển đổi nó thành mức điện thế hoặc dòng điện tỉ lệ với giá trị số. Hình 7.1 minh họa sơ đồ khối của một bộ chuyển đổi DAC.



Hình 7.1: Sơ đồ khối của một DAC

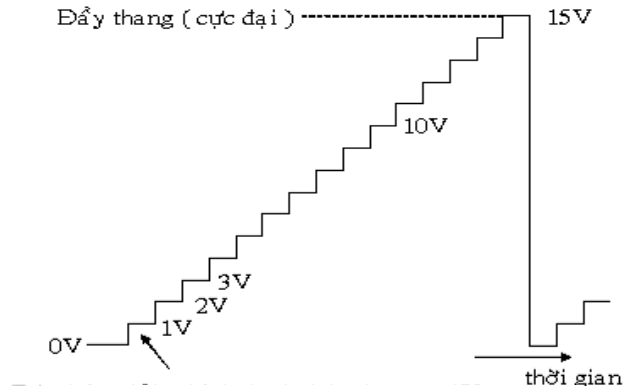
1.2. Thông số kỹ thuật của bộ chuyển đổi DAC

1.2.1 Độ phân giải

Độ phân giải (resolution) của bộ biến đổi DAC được định nghĩa là thay đổi nhỏ nhất có thể xảy ra ở đầu ra tương tự bởi kết quả của một thay đổi ở đầu vào số.

Độ phân giải của DAC phụ thuộc vào số bit, do đó các nhà chế tạo thường ấn định độ phân giải của DAC ở dạng số bit. DAC 10 bit có độ phân giải tinh hơn DAC 8 bit. DAC có càng nhiều bit thì độ phân giải càng tinh hơn.

Độ phân giải luôn bằng trọng số của LSB. Còn gọi là kích thước bậc thang (step size), vì đó là khoảng thay đổi của V_{out} khi giá trị của đầu vào số thay đổi từ bước này sang bước khác.



Độ phân giải = kích bậc thang = 1V

Hình 7.2 Dạng sóng bậc thang của một DAC

Dạng sóng bậc thang (hình 7.2) có 16 mức với 16 trạng thái đầu vào nhưng chỉ có 15 bậc giữa mức 0 và mức cực đại. Với DAC có N bit thì tổng số mức khác nhau sẽ là 2^N , và tổng số bậc sẽ là $2^N - 1$.

- Do đó độ phân giải bằng với hệ số tỷ lệ trong mối quan hệ giữa đầu vào và đầu ra của DAC.

Đầu ra tương tự = K x đầu vào số

+ Với K là mức điện thế (hoặc cường độ dòng điện) ở mỗi bậc.

- Như vậy ta có công thức tính độ phân giải như sau:

$$\text{Độ phân giải } K = \frac{A_{fs}}{2^N - 1} \times 100\% \quad (7.1)$$

Với :

- A_{fs} là đầu ra cực đại (đầy thang)

- N là số bit

- K: là mức điện thế (hoặc cường độ dòng điện) ở mỗi bậc.

- Nếu tính theo phần trăm ta có công thức như sau:

$$\% \beta = \frac{A}{A_{fs}} \times 100\% \quad (7.2)$$

Trong đó:

- $\% \beta$: % độ phân giải của DAC

- A : Kích thước bậc thang

- A_{fs} : Đầu ra cực đại (đầy thang)

Ví dụ : Như hình 7.1, ta có :

$$\% \beta = \frac{A}{A_{fs}} \times 100\%$$

$$= \frac{1V}{15V} \times 100\% = 6,67\%$$

Ví dụ 1: Một ADC 10 bit có kích thước bậc thang = 10mV. Hãy xác định điện thế đầu ra cực đại (đầy thang) và tỷ lệ % độ phân giải.

Giải:

DAC có 10 bit nên ta có

Số bậc là $2^{10} - 1 = 1023$ bậc

Với mỗi bậc là 10mV nên đầu ra cực đại sẽ là $10mV \times 1023 = 10.23V$

$$\% \beta = \frac{A}{A_{fs}} \times 100\% = \frac{10mV}{10,23mV} \times 100\% = 0,1\%$$

- Từ ví dụ trên cho thấy tỷ lệ phần trăm độ phân giải giảm đi khi số bit đầu vào tăng lên. Do đó ta còn tính được % độ phân giải theo công thức:

$$\% \beta = \frac{1}{\sum (2^N - 1)} \times 100\% \quad (7.3)$$

(Với mã đầu vào nhị phân N bit ta có tổng số bậc là $2^N - 1$ bậc).

1.2.2 Độ chính xác

- Có nhiều cách đánh giá độ chính xác. Hai cách thông dụng nhất là sai số toàn thang (full scale error) và sai số tuyến tính (linearity error) thường được biểu diễn ở dạng phần trăm đầu ra cực đại (đầy thang) của bộ chuyển đổi.

- Sai số toàn thang là khoảng lệch tối đa ở đầu ra DAC so với giá trị dự kiến (lý tưởng), được biểu diễn ở dạng phần trăm.

- Sai số tuyến tính là khoảng lệch tối đa ở kích thước bậc thang so với kích thước bậc thang lý tưởng. Điều quan trọng của một DAC là độ chính xác và độ phân giải phải tương thích với nhau.

1.2.3 Sai số lệch

- Theo lý tưởng thì đầu ra của DAC sẽ là 0V khi tất cả đầu vào nhị phân toàn là bit 0. Tuy nhiên trên thực tế thì mức điện thế ra cho trường hợp này sẽ rất nhỏ, gọi là sai số lệch (offset error). Sai số này nếu không điều chỉnh thì sẽ được cộng vào đầu ra DAC dự kiến trong tất cả các trường hợp.

- Nhiều DAC có tính năng điều chỉnh sai số lệch ở bên ngoài, sẽ cho phép chúng ta triệt tiêu độ lệch này bằng cách áp mọi bit 0 ở đầu vào DAC và theo dõi đầu ra. Khi đó ta điều chỉnh chiết áp điều chỉnh độ lệch cho đến khi nào đầu ra bằng 0V.

1.2.4 Thời gian ổn định

- Thời gian ổn định (settling time) là thời gian cần thiết để đầu ra DAC đi từ zero đến bậc thang cao nhất khi đầu vào nhị phân biến thiên từ chuỗi bit toàn 0

đến chuỗi bit toàn là 1. Thực tế thời gian ổn định là thời gian để đầu vào DAC ổn định trong phạm vi $\pm 1/2$ kích thước bậc thang (độ phân giải) của giá trị cuối cùng.

- Ví dụ: Một DAC có độ phân giải 10mV thì thời gian ổn định được đo là thời gian đầu ra cần có để ổn định trong phạm vi 5mV của giá trị đầy thang.

Thời gian ổn định có giá trị biến thiên trong khoảng 50ns đến 10ns. DAC với đầu ra dòng có thời gian ổn định ngắn hơn thời gian ổn định của DAC có đầu ra điện thế.

1.2.5 Trạng thái đơn điệu

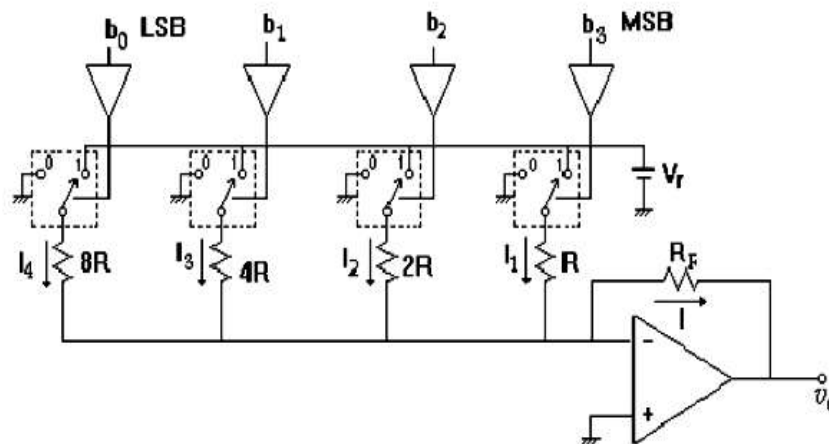
- DAC có tính chất đơn điệu (monotonic) nếu đầu ra của nó tăng khi đầu vào nhị phân tăng dần từ giá trị này lên giá trị kế tiếp. Nói cách khác là đầu ra bậc thang sẽ không có bậc đi xuống khi đầu vào nhị phân tăng dần từ zero đến đầy thang.

Tỉ số phụ thuộc dòng:

- DAC chất lượng cao yêu cầu sự ảnh hưởng của biến thiên điện áp nguồn đối với điện áp đầu ra vô cùng nhỏ. Tỉ số phụ thuộc nguồn là tỉ số biến thiên mức điện áp đầu ra với biến thiên điện áp nguồn gây ra nó. Ngoài các thông số trên chúng ta cần phải quan tâm đến các thông số khác của một DAC khi sử dụng như: các mức logic cao, thấp, điện trở, điện dung, của đầu vào; dải rộng, điện trở, điện dung của đầu ra; hệ số nhiệt, ...

1.3. Mạch DAC dùng điện trở có trị số khác nhau

- Hình 7.3 là sơ đồ mạch của một mạch DAC 4 bit dùng điện trở và bộ khuếch đại đảo. Bốn đầu vào A, B, C, D có giá trị giả định lần lượt là 0V và 5V.



Hình 7.3 DAC dùng điện trở trị số khác nhau.

- Bộ khuếch đại thuật toán (Operational Amplifier – Op Amp) được dùng làm bộ cộng đảo cho tổng trọng số của bốn mức điện thế vào.

$$\text{Ta có: } V_0 = -R_F \cdot I = \frac{-(2^{n-1}b_{n-1} + 2^{n-2}b_{n-2} + \dots + 2b_1 + b_0)V_r \cdot R_F}{2^{n-1}R} \quad (7.3)$$

- Nếu $R = R_F$ thì

$$V_0 = -R_F \cdot I = \frac{-(2^{n-1}b_{n-1} + 2^{n-2}b_{n-2} + \dots + 2b_1 + b_0)V_r}{2^{n-1}} \quad (7.4)$$

Thí dụ:

1/ Khi số nhị phân là 0000 thì $V_0 = 0$

1111 thì $V_0 = -15V_r/8$

2/ Với $V_r = 5V$, $R = R_F$ ta có bảng kết quả như Bảng 7.4 :

b_3	b_2	b_1	b_0	V_0 (V)
0	0	0	0	0 ← LSB
0	0	0	1	-0,625
0	0	1	0	-1,25
0	0	1	1	-1,875
0	1	0	0	-2,5
0	1	0	1	-3,125
0	1	1	0	-3,75
0	1	1	1	-4,375
1	0	0	0	-5
1	0	0	1	-5,625
1	0	1	0	-6,25
1	0	1	1	-6,875
1	1	0	0	-7,5
1	1	0	1	-8,125
1	1	1	0	-8,75
1	1	1	1	-9,375 ← Full scale
				(V_{FS})

Bảng 7.4

- Độ phân giải của mạch DAC hình 7.3 bằng với trọng số của LSB, nghĩa là **bằng $5V = 0.625V$** . Nhìn vào bảng 7.4 ta thấy đầu ra tương tự tăng $0.625V$ khi số nhị phân ở đầu vào tăng lên một bậc.

Ví dụ 2:

a. Xác định trọng số của mỗi bit đầu vào ở hình 7.3

b. Thay đổi R_f thành 500Ω . Xác định đầu ra cực đại đầy thang.

Giải:

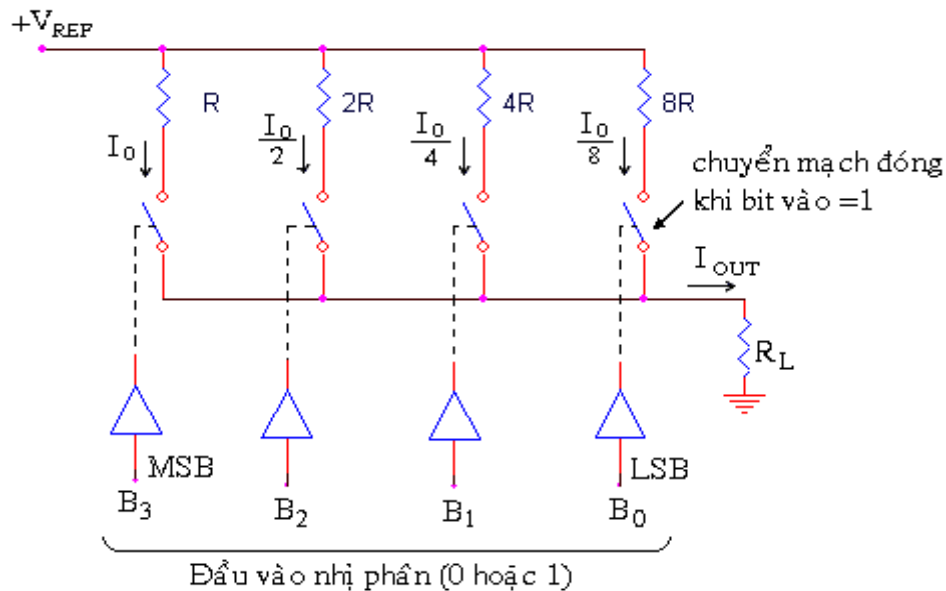
a. MSB chuyển đi với mức khuếch đại = 1 nên trọng số của nó ở đầu ra là 5V. Tương tự như vậy ta tính được các trọng số của các bit đầu vào như sau:

MSB : 5V
 MSB thứ 2 : 2.5V (giảm đi 1/2)
 MSB thứ 3 : 1.25V (giảm đi 1/4)
 MSB thứ 4 (LSB) : 0.625V (giảm đi 1/8)

b. Nếu $R_f = 500\Omega$ giảm theo thừa số 2, nên mỗi trọng số đầu vào sẽ nhỏ hơn 2 lần so với giá trị tính ở trên. Do đó đầu ra cực đại (đầy thang) sẽ giảm theo cùng thừa số, còn lại: $-9.375/2 = -4.6875V$

1.4. Mạch DAC sử dụng nguồn dòng

Trong các thiết bị kỹ thuật số đôi lúc cũng đòi hỏi quá trình điều khiển bằng dòng điện. Do đó người ta đã tạo ra các DAC với ngõ ra dòng để đáp ứng yêu cầu đó. Hình 7.5 là một DAC với ngõ ra dòng tương tự tỷ lệ với đầu vào nhị phân. Mạch DAC này 4 bit, có 4 đường dẫn dòng song song mỗi đường có một chuyển mạch điều khiển. Trạng thái của mỗi chuyển mạch bị chi phối bởi mức logic đầu vào nhị phân.



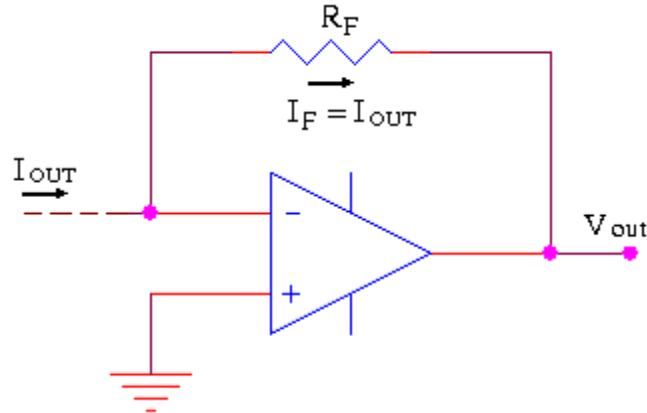
Hình 7.5: DAC có đầu ra dòng cơ bản

- Dòng chảy qua mỗi đường là do mức điện thế quy chiếu V_{REF} và giá trị điện trở trong đường dẫn quyết định. Giá trị điện trở có trọng số theo cơ số 2, nên cường độ dòng điện cũng có trọng số theo hệ số 2 và tổng cường độ dòng điện ra I_0 sẽ là tổng các dòng của các nhánh.

$$I_0 = B_3 I_0 B_2 \frac{I_0}{2} + B_1 \frac{I_0}{4} + B_0 \frac{I_0}{8} \quad (7.5)$$

$$V_i I_0 = \frac{V_{REF}}{R} \quad (7.6)$$

- DAC với đầu dòng ra có thể chuyển thành DAC có đầu ra điện thế bằng cách dùng bộ khuếch đại thuật toán (Op-Amp) như hình 7.6.



Hình 7.6: Nối với bộ chuyển đổi dòng thành điện thế

- Ở hình trên I_0 ra từ DAC phải nối đến đầu vào “-” của bộ khuếch đại thuật toán. Hồi tiếp âm của bộ khuếch đại thuật toán buộc dòng I_0 phải chạy qua R_F và tạo điện áp ngõ ra V_O và được tính theo công thức:

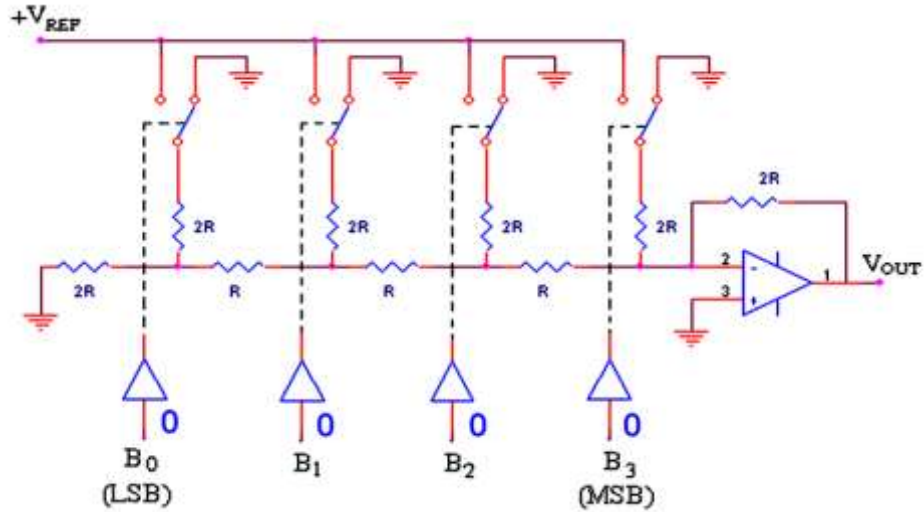
$$V_o = -I_0 R_F \quad (7.7)$$

Do đó V_O sẽ là mức điện thế tương tự, tỷ lệ với đầu vào nhị phân của DAC.

1.5. Mạch ADC dùng điện trở R và $2R$

Mạch DAC ta vừa khảo sát sử dụng điện trở có trọng số nhị phân tạo trọng số thích hợp cho từng bit vào. Tuy nhiên có nhiều hạn chế trong thực tế. Hạn chế lớn nhất đó là khoảng cách chênh lệch đáng kể ở giá trị điện trở giữa LSB và MSB, nhất là trong các DAC có độ phân giải cao (nhiều bit). Ví dụ nếu điện trở $MSB = 1k$ trong DAC 12 bit, thì điện trở LSB sẽ có giá trị trên 2M. Điều này rất khó cho việc chế tạo các IC có độ biến thiên rộng về điện trở để có thể duy trì tỷ lệ chính xác.

Để khắc phục được nhược điểm này, người ta đã tìm ra một mạch DAC đáp ứng được yêu cầu đó là mạch DAC mạng $R/2R$ ladder. Các điện trở trong mạch này chỉ biến thiên trong khoảng từ 2 đến 1. Hình 7.6 là một mạch DAC $R/2R$ ladder cơ bản.



Hình 7.6: DAC R/2R ladder cơ bản

- Từ hình 7.6 ta thấy được cách sắp xếp các điện trở chỉ có hai giá trị được sử dụng là R và 2R. Dòng I_0 phụ thuộc vào vị trí của 4 chuyển mạch, đầu vào nhị phân $B_0B_1B_2B_3$ chỉ phối trạng thái của các chuyển mạch này. Dòng ra I_0 được phép chạy qua bộ biến đổi dòng thành điện (Op-Amp) để biến dòng thành điện thế ra V_O . Điện thế ngõ ra V_O được tính theo công thức:

$$V_0 = \frac{-V_{REF}}{8} \times B \quad (7.8)$$

- Với B là giá trị đầu vào nhị phân, biến thiên từ 0000 (0) đến 1111 (15)

Ví dụ 3: Giả sử $V_{REF} = 5V$ của DAC ở hình 7.6. Tính độ phân giải và đầu ra cực đại của DAC này?

Giải

- Độ phân giải bằng với trọng số của LSB, ta xác định trọng số LSB bằng cách gán $B = 0001_2 = 1$. Theo công thức (7.9), ta có:

$$\begin{aligned} \text{Độ phân giải} &= \frac{-V_{REF}}{8} \times B \\ &= \frac{-5V \times 1}{8} = 0,625 \end{aligned}$$

- Đầu ra cực đại xác định được khi $B = 1111_2 = 15_{10}$. Áp dụng công thức (7.9) ta có:

$$\text{Đầu ra cực đại} = \frac{-5 \times 15}{8} = -9,375V$$

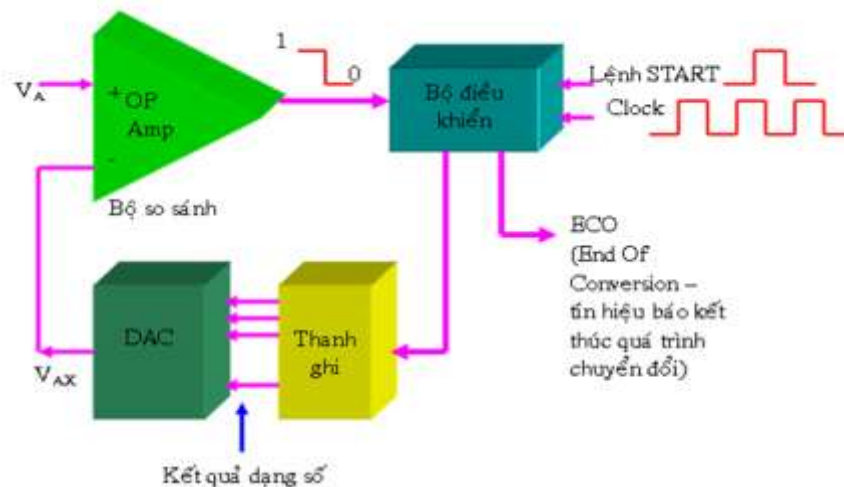
2. Mạch chuyển đổi tương tự sang số (ADC)

- Mục tiêu: Trình bày những ứng dụng của chuyển đổi ADC, các thông số (độ phân giải, độ chính xác, sai số,...), sự chuyển đổi của mạch dùng điện áp tham chiếu dạng sóng bậc thang, mạch chuyển đổi song song.

2.1. Tổng quát về chuyển đổi ADC

2.1.1. Giới thiệu

Bộ chuyển đổi tương tự sang số – ADC (Analog to Digital Converter) lấy mức điện thế vào tương tự sau đó một thời gian sẽ sinh ra mã đầu ra dạng số biểu diễn đầu vào tương tự. Tiến trình biến đổi A/D thường phức tạp và mất nhiều thời gian hơn tiến trình chuyển đổi D/A. Do đó có nhiều phương pháp khác nhau để chuyển đổi từ tương tự sang số. Hình vẽ 7.7 là sơ đồ khối của một lớp ADC đơn giản.



Hình 7.7: Sơ đồ tổng quát của một lớp ADC

Hoạt động cơ bản của lớp ADC thuộc loại này như sau:

- Xung lệnh START khởi động sự hoạt động của hệ thống.
- Xung Clock quyết định bộ điều khiển liên tục chỉnh sửa số nhị phân lưu trong thanh ghi.

- Số nhị phân trong thanh ghi được DAC chuyển đổi thành mức điện thế tương tự V_{AX} .

- Bộ so sánh so sánh V_{AX} với đầu vào tương tự V_A . Nếu $V_{AX} < V_A$ đầu ra của bộ so sánh lên mức cao. Nếu $V_{AX} > V_A$ ít nhất bằng một khoảng V_T (điện thế ngưỡng), đầu ra của bộ so sánh sẽ xuống mức thấp và ngừng tiến trình biến đổi số nhị phân ở thanh ghi. Tại thời điểm này V_{AX} xấp xỉ V_A , giá trị nhị phân ở thanh ghi là đại lượng số tương đương V_{AX} và cũng là đại lượng số tương đương V_A , trong giới hạn độ phân giải và độ chính xác của hệ thống.

- Logic điều khiển kích hoạt tín hiệu ECO khi chu kỳ chuyển đổi kết thúc.

Tiến trình này có thể có nhiều thay đổi đối với một số loại ADC khác, chủ yếu là sự khác nhau ở cách thức bộ điều khiển sửa đổi số nhị phân trong thanh ghi.

2.1.2. Các chỉ tiêu kỹ thuật chủ yếu của ADC

- Độ phân giải

Độ phân giải của một ADC biểu thị bằng số bit của tín hiệu số đầu ra. Số lượng bit nhiều sai số lượng tử càng nhỏ, độ chính xác càng cao.

- Dải động, điện trở đầu vào.

Mức logic của tín hiệu số đầu ra và khả năng chịu tải (nối vào đầu vào).

- Độ chính xác tương đối

Nếu lý tưởng hóa thì tất cả các điểm chuyển đổi phải nằm trên một đường thẳng. Độ chính xác tương đối là sai số của các điểm chuyển đổi thực tế so với đặc tuyến chuyển đổi lý tưởng. Ngoài ra còn yêu cầu ADC không bị mất bit trong toàn bộ phạm vi công tác.

- Tốc độ chuyển đổi

Tốc độ chuyển đổi được xác định thời gian bởi thời gian cần thiết hoàn thành một lần chuyển đổi A/D. Thời gian này tính từ khi xuất hiện tín hiệu điều khiển chuyển đổi đến khi tín hiệu số đầu ra đã ổn định.

- Hệ số nhiệt độ

Hệ số nhiệt độ là biến thiên tương đối tín hiệu số đầu ra khi nhiệt độ biến đổi 10C trong phạm vi nhiệt độ công tác cho phép với điều kiện mức tương tự đầu vào không đổi.

- Tỷ số phụ thuộc công suất

Giả sử điện áp tương tự đầu vào không đổi, nếu nguồn cung cấp cho ADC biến thiên mà ảnh hưởng đến tín hiệu số đầu ra càng lớn thì tỷ số phụ thuộc nguồn càng lớn.

- Công suất tiêu hao.

2.2. Vấn đề lấy mẫu và giữ

Quá trình chuyển đổi A/D nhìn chung được thực hiện qua 4 bước cơ bản, đó là: lấy mẫu; nhớ mẫu; lượng tử hóa và mã hóa. Các bước đó luôn luôn kết hợp với nhau trong một quá trình thống nhất.

2.2.1 Định lý lấy mẫu

Đối với tín hiệu tương tự V_I thì tín hiệu lấy mẫu V_S sau quá trình lấy mẫu có thể khôi phục trở lại V_I một cách trung thực nếu điều kiện sau đây thỏa mãn:

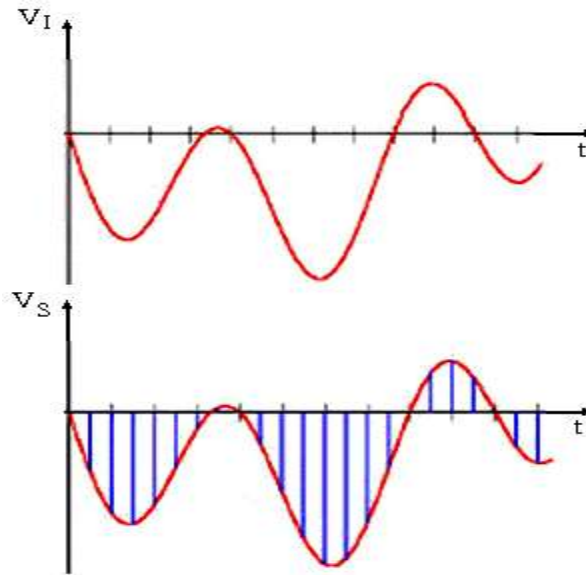
$$f_s \geq 2 f_{\max} \quad (7.9)$$

Trong đó:

- f_s : tần số lấy mẫu
- $f_{\max}$: là giới hạn trên của dải tần số tương tự

Hình 7.8: Biểu diễn cách lấy mẫu tín hiệu tương tự đầu vào. Nếu biểu thức (7.8) được thỏa mãn thì ta có thể dùng bộ tụ lọc thông thấp để khôi phục V_I từ V_S .

Vì mỗi lần chuyển đổi điện áp lấy mẫu thành tín hiệu số tương ứng đều cần có một thời gian nhất định nên phải nhớ mẫu trong một khoảng thời gian cần thiết sau mỗi lần lấy mẫu. Điện áp tương tự đầu vào được thực hiện chuyển đổi A/D trên thực tế là giá trị V_I đại diện, giá trị này là kết quả của mỗi lần lấy mẫu.



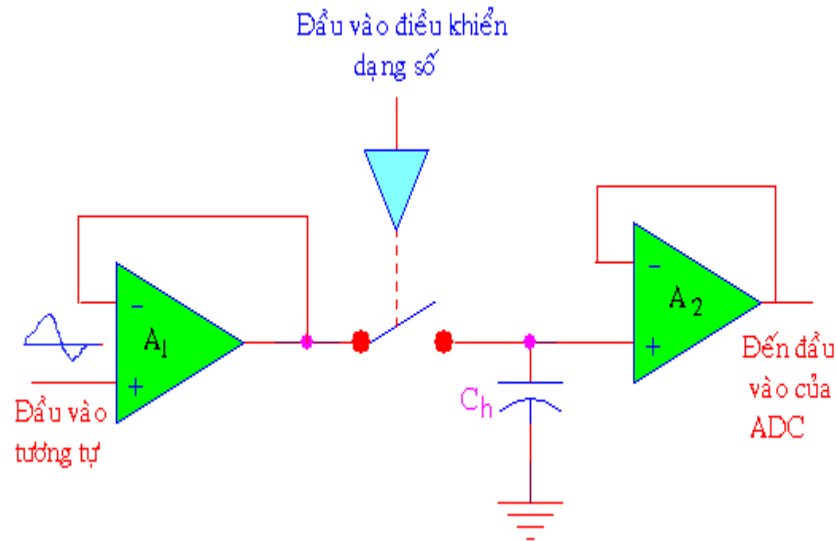
Hình 7.8: Lấy mẫu tín hiệu tương tự đầu vào

2.2.2 Lượng tử hóa và mã hóa

Tín hiệu số không những rời rạc trong thời gian mà còn không liên tục trong biến đổi giá trị. Một giá trị bất kỳ của tín hiệu số đều phải biểu thị bằng bội số nguyên lần giá trị đơn vị nào đó, giá trị này là nhỏ nhất được chọn. Nghĩa là nếu dùng tín hiệu số biểu thị điện áp lấy mẫu thì phải bắt điện áp lấy mẫu hóa thành bội số nguyên lần giá trị đơn vị. Quá trình này gọi là *lượng tử hóa*. Đơn vị được chọn theo qui định này gọi là đơn vị lượng tử, kí hiệu D . Như vậy giá trị bit 1 của LSB tín hiệu số bằng D . Việc dùng mã nhị phân biểu thị giá trị tín hiệu số là *mã hóa*. Mã nhị phân có được sau quá trình trên chính là tín hiệu đầu ra của chuyển đổi A/D.

2.2.3 Mạch lấy mẫu và nhớ mẫu

Khi nối trực tiếp điện thế tương tự với đầu vào của ADC, tiến trình biến đổi có thể bị tác động ngược nếu điện thế tương tự thay đổi trong tiến trình biến đổi. Ta có thể cải thiện tính ổn định của tiến trình chuyển đổi bằng cách sử dụng mạch lấy mẫu và nhớ mẫu để ghi nhớ điện thế tương tự không đổi trong khi chu kỳ chuyển đổi diễn ra. Hình 7.9 là một sơ đồ của mạch lấy mẫu và nhớ mẫu.

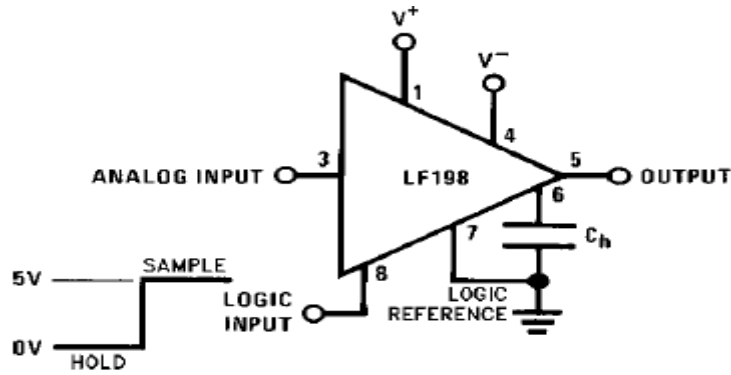


Hình 7.9: Mạch lấy mẫu và nhớ mẫu

Khi đầu vào điều khiển = 1 lúc này chuyển mạch đóng mạch ở chế độ lấy mẫu. Khi đầu vào điều khiển = 0 lúc này chuyển mạch hở mạch chế độ giữ mẫu

Chuyển mạch được đóng một thời gian đủ dài để tụ C_h nạp đến giá trị dòng điện của tín hiệu tương tự. Ví dụ nếu chuyển mạch được đóng tại thời điểm t_0 thì đầu ra A_1 sẽ nạp nhanh tụ C_h lên đến điện thế tương tự V_0 . khi chuyển mạch mở thì tụ C_h sẽ duy trì điện thế này để đầu ra của A_2 cung cấp mức điện thế này cho ADC. Bộ khuếch đại đệm A_2 đặt trở kháng cao tại đầu vào nhằm không xả điện thế tụ một cách đáng kể trong thời gian chuyển đổi của ADC do đó ADC chủ yếu sẽ nhận được điện thế DC vào, tức là V_0 .

Trong thực tế người ta sử dụng vi mạch LF198 (hình 7.10) là mạch S/H tích hợp có thời gian thu nhận dữ liệu tiêu biểu là 4ms ứng với $C_h = 1000\text{pF}$, và 20ms ứng với $C_h = 0.01\text{mF}$. Tín hiệu máy tính sau đó sẽ mở chuyển mạch để cho phép C_h duy trì giá trị của nó và cung cấp mức điện thế tương tự tương đối ổn định tại đầu ra A_2 .



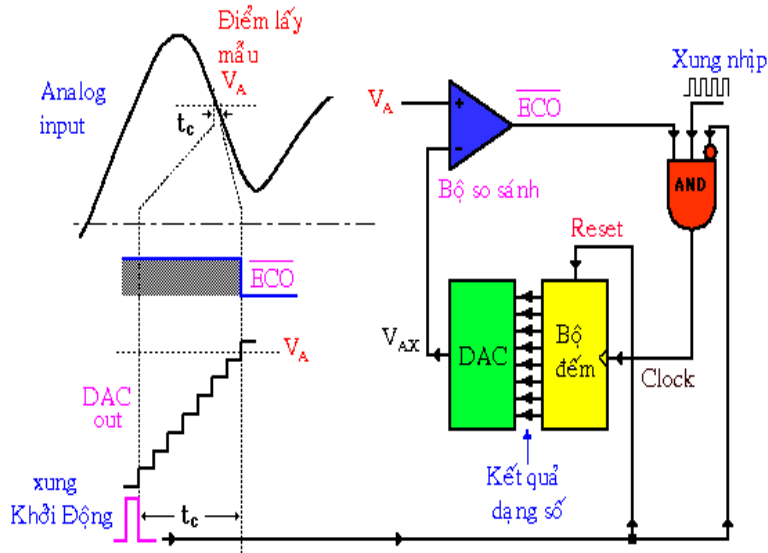
Hình 7.10: Sơ đồ chân của LF198

2.3. Mạch ADC dùng điện áp tham chiếu nấc thang

2.3.1 Sơ đồ khối

Phiên bản đơn giản nhất của lớp ADC ở hình 7.7 sử dụng bộ đếm nhị phân làm thanh ghi và cho phép xung nhịp đẩy bộ đếm tăng mỗi một bước, cho đến khi $V_{AX} > V_A$. Đây gọi là ADC sóng dạng bậc thang, vì dạng sóng tại V_{AX} có từng bậc đi lên. Người ta còn gọi là ADC loại bộ đếm.

Hình 7.11: Là sơ đồ biểu diễn một ADC dạng sóng bậc thang.



Hình 7.11: DAC dạng sóng bậc thang

Các thành phần của DAC dạng sóng bậc thang hình 7.11 gồm: một bộ đếm, một DAC, một bộ so sánh tương tự, một cổng NAND 3 ngõ vào điều khiển. Đầu ra của bộ so sánh dùng làm tín hiệu $\overline{EOC}$ (End Of Conversion – kết thúc chuyển đổi).

2.3.2 Hoạt động của bộ ADC dạng sóng bậc thang

Giả sử V_A , tức mức điện thế cần chuyển đổi là dương thì tiến trình hoạt động diễn ra như sau:

- Xung Khởi Động được đưa vào để Reset bộ đếm về 0. Mức cao của xung Khởi Động cấm không cho xung nhịp đi qua cổng AND vào bộ đếm.

- Nếu đầu của DAC toàn bit 0 thì đầu ra của DAC sẽ là $V_{AX} = 0V$. Vì $V_A > V_{AX}$ nên đầu ra bộ so sánh $\overline{EOC}$ sẽ lên mức cao.

- Khi xung Khởi Động về thấp thì cổng AND cho phép xung nhịp đi qua cổng này và vào bộ đếm.

- Khi giá trị bộ đếm tăng lên thì đầu ra DAC là V_{AX} sẽ tăng mỗi lần mỗi bậc, như minh họa hình 7.11.

- Tiến trình cứ tiếp tục cho đến khi V_{AX} lên đến bậc vượt quá V_A một khoảng $\geq V_T$. Tại thời điểm này ngõ ra của bộ so sánh $\overline{EOC}$ về thấp và cấm không cho xung nhịp đi vào bộ đếm nên bộ đếm sẽ ngừng đếm.

Tiến trình chuyển đổi hoàn tất khi tín hiệu $\overline{EOC}$ chuyển từ trạng thái cao xuống thấp và nội dung của bộ đếm là biểu thị dạng số của điện áp tương tự vào V_A .

Bộ đếm sẽ duy trì giá trị số cho đến khi nào xung Khởi Động kế tiếp vào bắt đầu tiến trình chuyển đổi mới.

2.3.3 Độ phân giải và độ chính xác của ADC dạng sóng bậc thang

Trong ADC dạng sóng bậc thang có nhiều yếu tố ảnh hưởng đến sai số của quá trình chuyển đổi như: kích cỡ bậc thang, tức độ phân giải của DAC cài trong đơn vị nhỏ nhất. Nếu giảm kích cỡ bậc thang ta có thể hạn chế bớt sai số nhưng luôn có khoảng cách chênh lệch giữa đại lượng thực tế và giá trị gán cho nó. Đây gọi là sai số lượng tử.

Cũng như trong DAC, độ chính xác không ảnh hưởng đến độ phân giải nhưng lại tùy thuộc vào độ chính xác của linh kiện trong mạch như: bộ so sánh, điện trở chính xác và chuyển mạch dòng của DAC, nguồn điện quy chiếu,...Mức sai số = 0.01% giá trị cực đại (đầy thang) cho biết kết quả ra từ ADC có thể sai biệt một khoảng như thế, do các linh kiện không lý tưởng.

Ví dụ 1

Giả sử ADC dạng sóng bậc thang ở hình 11 có các thông số sau đây: tần số xung nhịp = 1Mz; $V_T = 0.1mV$; DAC có đầu ra cực đại = 10.23V và đầu vào 10 bit. Hãy xác định:

- Giá trị số tương đương cho $V_A = 3.728V$
- Thời gian chuyển đổi
- Độ phân giải của bộ chuyển đổi này

Bài giải:

a. DAC có đầu vào 10 bit và đầu ra cực đại = 10.23V nên ta tính được tổng số bậc thang có thể có là: $2^{10} - 1 = 1023$

Suy ra kích cỡ bậc thang là:

$$\frac{10,23V}{1023} = 10mV$$

Dựa trên thông số trên ta thấy V_{AX} tăng theo từng bậc 10mV khi bộ đếm đếm lên từ 0. vì $V_A = 3.728$, $V_T = 0.1mV$ nên V_{AX} phải đạt từ 3.728 trở lên trước khi bộ so sánh chuyển sang trạng thái mức thấp. Như vậy phải có số bậc:

$$\frac{3.728}{10} = 372,8 \approx 373 \text{ bậc}$$

khi đó ở cuối tiến trình chuyển đổi, bộ đếm duy trì số nhị phân tương đương 373_{10} , tức 0101110101. Đây cũng chính là giá trị số tương đương của $V_A = 3.728V$ do ADC này tạo nên.

b. Muốn hoàn tất quá trình chuyển đổi thì đòi hỏi dạng sóng dbậc thang phải lên 373 bậc, có nghĩa 373 xung nhịp áp vào với tốc độ 1 xung trên 1ms, cho nên tổng thời gian chuyển đổi là 373ms.

c. Độ phân giải của ADC này bằng với kích thước bậc thang của DAC tức là 10mV. Nếu tính theo tỉ lệ phần trăm là:

$$\frac{1}{1023} \times 100\% \approx 0,1\%$$

2.3.4 Thời gian chuyển đổi

Thời gian chuyển đổi là khoảng thời gian giữa điểm cuối của xung khởi động đến thời điểm kích hoạt đầu ra của $\overline{EOC}$. Bộ đếm bắt đầu đếm từ 0 lên cho đến khi V_{AX} vượt quá V_A , tại thời điểm đó $\overline{EOC}$ xuống mức thấp để kết thúc tiến trình chuyển đổi. Như vậy giá trị của thời gian chuyển đổi t_C phụ thuộc vào V_A . Thời gian chuyển đổi cực đại xảy ra khi V_A nằm ngay dưới bậc thang cao nhất. Sao cho V_{AX} phải tiến lên bậc cuối cùng để kích hoạt $\overline{EOC}$.

- Với bộ chuyển đổi N bit, ta có:

- $t_C(\max) = (2^N - 1)$ chu kỳ xung nhịp

ADC ở hình 7.11 sẽ có thời gian chuyển đổi cực đại

- $t_C(\max) = (2^{10} - 1) \times 1ms = 1023ms$

Đôi khi thời gian chuyển đổi trung bình được quy định bằng $\frac{1}{2}$ thời gian chuyển đổi cực đại.

Với bộ chuyển đổi dạng sóng bậc thang, ta có:

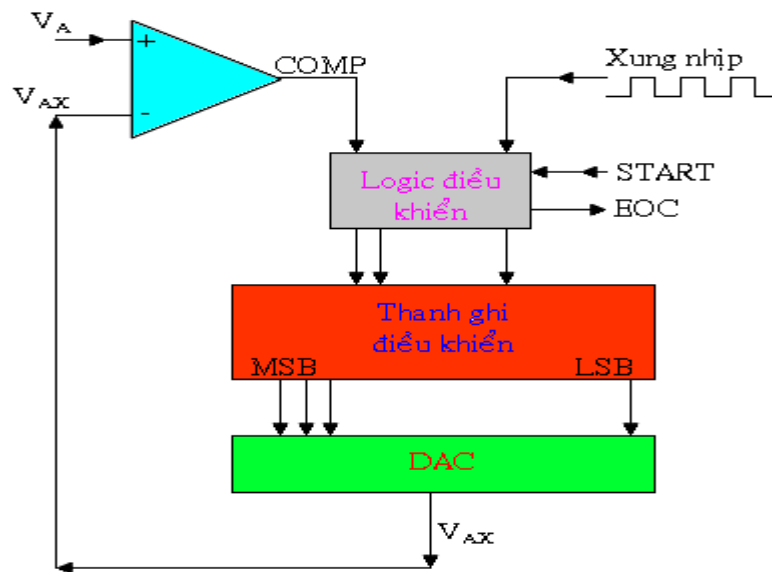
$$t_c(avg) = \frac{t_c(max)}{2} \approx 2^{N-1} \text{ chu kỳ xung nhịp (7.11)}$$

Nhược điểm của ADC dạng sóng bậc thang là thời gian chuyển đổi tăng gấp đôi với từng bit thêm vào bộ đếm. Do vậy ADC loại này không thích hợp với những ứng dụng đòi hỏi phải liên tục chuyển đổi một tín hiệu tương tự thay đổi nhanh thành tín hiệu số. Tuy nhiên với các ứng dụng tốc độ chậm thì bản chất tương đối đơn giản của ADC dạng sóng bậc thang là một ưu điểm so với các loại ADC khác.

2.4. Mạch ADC gần đúng lấy liên tiếp

Bộ chuyển đổi gần đúng lấy liên tiếp (Successive Approximation Converter - SAC) là một trong những loại ADC thông dụng nhất. SAC có sơ đồ phức tạp hơn nhiều so với ADC dạng sóng bậc thang. Ngoài ra SAC còn có giá trị t_c cố định, không phụ thuộc vào giá trị của đầu vào tương tự.

Hình 7.12 là một cấu hình cơ bản của SAC, tương tự cấu hình của ADC dạng sóng bậc thang. Tuy nhiên SAC không sử dụng bộ đếm cung cấp đầu vào cho DAC mà thay vào đó là thanh ghi. Logic điều khiển sửa đổi nội dung lưu trên thanh ghi theo từng bit một cho đến khi dữ liệu ở thanh ghi biến thành giá trị số tương đương với đầu vào tương tự V_A trong phạm vi độ phân giải của bộ chuyển đổi.



Hình 7.12: Sơ đồ khối ADC liên tiếp xấp xỉ

Ví dụ 2:

SAC 8 bit có độ phân giải là 20mV. Với đầu vào tương tự là 2.17V, hãy tính đầu ra số tương ứng.

Giải

Số bậc của SAC:

$$\frac{2,17}{20mV} = 108,5$$

Như vậy ở bậc thứ 108 sẽ có $V_{AX} = 2,16V$, bậc 109 có $V_{AX} = 2,18V$. SAC luôn sinh đầu ra V_{AX} cuối cùng tại bậc thang bên dưới V_A . Do vậy, ở trường hợp $V_A = 2,17$, đầu ra số sẽ là $10810 = 011011002$.

Thời gian chuyển đổi

Logic điều khiển đếm từng bit trên thanh ghi, gán 1 cho nó, quyết định có cần duy trì chúng tại mức 1 hay không rồi chuyển sang bit kế tiếp. Thời gian xử lý mỗi bit kéo dài một chu kỳ xung nhịp, nghĩa là tổng thời gian chuyển đổi của SAC N bit sẽ là N chu kỳ xung nhịp.

Ta có:

$$t_C \text{ cho SAC} = N \times 1 \text{ chu kỳ xung nhịp}$$

Thời gian chuyển đổi này luôn như nhau bất chấp giá trị của V_A . Điều này là do logic điều khiển phải xử lý mỗi bit để xem có cần đến mức 1 hay không.

Ví dụ 3

So sánh thời gian chuyển đổi của ADC 10 bit có dạng sóng bậc thang và SAC 10 bit. Giả thiết cả hai đều áp dụng tần số xung nhịp 500kHz.

Giải

- Với ADC dạng sóng bậc thang, thời gian cực đại sẽ là:

$$(2^N - 1) \times (1 \text{ chu kỳ xung nhịp}) = 1023 \times 2ms = 2046ms$$

- Với SAC, thời gian chuyển đổi luôn bằng 10 chu kỳ xung nhịp tức là

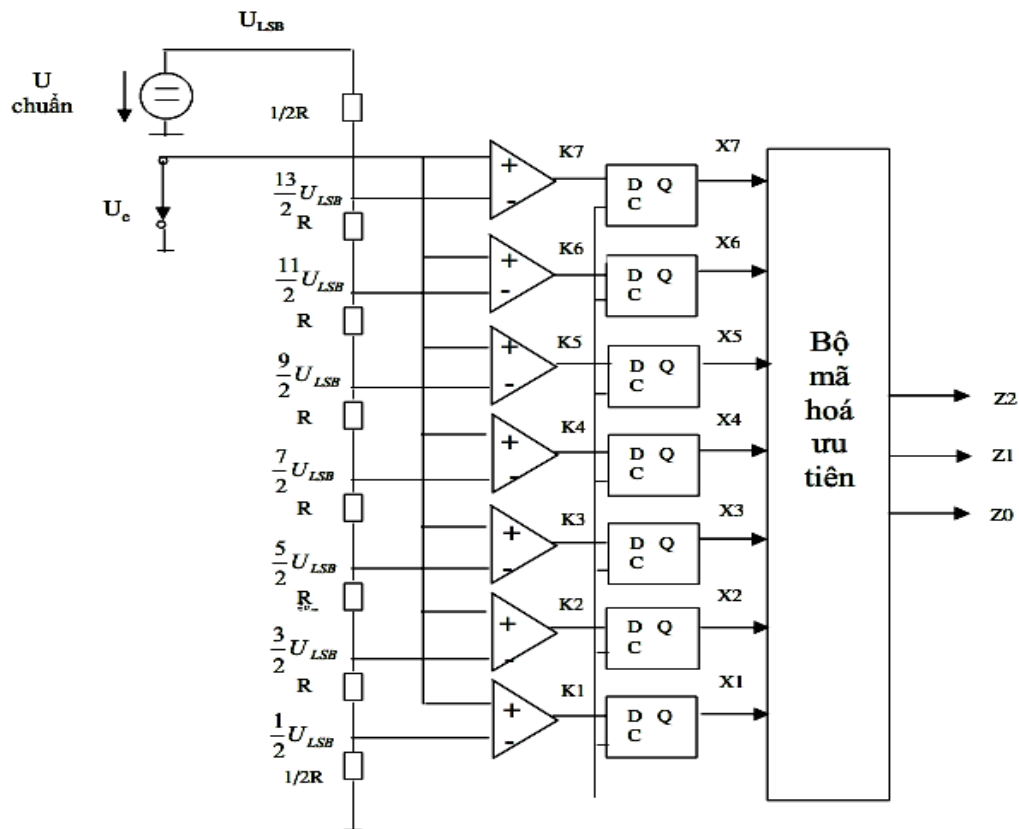
$$10 \times 2ms = 20ms$$

Vậy với SAC thì thời gian chuyển đổi nhanh gấp 100 lần ADC dạng sóng bậc thang.

2.5. Mạch ADC chuyển đổi song song

Xét một bộ biến đổi 3 bit thực hiện theo phương pháp song song như hình 7.13. Với 3 bit có thể biểu diễn $2^3 = 8$ số khác nhau, kể cả số 0 (không). Do đó cần có 7 bộ so sánh, 7 điện áp chuẩn từng nấc được tạo ra bởi các phân áp. Nếu điện áp vào không vượt ra khỏi giới hạn dải từ $5/2$ ULSB đến $7/2$ ULSB thì các bộ so sánh từ thứ 1 đến thứ 3 xác lập ở trạng thái “1”, còn các bộ so sánh từ thứ 4 đến thứ 7 xác lập ở trạng thái “0”. Các mạch logic cần thiết để diễn đạt trạng thái này thành số 3. Theo bảng 7.14 cho quan hệ giữa các trạng thái của các bộ so sánh với các số nhị phân tương ứng. Nếu điện áp vào bị thay đổi đi có thể sẽ nhận được kết quả sai do đó bộ mã hoá ưu tiên không thể đầu trực tiếp đến các

lỗi ra của các bộ so sánh. Ta hãy xét đến chẳng hạn việc chuyển từ số 3 sang số 4 (do đó, trong mã nhị phân là từ 011 đến 100). Nếu bit giả do thời gian trễ sẽ giảm đi mà thay đổi trạng thái của mình sớm hơn các bit khác thì sẽ xuất hiện số 111, tức là số 7. Trị số sai tương ứng với một nửa dải đo. Bởi vì các kết quả biến đổi A/D, như đã biết, được ghi vào bộ nhớ, như vậy là tồn tại một xác suất nhất định để nhận được một trị số hoàn toàn sai. Có thể giải quyết vấn đề này bằng cách, chẳng hạn, dùng một bộ nhớ - trích mẫu để ngăn sự biến động điện áp vào trong thời gian đo. Tuy nhiên, phương pháp này đã hạn chế tần số cho phép của điện áp vào, bởi vì cần phải có thời gian xác lập cho mạch nhớ - trích mẫu. Ngoài ra không thể loại bỏ hoàn toàn xác suất thay đổi trạng thái ra của các bộ so sánh, bởi vì các mạch nhớ - trích mẫu hoạt động nhanh có độ trôi đáng kể.



Hình 7.13: Bộ biến đổi A/D làm việc theo phương pháp song song

Nhược điểm này có thể được khắc phục bằng cách sau mỗi bộ so sánh, ta dùng một trigơ với tư cách là một bộ nhớ đệm lật theo sườn để nhớ các trị analog. Trigơ này, dưới tác dụng của tín hiệu nhịp sẽ khởi động cho các trigơ tiếp sau. Ở trường hợp này bảo đảm giữ nguyên trạng thái dùng trên lối ra bộ mã hoá ưu tiên khi tác động sườn xung để khởi động trigơ.

Như đã thấy rõ ở bảng 1, các bộ so sánh xác lập ở trạng thái “1” theo trình tự từ dưới lên trên. Trình tự này sẽ không được đảm bảo nếu các sườn xung là dựng đứng. Bởi vì do có sự khác nhau về thời gian trễ của các bộ so sánh nên có thể sẽ chuyển sang một trình khác. Trong các tình huống xác định, trạng thái quá độ này có thể được ghi vào các trigơ như là khi sườn xung khởi động trigơ và sườn tín hiệu trùng nhau. Tuy nhiên, bộ mã hoá ưu tiên đã cho phép tránh được điều này nhờ tính chất là: nó không chú ý đến các bit trễ “1”.

Bảng 7.14: Sự biến đổi trạng thái trong bộ biến đổi A/D song song tùy thuộc vào điện áp lỗi vào.

Điện áp vào	Trạng thái của các bộ so sánh							Số nhị phân			Số thập phân tương ứng
U_e/U_{LSB}	K_7	K_6	K_5	K_4	K_3	K_2	K_1	Z_2	Z_1	Z_0	
0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	1	0	0	1	1
2	0	0	0	0	0	1	1	0	1	0	2
3	0	0	0	0	1	1	1	0	1	1	3
4	0	0	0	1	1	1	1	1	0	0	4
5	0	0	1	1	1	1	1	1	0	1	5
6	0	1	1	1	1	1	1	1	1	0	6
7	1	1	1	1	1	1	1	1	1	1	7

Thời gian lấy mẫu cần phải nhỏ hơn thời gian trễ của bộ so sánh, còn điểm bắt đầu của nó được xác định bởi sườn xung khởi động. Sự khác nhau về thời gian trễ đã gây ra độ bất định thời gian(khe) của mẫu. Để giảm nhỏ trị số của nó đến mức đã tính toán trong mục trước, tốt nhất là sử dụng các bộ so sánh có khả năng giảm nhỏ thời gian trễ. Nhờ các tầng làm việc song song nên phương pháp biến đổi A/D vừa mô tả là nhanh nhất.

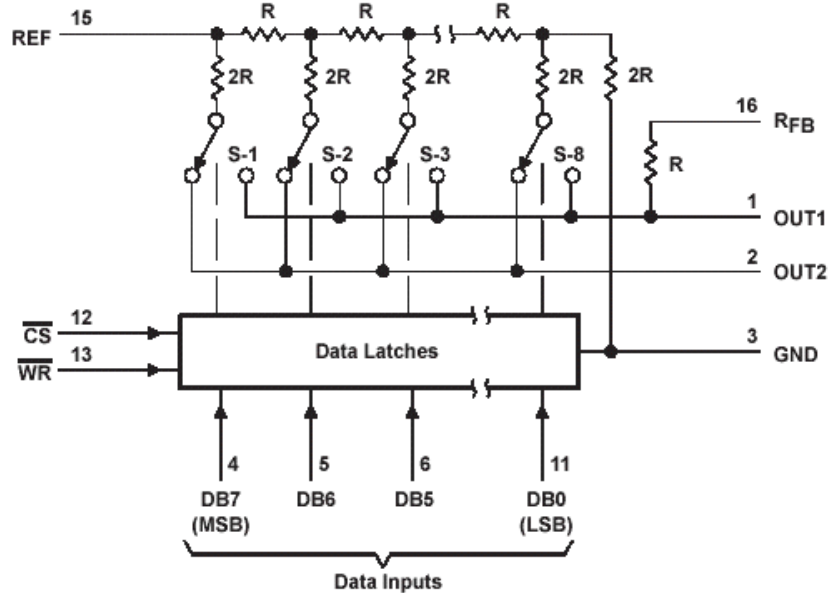
3. Giới thiệu IC

- *Mục tiêu: Đo kiểm tra, xác định lỗi của một số IC. Thay thế IC vào trong mạch điện một cách chính xác.*

Hiện nay trên thị trường có nhiều loại IC có chức năng chuyển đổi từ số sang tương tự. Ở đây chỉ giới thiệu 2 loại IC thông dụng, các loại khác bạn đọc có thể tham khảo trong Datasheet hay trên Internet.

3.1. IC AD7524

IC AD7524 (IC CMOS) là IC chuyên dụng dùng để chuyển đổi từ số sang tương tự. AD7524 là bộ chuyển đổi D/A 8 bit, dùng mạng R/2R ladder. Có sơ đồ bên trong như hình 7.15.



Hình 7.15: Sơ đồ bên trong IC AD7524

AD7524 có đầu vào 8 bit, có thể bị chốt trong dưới sự điều khiển của đầu vào CHỌN CHIP ($\overline{CS}$) và đầu vào ghi ($\overline{WR}$) khi cả hai đầu vào điều khiển này đều ở mức thấp, thì 8 đầu vào dữ liệu $D_7 \div D_0$ sinh ra dòng tương tự OUT_1 và OUT_2 (thường OUT_2 nối đất).

Nếu một trong hai đầu vào điều khiển lên cao thì lúc này dữ liệu vào bị chốt lại và đầu ra tương tự duy trì tại mức ứng với dữ liệu số bị chốt đó. Những thay đổi kế tiếp ở đầu vào sẽ không tác động đến ngõ ra tương tự OUT_1 ở trạng thái chốt này. Các thông số của IC được liệt kê ở bảng hình 7.16

Bảng 7.16 Các thông số của IC DA7524

	$V_{DD} = 5V$			$V_{DD} = 15V$			Đơn vị
	MIN	NOM	MAX	MIN	NOM	MAX	
Điện áp nguồn cấp, V_{DD}	4,75	5	5,25	14,5	15	15,5	V
Điện áp tham chiếu, V_{ref}	+10			+10			V
Điện áp đầu vào mức cao, V_{IH}	2,4			13,5			V
Điện áp đầu vào mức thấp, V_{IL}	0,8			1,5			V
$\overline{CS}$ thời gian cài đặt, $t_{SU}(CS)$	40			40			ns
$\overline{CS}$ thời gian giữ, $t_h(CS)$	0			0			ns
Cài đặt thời gian dữ liệu đầu	25			25			ns

vào, $t_{SU(CS)}$			
Giữ thời gian dữ liệu đầu vào, $t_{SU(CS)}$	10	10	ns
Chu kỳ xung, $\overline{WR}$ low, $t_{w(WR)}$	40	40	ns
Nhiệt độ môi trường hoạt động, T_A	-55	125	-55 125 $^{\circ}\text{C}$

Quan hệ ngõ vào và ngõ ra tương ứng được trình bày ở bảng hình 7.16

Bảng 7.16a: Quan hệ ngõ vào và ngõ ra

Đầu vào số (Digital input) (Xem trong chú ý 1)		Đầu ra tương tự (Analog output)
MSB	LSB	
11111111		$-V_{\text{ref}} (255/256)$
10000001		$-V_{\text{ref}} (129/256)$
10000000		$-V_{\text{ref}} (128/256) = -V_{\text{ref}}/2$
01111111		$-V_{\text{ref}} (1/256)$
00000000		0

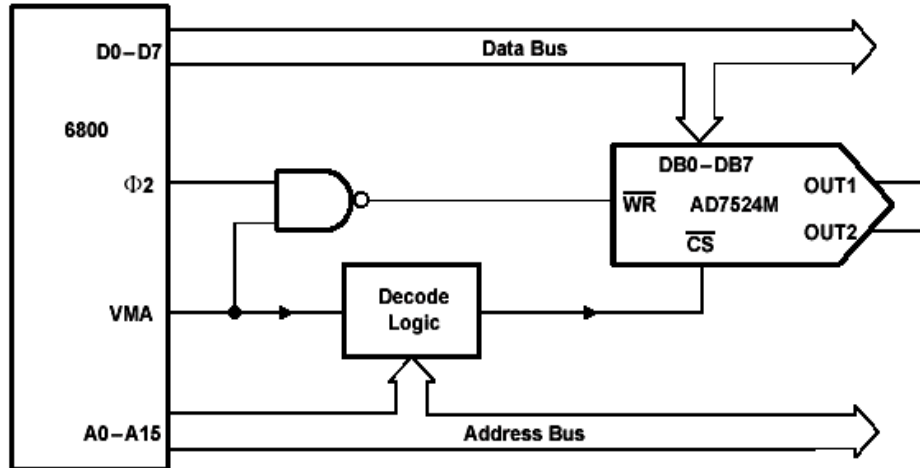
Chú ý 1: $LSB = 1/256 (V_{\text{ref}})$

Bảng 7.16b: Quan hệ ngõ vào và ngõ ra

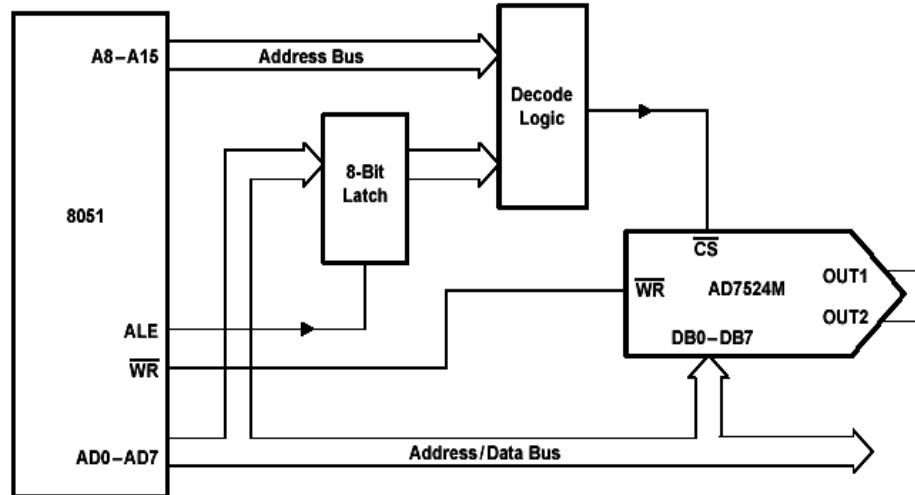
Đầu vào số (Digital input) (Xem trong chú ý 2)		Đầu ra tương tự (Analog output)
MSB	LSB	
11111111		$V_{\text{ref}} (127/128)$
10000001		$V_{\text{ref}} (128)$
10000000		0
01111111		$-V_{\text{ref}} (128)$
00000001		$-V_{\text{ref}} (127/128)$
00000000		$-V_{\text{ref}}$

Chú ý 2: $LSB = 1/128 (V_{\text{ref}})$

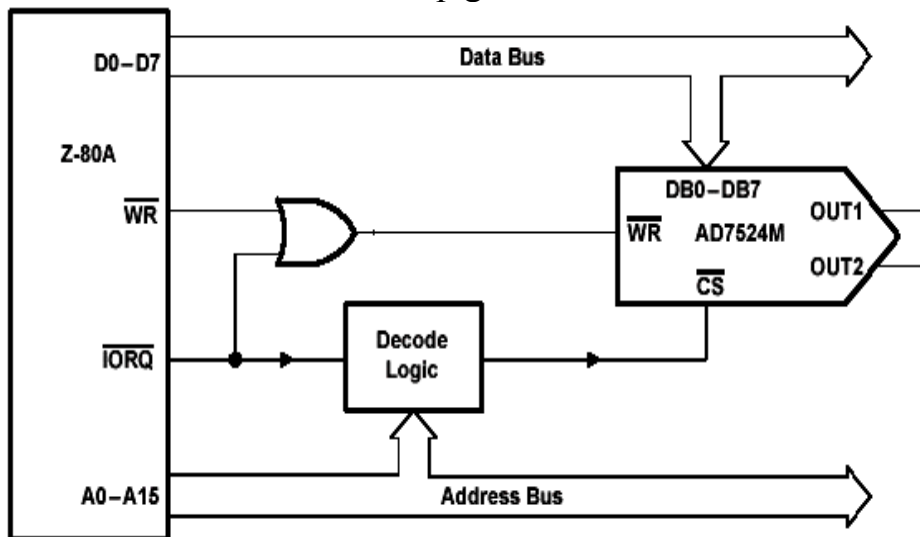
Ứng dụng của IC AD7524 thường dùng giao tiếp với các vi xử lý và vi điều khiển để chuyển đổi tín hiệu số sang tương tự nhằm điều khiển các đối tượng cần điều khiển. Sau đây là một số ứng dụng của IC AD7524 giao tiếp với các IC khác như hình 7.17



Hình 7.17a: Giao tiếp giữa AD7524 với 6800



Hình 7.17b: Giao tiếp giữa AD7524 với 8051

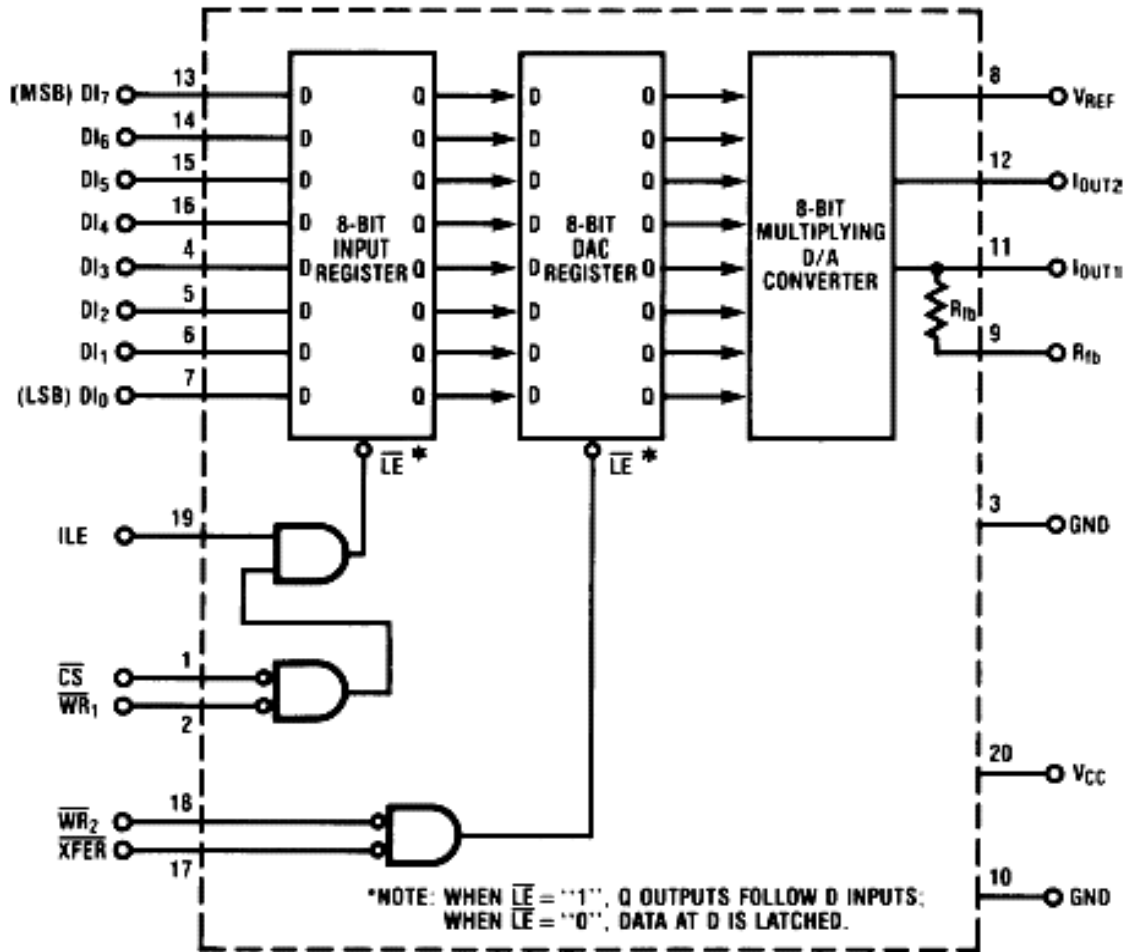


Hình 7.17c: Giao tiếp giữa AD7524 với Z-80A

3.2 IC DAC0830

DAC 0830 là IC thuộc họ CMOS. Là bộ chuyển đổi D/A 8 bit dùng mạng R/2R ladder. Có thể giao tiếp trực tiếp với các vi xử lý để mở rộng hoạt động chuyển đổi D/A.

Sơ đồ chân và cấu trúc bên trong của DAC0830 như hình 7.18



Hình 7.18: Cấu trúc bên trong của ICDAC0804

Hoạt động của các chân

- ($\overline{CS}$) (CHIP SELECT) là chân chọn hoạt động ở mức thấp. Được kết hợp với chân ITL để có thể viết dữ liệu.

- ITL (INPUT LATCH ENABLE) là chân cho phép chốt ngõ vào, hoạt động ở mức cao. ITL kết hợp với ($\overline{CS}$) để cho phép viết.

- $\overline{WR}_1$ (WRITE) hoạt động ở mức thấp. Được sử dụng để nạp các bit dữ liệu ngõ vào chốt. Dữ liệu được chốt khi $\overline{WR}_1$ ở mức cao. Để chốt được dữ liệu vào thì ($\overline{CS}$) và $\overline{WR}_1$ phải ở mức thấp trong khi đó ITL phải ở mức cao.

- $\overline{WR}_1$ (WRITE) tác động ở mức thấp. Chân này kết hợp với chân $\overline{WR}_1$ cho phép dữ liệu chốt ở ngõ vào mạch chốt được truyền tới thanh ghi DAC trong IC.

- $\overline{WR}_1$ (TRANSFER CONTROL SIGNAL) tác động ở mức thấp. Cho phép $\overline{WR}_1$ được viết.

- $DI_0 - DI_7$ là các ngõ vào số trong đó DI_0 là LSB còn DI_7 là MSB.

- I_{O1} ngõ ra dòng DAC₁. Có trị số cực đại khi tất cả các bit vào đều bằng 1, còn bằng 0 khi tất cả các bit vào đều bằng 0.

- I_{O2} ngõ ra dòng DAC₂. Nếu I_{O1} tăng từ 0 cho đến cực đại thì I_{O2} sẽ giảm từ cực đại về 0 để sao cho $I_{O1} + I_{O2} = \text{hằng số}$.

- R_{fb} điện trở hồi tiếp nằm trong IC. Luôn được sử dụng để hồi tiếp cho Op Amp mắc ở ngoài.

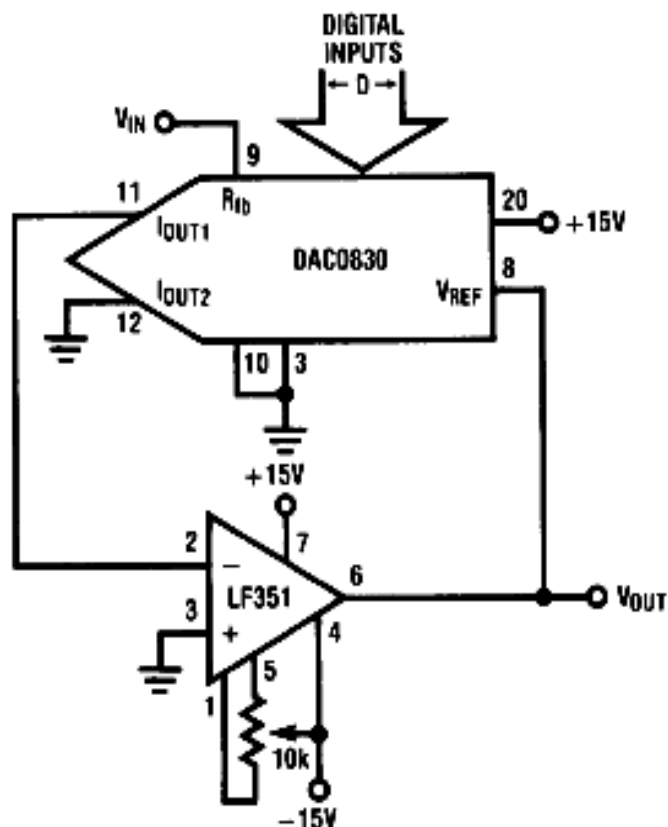
- V_{ref} ngõ vào điện áp tham chiếu từ -10 đến +10V.

- V_{CC} điện áp nguồn cấp cho IC hoạt động từ 5 đến 15V.

- GND (mass) chung cho I_{O1} và I_{O2} .

Sau đây là một số ứng dụng của DAC0830 chuyển đổi từ số sang tương tự

+ Điều khiển volume bằng số như hình 7.19



Hình 7.19: Ứng dụng DAC0830 để điều khiển Volume

➤ YÊU CẦU VỀ ĐÁNH GIÁ KẾT QUẢ HỌC TẬP BÀI 7

Nội dung:

- + *Về kiến thức: Trình bày được khái niệm, cấu trúc và thông số giữa các mạch chuyển đổi số - tương tự và mạch tương tự - số, hiểu được chức năng của các họ của IC*
- + *Về kỹ năng: sử dụng thành thạo các dụng cụ đo để đo được các chân tín hiệu điện áp ở ngõ vào – ra của IC, lắp ráp một số mạch cơ bản,....*
- + *Về thái độ: Đảm bảo an toàn và vệ sinh công nghiệp.*

Phương pháp:

- + *Về kiến thức: Được đánh giá bằng hình thức kiểm tra viết, trắc nghiệm.*
- + *Về kỹ năng: Đánh giá kỹ năng thực hành đo được các thông số trong mạch điện theo yêu cầu của bài, lắp ráp một số mạch cơ bản*
- + *Thái độ: Tỉ mỉ, cẩn thận, chính xác, ngăn nắp trong công việc.*

TÀI LIỆU THAM KHẢO

- [1] Mạch điện tử (tập 1 – 2), *Nguyễn Tấn Phước*, NXB TP HCM, 2005
- [2] Kỹ thuật xung cơ bản và nâng cao, *Nguyễn Tấn Phước*, NXB TP HCM, 2002
- [3] Kỹ thuật số, *Nguyễn Thuý Vân*, NXB KHKT, 2004
- [4] Kỹ thuật điện tử số, *Đặng Văn Chuyết*, NXB Giáo dục.
- [5] Cơ sở kỹ thuật điện tử số, *Vũ Đức Thọ*, NXB Giáo dục.